



TM32G078 系列

数据手册

版本 1.05

tenx reserves the right to change or discontinue the manual and online documentation to this product herein to improve reliability, function or design without further notice. tenx does not assume any liability arising out of the application or use of any product or circuit described herein; neither does it convey any license under its patent rights nor the rights of others. tenx products are not designed, intended, or authorized for use in life support appliances, devices, or systems. If Buyer purchases or uses tenx products for any such unintended or unauthorized application, Buyer shall indemnify and hold tenx and its officers, employees, subsidiaries, affiliates and distributors harmless against all claims, cost, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use even if such claim alleges that tenx was negligent regarding the design or manufacture of the part.

修改记录

版本	日期	描述
V0.10	2023/04/18	新颁
V0.11	2023/10/24	增加 adc/dac 的测试结果。
V0.12	2023/12/20	增加 section5 电特性测试结果。
V0.13	2024/1/5	增加部分未测项。
V0.14	2024/1/10	1.去除 section3.2.1 从嵌入式 SRAM 引导。 2.修改 section3.4 描述。 3.更新 section5 部分模块的确认理论值。 4.更新 section4 部分。
V0.15	2024/2/29	1.修改部分字段命名，与参考手册一致。 2.更新 section6.1 为 LQFP64-7x7mm 封装。 3.更新 section7 芯片命名规则。 4.去除 section3.1 支持 MPU 相关内容。 5.增加 section4.2 对 PA4/PC0/PC1/PC3 管脚使用注意事项。 6.增加 section3.7.2 三种 IO 类型的定义。
V1.00	2024/4/26	更新一些勘误项。
V1.01	2024/5/17	1.去除 section4.2 对 RCC_CR.HSEX2S 使用方法的描述 2.修改 OPA 为 OPAMP 3.修改 PMU 为 PWR 4.去除 section3.23.1 中“（待机模式和关闭模式除外）”
V1.02	2024/6/14	1.修改 section5.3.15 R_{AIN} 和 R_{AOUT} 单位为 Ω 2.文档标准化。 3.修改电特性数值精度。 4.增加 LQFP80 封装
V1.03	2024/11/20	1.更新 section4 附加功能
V1.04	2025/2/5	1.删除与 TM32G0788BF 相关的内容
V1.05	2025/02/24	1.更新 section6 2.更新表 2-1，并移至文档首部

目录

修改记录	3
TM32G078 系列产品特性对照表	8
1 概述	9
2 芯片描述	10
2.1 产品特性	10
3 功能概览	10
3.1 Arm®Cortex®-M0+ core	10
3.1.1 简介	10
3.1.2 主要特性	10
3.2 Boot 模式	10
3.2.1 简介	10
3.2.2 主要特性	10
3.3 嵌入式 SRAM	11
3.3.1 简介	11
3.3.2 主要特性	11
3.4 嵌入式 Flash Memory	11
3.4.1 简介	11
3.4.2 主要特性	11
3.4.3 Flash 存储器组成	11
3.4.4 Flash 安全保护机制	12
3.5 电源管理单元(PWR)	13
3.5.1 简介	13
3.5.2 上电复位和掉电复位	13
3.5.3 欠压复位	13
3.5.4 可编程电压检测	14
3.5.5 低功耗模式	14
3.6 复位和时钟控制器(RCC)	14
3.6.1 复位	14
3.6.2 POR/PDR 复位	14
3.6.3 系统复位	15
3.6.4 时钟	15
3.6.5 外设异步时钟源选择	16
3.7 通用输入/输出接口(GPIO)	17
3.7.1 简介	17
3.7.2 主要特性	17
3.8 系统配置控制器(SYSCFG)	17
3.8.1 简介	17
3.9 外设互联(Interconnect Matrix)	18
3.9.1 简介	18
3.9.2 互联概述	18
3.10 直接存储器访问控制器(DMA)	19
3.10.1 简介	19

3.10.2	主要特性.....	19
3.11	DMA 请求多路器(DMAMUX).....	19
3.11.1	简介.....	19
3.11.2	主要特性.....	20
3.12	嵌套向量中断控制器(NVIC).....	20
3.12.1	简介.....	20
3.12.2	主要特性.....	20
3.13	扩展中断和事件控制器(EXTI).....	20
3.13.1	简介.....	20
3.13.2	主要特性.....	21
3.14	硬件除法器单元(HDIV).....	21
3.14.1	简介.....	21
3.14.2	主要特性.....	21
3.15	循环冗余校验(CRC).....	21
3.15.1	简介.....	21
3.15.2	主要特性.....	22
3.16	模数转换器(ADC).....	22
3.16.1	简介.....	22
3.16.2	主要特性.....	22
3.17	触摸按键(ATK).....	23
3.17.1	简介.....	23
3.17.2	主要特性.....	23
3.18	模拟智能组合(SAC).....	23
3.18.1	简介.....	23
3.18.2	主要特性.....	24
3.19	液晶显示/发光二极管控制器(LCD/LED).....	24
3.19.1	简介.....	24
3.19.2	主要特性.....	25
3.20	高级控制定时器(TIM1).....	25
3.20.1	简介.....	25
3.20.2	主要特性.....	25
3.21	通用定时器(TIM2/3/4).....	27
3.21.1	简介.....	27
3.21.2	主要特性.....	28
3.22	基本定时器(TIM5/6/7).....	29
3.22.1	简介.....	29
3.22.2	主要特性.....	30
3.23	低功耗定时器(LPTIM).....	30
3.23.1	简介.....	30
3.23.2	主要特性.....	30
3.24	SysTick 定时器(SysTick).....	32
3.24.1	简介.....	32
3.24.2	主要特性.....	32
3.25	红外控制模块(IRTIM).....	32

3.25.1	简介	32
3.25.2	主要特性	32
3.26	独立看门狗(IWDG)	33
3.26.1	简介	33
3.26.2	功能特性	33
3.27	窗口看门狗(WWDG)	33
3.27.1	简介	33
3.27.2	主要特性	33
3.28	I2C 接口(I2C)	34
3.28.1	简介	34
3.28.2	主要特性	34
3.29	通用异步收发器(USART)	34
3.29.1	简介	34
3.29.2	主要特性	35
3.30	低功耗通用异步收发器(LPUART)	35
3.30.1	简介	35
3.30.2	主要特性	36
3.31	串行外设接口(SPI)	36
3.31.1	简介	36
3.31.2	主要特性	37
3.32	实时时钟计数器(RTC)	37
3.32.1	简介	37
3.32.2	主要特性	37
3.33	可编程逻辑阵列(PLA)	38
3.33.1	简介	38
3.33.2	主要特性	38
4	引脚功能描述及复用功能	39
4.1	引脚分配图	39
图 4-1-1	LQFP64 引脚分配图	39
图 4-1-2	LQFP48 引脚分配图	40
4.2	引脚分配和功能描述	40
表 4-2-1	TM32G0788AL 和 TM32G07889L 引脚分配和功能描述	40
4.3	引脚复用功能	46
表 4-3-1	端口 PA 复用功能映射	46
表 4-3-2	端口 PB 复用功能映射	47
表 4-3-3	端口 PC 复用功能映射	48
表 4-3-4	端口 PD 复用功能映射	48
表 4-3-5	引脚功能描述	49
5	电气特性	54
5.1	参数条件	54
5.1.1	最小、最大值	54
5.1.2	典型值	54
5.1.3	典型曲线	54
5.1.4	负载电容	54

5.1.5	引脚输入电压	54
5.1.6	供电方案	55
5.1.7	测量电流消耗	56
5.2	最大绝对额定值	56
5.2.1	电压特性	56
5.2.2	电流特性	56
5.2.3	温度特性	57
5.2.4	其它特性	57
5.3	操作条件	57
5.3.1	常规操作条件	57
5.3.2	操作条件(上电、下电)	58
5.3.3	嵌入式复位和电源控制模块特性	58
5.3.4	嵌入式电压参数	61
5.3.5	供电电流特性	61
5.3.6	低功耗模式唤醒时间	69
5.3.7	外部时钟源特性	69
5.3.8	内部时钟源特性	72
5.3.9	PLL 特性	74
5.3.10	Flash memory 特性	74
5.3.11	ESD/EFT/EMI 特性	75
5.3.12	I/O 电流注入特性	76
5.3.13	I/O port 特性	76
5.3.14	NRST 输入特性	77
5.3.15	OPAMP 特性	78
5.3.16	ADC 特性	79
5.3.17	DAC 特性	82
5.3.18	ATK 特性	84
5.3.19	LCD/LED 特性	88
5.3.20	COMP 特性	90
5.3.21	温度传感器特性	91
5.3.22	TIMx 特性	92
5.3.23	通信接口特性	92
6	封装信息	95
6.1	LQFP64 封装信息	95
	图 6-1 LQFP64-7x7mm 封装外形尺寸数据	95
6.2	LQFP48 封装信息	96
	图 6-2 LQFP48-7x7mm 封装外形尺寸数据	96
7	芯片命名规则	97
	图 7-1 芯片命名规则	97

TM32G078 系列产品特性对照表

型号		TM32G07889L	TM32G0788AL
CPU		Cortex-M0+	
Max. CPU frequency		48MHz	
Flash (Kbyte)		256	256
SRAM (Kbyte)		32	32
Timers	Advanced control	1(16-bit)	
	General-purpose	3(16-bit)	
	Basic	3(16-bit)	
	Low-power	1(16-bit)	
	SysTick	1	
	Watchdog	2	
Comm. interfaces	SPI	2	
	I ² C	2	
	USART	3	
	LPUART	1	
RTC		YES	
CRC		YES	
HDIV		YES	
GPIOs		46	62
12-bit ADC channels		42 ext. + 3 int.	55 ext. + 3 int.
12-bit DAC		4	4
Analog comparators		4	4
Operational amplifier		3	4
PLA (Programmable Logic Array)		4	4
LCD		8COM*24SEG	8COM*24SEG
LED	点阵: 7*8	点阵: 7*8	点阵: 7*8
	行列矩阵: 8*8	行列矩阵: 8*8	行列矩阵: 8*8
Touch key		31	42
Operating voltage		2.2~5.5V	2.2~5.5V
Operating temperature		-40 to 105°C	-40 to 105°C
Number of pins		48	64
Package		LQFP	LQFP
Shipment method		盘装	盘装
Pitch		0.5BSC	0.4BSC

1 概述

TM32G078 系列是一款搭载高性能 ARM®Cortex®M0+内核的 32 位微控制器,最高工作频率可达 48MHz,具有高抗干扰,可 2.2~5.5V 工作,并内置大容量存储器和丰富的外设功能模块。

TM32G078 系列集成多种功能在芯片上,包括最大 256K 字节的闪存(Flash)程序存储器,最大 32K 字节 SRAM, 8 阶低电压复位(BOR), 16 阶可编程电压检测(PVD), 智能组合模拟模块(SAC), 多路标准 USART 和低功耗 UART, 多路增强型定时器和低功耗定时器, 实时计数器 RTC, 多通道的 12 位模数转换器(ADC), 高灵敏度的触控电路, LCD/LED 驱动器电路, 2 路 SPI 接口, 2 路 I2C 接口, 硬件除法器, 硬件 CRC, 多通道 DMA 和看门狗定时器(WDG)。可广泛应用于消费、工业及物联网领域。

TEMPERATURE

2 芯片描述

2.1 产品特性

- 48MHz Cortex-M0+ 32 位 CPU 内核
- 灵活的电源管理控制系统
 - 外设功能可独立开启和关闭
 - 集成的可编程电压检测(PVD)和掉电复位, 可选的 PVD 跳变点
 - 停止模式: CPU 停止, 高速时钟关闭, 部分外设功能模块运行, 可启用 PVD, 电压调节器处于待机状态
 - 睡眠模式: CPU 停止, 外设运行, 主时钟运行
 - 低速工作模式: CPU 和外设模块运行, 高速时钟关闭
 - 正常工作模式: CPU 和外设模块运行, 高速时钟开启
- 存储器
 - 最大 32K 字节 SRAM 存储器
 - 6K 字节 NVR 区
 - 0~16K 字节可配置系统存储区
 - 最大 252K 字节可配置 Flash 程序区
- 时钟、晶振
 - 外部高速晶振(4~24MHz)
 - 外部低速晶振(32.768KHz)
 - 内部高速时钟(18MHz)
 - 内部低速时钟(3.686MHz)
 - 内部慢速时钟(32KHz)
- 定时器/计数器
 - 1 个 16 位高级定时器, 支持 3 通道互补 PWM 输出, 死区保护
 - 3 个 16 位通用定时器, 支持捕获比较, PWM 输出, 定时唤醒
 - 3 个 16 位基本定时器
 - 1 个 16 位低功耗定时器
 - 1 个 24 位系统定时器
- 通讯接口
 - 3 路 USART 标准通讯接口
 - 1 路 LPUART 标准通讯接口
 - 2 路 SPI 标准通讯接口
 - 2 路 I2C 标准通讯接口
- 硬件 32 位除法器
- 硬件 CRC-16/32 模块
- 4 通道 DMA, 最多支持 26 个请求复用
- 独立看门狗和窗口看门狗
- 12 位 1Msps SAR ADC
- 智能模拟模块支持 2 个双通道 12 位 DAC、最多 4 个 OPAMP 和 4 个电压比较器
- LED 驱动器
 - 支持 8×8 行列矩阵驱动
 - 支持 7×8、6×7、5×6、4×5 等 LED 串行点阵驱动
 - 支持恒流驱动

- PLL 时钟 (8~48MHz)
- 高灵敏度触摸按键
 - 最大支持 42 路通道的触摸键检测
 - 支持低功耗模式
- 1 路 RTC 电路
- 支持红外控制输出
- 1 个 PLA, 含 4 个可编程逻辑单元 PLU
- SWD 调试解决方案
- LCD 驱动器
 - 支持 8*24 段、4*28 段
 - 支持 1/4、1/5、1/6 和 1/8 占空比
 - 支持 1/3 偏置电压
- 工作条件: -40~105°C, 2.2~5.5V
- 封装形式: LQFP64 7mm*7mm, LQFP48

3 功能概览

3.1 Arm®Cortex®-M0+ core

3.1.1 简介

Cortex-M0+是一款入门级 32 位 Arm Cortex 处理器，专为广泛的嵌入式应用程序设计。

3.1.2 主要特性

它为开发人员提供了显著的好处，包括：

- 结构简单，易于学习和编程
- 超低功耗，高效节能运行
- 优秀的代码密度
- 确定性的高性能中断处理
- 向上兼容 Cortex-M 处理器系列。

Cortex-M0+处理器构建在高度地面积和功耗优化的 32 位核心上，具有 2 级管道 Von Neumann 架构。该处理器通过小而强大的指令集和广泛优化的设计提供了卓越的能源效率，提供了包括单周期倍增器在内的高端处理硬件。

Cortex-M0+处理器提供了现代 32 位架构所期望的卓越性能，具有比其他 8 位和 16 位微控制器更高的代码密度。

归功于嵌入式 Arm 核心，TM32G078 系列与 Arm 工具和软件兼容。

Cortex-M0+与第 3.12 节描述的嵌套向量中断控制器(NVIC)紧密耦合。

3.2 Boot 模式

3.2.1 简介

TM32G078 系列在启动时，引导引脚和引导选择器选项位使用选择两个引导选项之一：

- 从用户闪存启动
- 从系统内存启动

3.2.2 主要特性

引导引脚与标准 GPIO 共享，可以通过引导选择器选项位启用。引导加载程序位于系统内存中。它管理闪存重编程通过 USART 在引脚 PB1/PB6,PA12/PA13 或 PD3/PD4，通过 I2C 在引脚 PA10/PA11 或 PA14/PA15，或通过 SPI 在引脚 PB4/PB5/PB9/PB10 或 PD6/PD7/PD8/PD9。

3.3 嵌入式 SRAM

3.3.1 简介

SRAM 最大容量为 32KB。

3.3.2 主要特性

支持按字节（8 位）、半字（16 位）或全字（32 位）三种读写操作。本控制器支持以最高系统时钟频率进行读写操作，无需插入等待周期。

3.4 嵌入式 Flash Memory

3.4.1 简介

Flash 存储器连接在 AHB 总线上，由 Flash 控制器统一管理，可对存储器执行取指、读取、编程和擦除操作，并具有安全访问机制和读写保护等功能。

3.4.2 主要特性

- 最高达 252KB 的程序和数据存储空间,其中:
 - 页大小：1K 字节
 - NVR 区大小：6K 字节
 - System memory 区大小：0K~16K 字节可配置(默认值，16KB)
 - 用户程序区大小：236K~252K 字节可配置(默认值，236KB)
- 16-bits/32-bits 位宽读取/写入
- 支持页擦除
- 可配置 3 种读出保护等级（RDP0/RDP1/RDP2）
- 2 块可配置的代码读出保护区域（PCROP）
- 2 块可配置的写入保护区域（WRP）
- 可配置大小的用户安全存储区域

3.4.3 Flash 存储器组成

Flash 存储器按 32-bits 位宽执行读写访问，可存储指令和数据。

Flash 存储器的组成如下：

- User flash 区：该存储区用于存放用户的指令和数据，存储空间为 252~236KB，每页 1KB
- System memory 区：该存储区的存储空间为 0~16KB，通过选项字节 FLASH_OPTR2.BOOTSIZE 进行配置，用于存放 Bootloader 和部分重要 API。

- NVR: 该存储区的存储空间为 6KB, 其中它包括:
 - Engineer Data 区: 该存储区用于存放芯片工厂加工、UID 等信息
 - Option bytes 区: 该存储区用于存放选项字节
 - Trim 区: 该存储区用于存放器件的各项校准参数
 - 用户 SN 配置区: 该存储区用于存放用户需配置的重要信息如 SN 号
 - 用户配置数据区: 该存储区用于存放用户需配置的重要数据
 - 用户备份数据区: 该存储区可用做用户数据备份
- Flash 物理区域划分入下表所示:

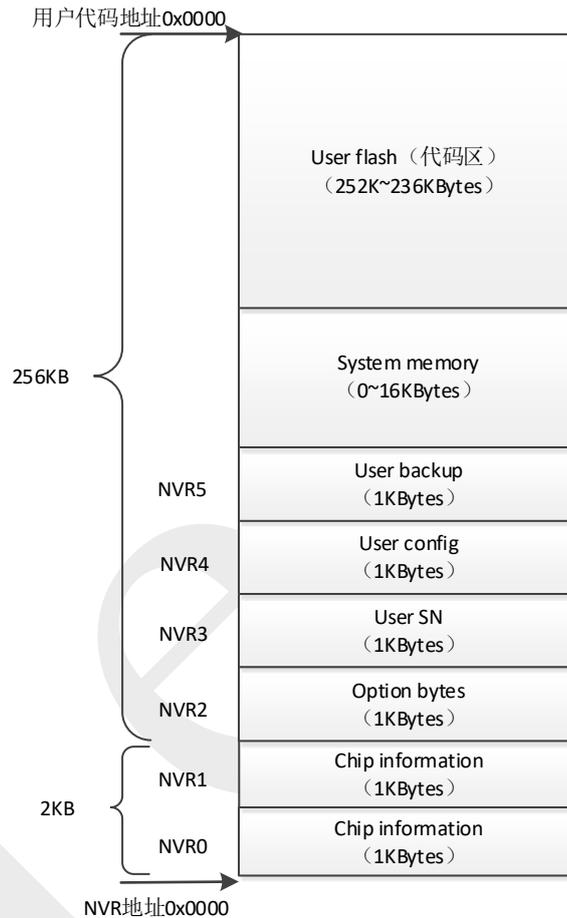


图 3-4-3 Flash 物理区域划分

3.4.4 Flash 安全保护机制

Flash 存储器支持以下安全保护机制:

- Flash 读出保护 (RDP): 对存储器的操作权限进行限制
- Flash 代码读出保护 (PCOROP): 禁止对受保护的区域执行读取、编程或擦除操作, 仅允许取指操作
- Flash 写入保护 (WRP): 禁止对受保护的区域执行编程或擦除操作, 但允许取指和读取操作
- Flash 用户安全区域: 在复位后, 用户安全区域处于未保护状态, 可执行取指、读取、编程和擦除操作。当安全区域使能后, 该区域不可见, 禁止对该区域执行任何操作, 直到重新复位

3.5 电源管理单元(PWR)

3.5.1 简介

芯片电源分为四个电源域，每个电源域电压以及包含外设如下：

- V_{DD} 引脚输入电压为 2.0V~5.5V，该电源域包含 LCDBS、HSE、LSE*、调压器（REG/POR）；调压器给 V_{CORE} 域和 V_{core_ana} 域供电。
- V_{DDA} 输入电压为 2.0V~5.5V，为模拟外设供电，包括 ADC、SAC、BGR、ATK、TS（温度传感器）、BOR 和 PVD。
- V_{CORE} 域和 V_{CORE_ANA} 域由内部调压器供电，电压为 1.5V；包含 Cortex®-M0+、SRAM、数字外设和 MSI、HSI、LSI、PLL。

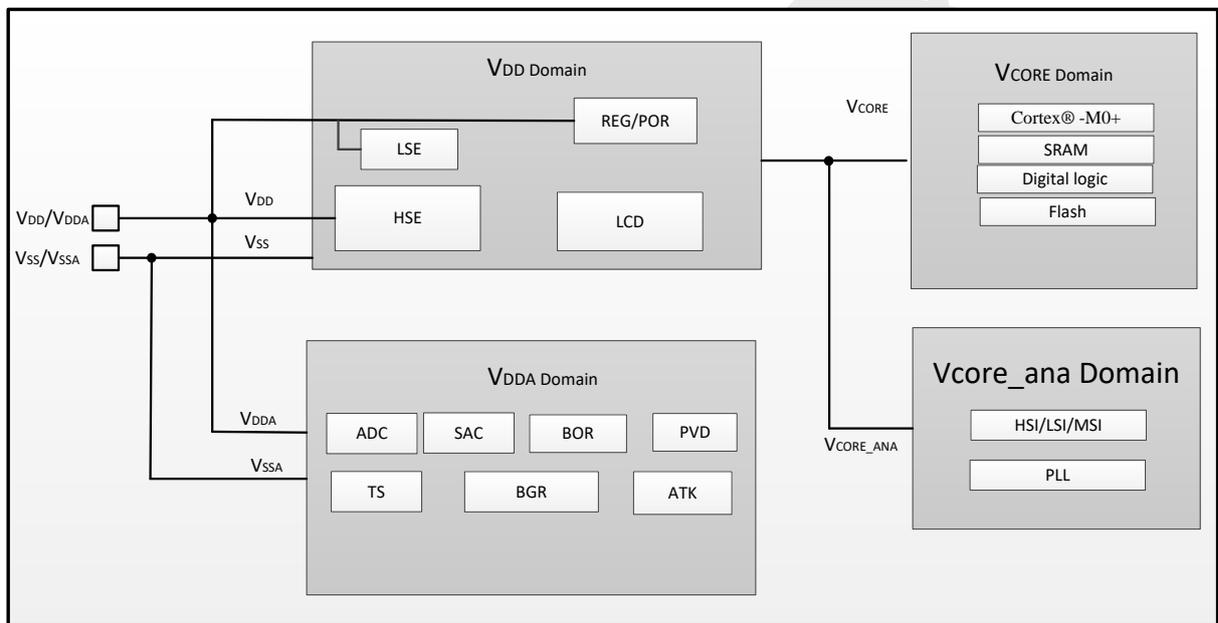


图 3-5-1 电源结构框图

注：IWDG 需要使能 LSI 时钟。

3.5.2 上电复位和掉电复位

芯片内置上电复位（POR）和掉电复位模块（PDR），该模块可工作在所有功耗模式。

3.5.3 欠压复位

可通过配置选项字节寄存器(FLASH_OPTR1)配置 BOR 使能和 BOR 的阈值，BOR 阈值有 8 档可选。BOR 每个阈值档位同时设定了上升阈值和下降阈值。

3.5.4 可编程电压检测

PVD 可监测 VDD 和 IO 引脚上的电压，当监测电压与 PVD 阈值比较结果满足设定条件时，会触发 PVD 报警。

3.5.5 低功耗模式

复位后，MCU 处于 Run 模式，系统时钟源为 HSI SYS（18MHz）。MCU 提供多种低功耗模式，以降低系统的功耗。另外，还可以通过降低系统时钟频率、关闭未使用外设的时钟来降低 Run 模式下的系统功耗。

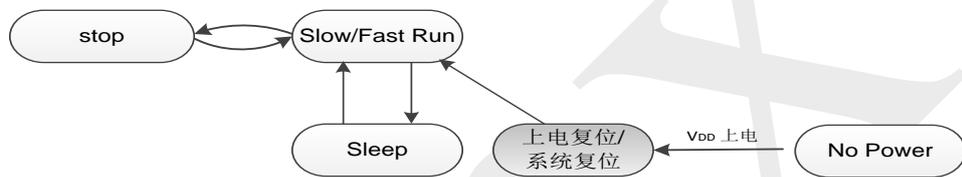


图 3-5-5 低功耗模式转换框图

MCU 提供 2 种低功耗模式：

- Sleep: 在 Run 基础上，仅关闭 CPU 时钟，所有外设（包括 Cortex®-M0+内核的外设，例如：NVIC、SysTick 等）均保持运行状态，当有中断或者事件发生时，可以唤醒 CPU。
- Stop: V_{CORE} 电源域（包括 CPU、数字外设）的时钟关闭，PLL、HSI、MSI、HSE 等处于 PowerDown 状态，LSI 和 LSE 根据需要可保持运行，SRAM 和寄存器的数据保持。

一些具有唤醒能力的外设在此模式下可以通过请求开启 HSI，使用 HSI 时钟来检测唤醒条件，当满足唤醒条件时，唤醒系统。

3.6 复位和时钟控制器(RCC)

3.6.1 复位

芯片复位分别为 POR/PDR 复位、BOR 复位和系统复位。

3.6.2 POR/PDR 复位

POR/PDR 复位范围如下：

- V_{CORE} 域下的所有寄存器（包括 Trim 相关的寄存器）；

3.6.3 系统复位

系统复位将复位 VCORE 域的寄存器（不包括 Trim、系统配置选项字节寄存器）。只要发生以下事件之一，就会产生系统复位：

- NRST 引脚低电平（请参见 NRST 引脚低电平复位）
- 窗口看门狗事件（WWDG 复位）
- 独立看门狗事件（IWDG 复位）
- 软件复位（请参见软件复位）
- 选项字节加载复位
- LOCKUP 复位
- BOR 复位

可通过查询寄存器 RCC_CSR2 中的复位标志确定复位源。

NRST 引脚低电平复位：对于外部复位，当 NRST 引脚检测到低电平时会产生一个系统复位。该复位引脚已内置上拉电阻，并集成了一个毛刺过滤电路。毛刺过滤电路会过滤小于 20us（典型值）的毛刺信号，因此，加到该引脚上的低电平信号必须大于 20us，才能保证芯片可靠复位。

软件复位：要对器件进行软件复位，必须将 Cortex®-M0+ 寄存器（应用中断和复位控制寄存器）中的 SYSRESETREQ 位置 1。

3.6.4 时钟

时钟控制电源提供了一系列频率的时钟源，包括：

- HSI（内部高速）18MHz RC 振荡器时钟
- MSI（内部低速）3.686MHz RC 振荡器时钟
- HSE（外部高速时钟）4~24MHz
- LSI（内部慢速）32KHz RC 振荡器时钟
- LSE（外部低速时钟）32.768KHz

复位后，HSISYS 作为系统时钟。

可通过多个预分频器配置 AHB、APB1 和 APB2 的时钟。AHB、APB1 和 APB2 的最大频率为 48MHz，如下图所示：

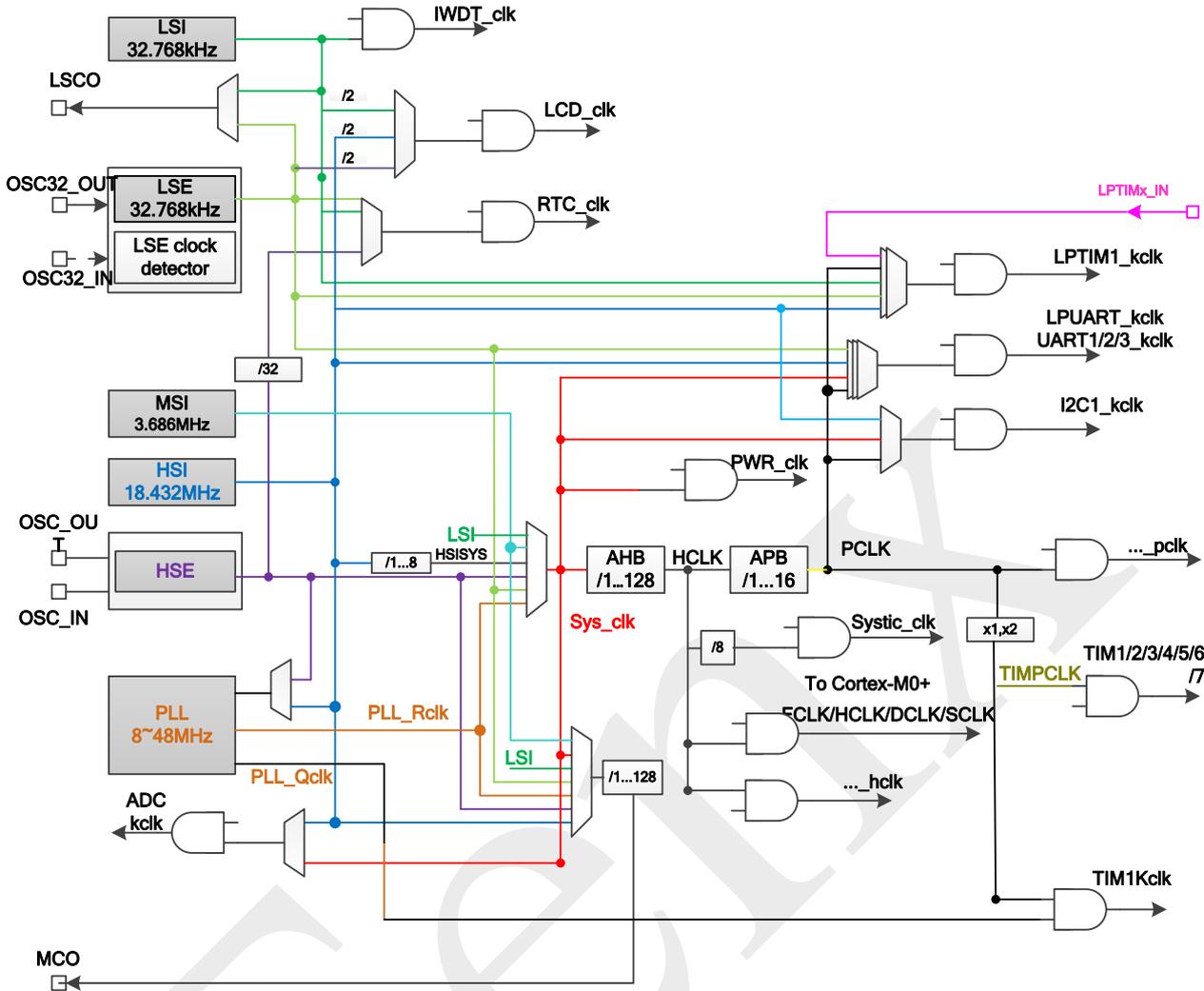


图 3-6-4 时钟树

3.6.5 外设异步时钟源选择

所有外设时钟均由其总线时钟（HCLK、PCLK1 和 PCLK2）提供，但有些外设的内核时钟可单独配置。

表 3-6-5 外设异步时钟来源

模块	异步时钟来源
IWDG	LSI
ADC	SYSClk 的 1/2/4 分频或 HSI
USART1	PCLK2、LSE、HSI、SYSClk
LPUART	PCLK1、LSE、HSI、SYSClk
LPTIM	LSI、LSE、HSI、PCLK1
TIM1	PLLQCLK、PCLK2 的 1 或 2 倍频
I2C	PCLK1、HSI、SYSClk

模块	异步时钟来源
RTC	LSI、LSE、HSE 的分频时钟
LCD	LSI 和 LSE 的 2 分频(LCD)或 HSI 的 2 分频(LED)

3.7 通用输入/输出接口(GPIO)

3.7.1 简介

每个通用 I/O 端口包括 3 个 32 位配置寄存器(GPIOx_MODE、GPIOx_OTYPE、GPIOx_PUPD)，2 个 32 位数据寄存器(GPIOx_IDR、GPIOx_ODR)，1 个 32 位置位/复位寄存器(GPIOx_BSR)、1 个 32 位复位寄存器(GPIOx_BR)；所有 GPIO 都包括 1 个 32 位锁定寄存器(GPIOx_LOCK)和 2 个 32 位复用功能选择寄存器(GPIOx_AFH、GPIOx_AFL)。

3.7.2 主要特性

- GPIO 模式
 - 输入
 - 输出
 - 复用功能（每个 I/O 最多支持 8 路复用功能）
 - 模拟模式
- 上拉/下拉单独可配
- 推挽/开漏单独可配
- 引脚复用灵活，允许将 I/O 引脚用作 GPIO 或外设功能中的一种
- 置位和复位寄存器(GPIOx_BSR)，对 GPIOx_ODR 具有按位写权限
- 锁定机制(GPIOx_LOCK)，可锁定 I/O 端口配置

3.8 系统配置控制器(SYSCFG)

3.8.1 简介

系统配置控制器，主要特性及应用功能如下：

- 配置红外 IRTIM 调制信号和输出极性
- TIM1 内部断路输入源使能控制
- 重映射存储器

3.9 外设互联(Interconnect Matrix)

3.9.1 简介

为了减少软件操作的延迟和节省 CPU 资源，从而降低功耗，多个外设的内部直接连接。互联功能可在多种功耗模式下工作，由使用到的外设决定，参见各个外设章节。

3.9.2 互联概述

表 3-9-2 互联外设⁽¹⁾

外设	TIM1	TIM2	TIM3	TIM4	LPTIM	MCO	LSCO	IRTIM	ADC	DMA	DMAMUX	SAC	PLA
TIM1		√	√	√					√			√	√
TIM2	√		√	√					√			√	√
TIM3	√	√		√								√	√
TIM4	√	√	√			√	√	√	√		√	√	√
LPTIM											√	√	√
USART1													√
USART2								√					√
USART3								√					√
SPI1													√
SPI2													√
ADC	√												√
TS									√				
BGR									√			√	
HSE						√							
LSE			√			√	√						
HSI						√							
LSI						√	√						
MSI						√							
PLL						√							
MCO													
SYSCLK						√							√
EXTI									√		√		
RTC					√								√
SAC	√		√	√	√								√
SYSERR ⁽²⁾	√												

外设	TIM1	TIM2	TIM3	TIM4	LPTIM	MCO	LSCO	IRTIM	ADC	DMA	DMAMUX	SAC	PLA
DMAMUX										√			
PVD	√												
CSS	√												
LCD											√		

- √表示有互联。
- SYSERR: Cortex®-M0+ LOCKUP。

3.10 直接存储器访问控制器(DMA)

3.10.1 简介

直接存储器访问控制器(DMA)是总线矩阵的一个主机。DMA用于存储器和存储器、存储器和外设、外设和外设之间数据传输，传输过程中无需CPU参与。

DMA有4个通道，每个通道的请求源可配置，内置仲裁器处理不同优先级的通道请求。

3.10.2 主要特性

- 存储器到存储器、存储器到外设、外设到存储器以及外设到外设的数据传输
- 每个通道可配置为由外设请求信号触发或由软件触发
- 每个通道可配置四个优先级（超高、高、中或低），优先级相同的情况下，通道号较小的优先级高
- 单次传输数据的位宽可配置为字节、半字或字
- 可配置的传输次数：0到65535
- 支持循环模式
- 可触发中断的事件：传输完成、传输一半和传输错误

3.11 DMA 请求多路器(DMAMUX)

3.11.1 简介

DMA请求多路器(DMAMUX)用于管理外设的DMA请求信号并传递给DMA控制器。DMAMUX包括请求复用器和请求生成器两个子模块。

请求复用器包含4个通道，每个通道通过可配置的映射关系连接外设和DMA。每个DMA通道可从多个外设的DMA请求中选择其中一个。

请求生成器包含2个通道，每个通道通过触发信号生成DMA请求。

3.11.2 主要特性

- 4 通道的可编程 DMA 请求复用器
- 2 通道 DMA 请求生成器
- 每个 DMA 请求生成器的通道均具有：
 - 8 个触发信号源
 - 请求生成计数器
 - 触发事件的溢出标志
- 每个 DMA 请求复用器的通道均具有：
 - 多个 DMA 请求源
 - 一个 DMA 请求输出
 - 事件输出（仅限于通道 0 和 1）
 - DMAMUX 事件生成计数器（仅限于通道 0 和 1）

3.12 嵌套向量中断控制器(NVIC)

3.12.1 简介

嵌套向量中断控制器(NVIC)实现高效的异常处理及中断处理。所有的中断均由 NVIC 管理。

3.12.2 主要特性

- 支持 32 个可屏蔽中断，以及 Cortex®-M0+的 16 个中断
- 低延时的异常及中断处理
- 提供系统控制寄存器
- 4 个可编程优先级，“0”代表最高优先级
- 中断向量表中的编号代表硬件优先级，当两个软件优先级相同的中断同时发生时，编号小的中断优先

NVIC 和处理器内核紧密配合，实现了低延迟的中断处理，以及对晚到高优先级中断的高效处理。当异常发生时，NVIC 会自动将处理状态压栈保存，中断子程序执行完毕会自动将状态出栈。详细信息请参见 *Cortex-M0+ Technical Reference Manual*。

3.13 扩展中断和事件控制器(EXTI)

3.13.1 简介

扩展中断和事件控制器 EXTI 用于管理 CPU 唤醒和系统的唤醒。EXTI 的输入有可配置通道和直接通道两种。输出信号有三种，EXTI 可以输出唤醒事件到 PWR，可以产生中断信号输入到 NVIC 模块，还可以集中管理事件源，产生事件输出，经过 EVG 输出到 CPU 事件处理模块，参见 EXTI 框图。

EXTI 管理 26 个事件通道，包括 18 个可配置通道，和 8 个直接通道。

EXTI 内部集成了 I/O 端口多路选择器，可将任意 I/O 配置为唤醒源。

3.13.2 主要特性

- 由输入的任意事件唤醒系统。
- 可配置通道，来自不含中断功能的外设及 GPIO，功能如下：
 - 触发沿可选。
 - 分别为上升沿和下降沿触发的中断提供独立的挂起状态位。
 - 为事件和中断分别提供独立的屏蔽功能，灵活管理 CPU 的唤醒、中断处理以及事件响应。
- 直接通道，来自含中断功能的外设，功能如下：
 - 上升沿触发。
 - 由于外设中已包含中断标志位，EXTI 不再重复提供挂起状态位。
 - 为事件和中断分别提供独立的屏蔽功能，灵活管理 CPU 的唤醒、中断处理以及事件响应。
- 集成 I/O 端口多路选择器，可将任意 I/O 配置为唤醒源。

3.14 硬件除法器单元(HDIV)

3.14.1 简介

HDIV(Hardware Divider)是一个能自动执行 32 位有符号/无符号整数的硬件除法器。

3.14.2 主要特性

- 有符号/无符号整数除法计算可配置
- 32 位被除数和除数
- 输出 32 位商和 32 位余数
- 除数为零警告标志位，除法运算结束标志位
- 10 个时钟周期完成一次除法运算
- 写除数寄存器触发除法运算开始
- 读商寄存器/余数寄存器时自动等待计算结束

3.15 循环冗余校验(CRC)

3.15.1 简介

CRC 根据初始值和多项式计算输入数据(8 位、16 位、32 位)的 CRC 值。CRC 运算通常用于验证数据在传输及存储时的完整性。

3.15.2 主要特性

- 支持 CRC-16 和 CRC-32 多项式,其中
 - CRC-16 多项式: $0x1021$
 $X^{16}+X^{12}+X^5+1$
 - CRC-32 多项式: $0x4C11DB7$
 $X^{32}+X^{26}+X^{23}+X^{22}+X^{16}+X^{12}+X^{11}+X^{10}+X^8+X^7+X^5+X^4+X^2+X+1$
- 支持计算模式和校验模式
- 寄存器访问支持 3 种位宽: 8 位、16 位和 32 位
- 1 个 AHB 时钟周期完成 CRC 计算

3.16 模数转换器(ADC)

3.16.1 简介

MCU 内置 12 位逐次趋近型 (SAR) 模数转换器 (ADC), 可以对 56 路外部通道和 3 路芯片内部通道的电压信号进行模数转换, 并可以配置为单次、连续或间断转换模式。ADC 转换结果存储在一个 16 位数据寄存器, 可以配置为左对齐或右对齐数据存储模式。

ADC 具有模拟看门狗功能, 用于监控 ADC 通道输入电压是否超出用户设定阈值的上限或下限。

3.16.2 主要特性

- 高性能
 - 可编程采样时间;
 - 支持 1Msps ADC 转换速率;
 - 自校准;
 - 可配置数据对齐方式: 左对齐、右对齐;
 - 支持 DMA。
- 低功耗
 - ADC 可以选择同步时钟 PCLK、异步时钟两种时钟源。通过选择异步时钟源, 可以降低 PCLK 频率从而使 MCU 以低功耗模式运行, 同时仍可保持最优的 ADC 性能。例如, 无论 PCLK 的频率如何, 都可以保持 $1\mu\text{s}$ 的转换时间;
 - 等待模式: ADC 转换完成后停止运行, 直到 ADC 数据被读取。此模式可以防止 ADC 在低频应用中转换数据溢出;
- 模拟输入通道
 - 56 路外部输入通道 (通过模拟 PIN 输入);
 - 3 路芯片内部通道:
 - 1 路用于采集内部温度传感器(VTS)电压;
 - 1 路用于采集参考电压(VBGR);
 - 1 路用于监控 1/4 外部 VCC 电源输入。

- 启动转换方式
 - 软件触发；
 - 硬件触发：触发极性（上升沿、下降沿、双沿）可配置（触发源为内部定时器事件或 GPIO 输入事件）。
- 转换模式
 - 单通道转换，或者扫描一系列通道；
 - 单次模式，每次触发时转换一次选定的输入通道；
 - 连续模式，连续转换选定的输入通道；
 - 间断模式。
- 中断触发事件
 - 转换结束事件；
 - 序列转换结束事件；
 - 模拟看门狗事件；
 - 溢出事件。
- 模拟看门狗
- ADC 电源电压：2.4V~5.5V
- ADC 输入范围：VSSA≤VIN≤VDDA

3.17 触摸按键(ATK)

3.17.1 简介

触摸键提供了一种简单、可靠的方法来实现手指触摸检测。在触摸扫描操作期间，设备支持 2 组 21 个通道的触摸键检测。

3.17.2 主要特性

- 支持对灵敏度要求较高的触控应用
- 具有很强的抗干扰性
- 最大支持 42 路通道的触摸键检测
- 支持低功耗模式

3.18 模拟智能组合(SAC)

3.18.1 简介

MCU 模拟智能组合模块内置四个模拟比较器 (COMP)、四个运算放大器(OPAMP)和四个 12 位的数模转换器(DAC)。这三个子模块可以单独开关使用也可以组合使用。其中比较器用于比较两个输入模拟电压的大小，并根据比较结果输出高/低电平。当比较器“+”端输入电压高于“-”端输入电压时，比较器输出为高电平。当比较器“+”端输入电压低于“-”端输入电压时，比较器输出为低电平。支持模拟信号触发从低功耗

耗模式唤醒和模拟信号整形应用。

运算放大器可以配置为同向、反向、不同增益值组合，也可以使用外部电阻进行级联。OPAMP 的输入范围是 0~AVCC，输出范围是 0.1V 到 AVCC-0.1V。

3.18.2 主要特性

- 比较器可以配置正相输入和负相输入信号，灵活选择输入电压：
 - 多路复用 I/O；
 - DAC 输出；
 - 内部参考电压 VBGR 及其三个因数分压值（1/4、1/2、3/4，通过分压调节器进行分压）；
 - 内部参考电压 Vcore。
- 比较器可编程迟滞电压
- 比较器输出可以片内连接到 I/O 或 TIMER 输入，可以触发以下事件：
 - 捕捉事件；
 - 为实现快速 PWM 关断的刹车事件。
- 比较器输出可以进行数字滤波，且滤波时间可配置
- 比较器都可以产生中断，并可以从睡眠和停止模式唤醒芯片(通过 EXTI 控制器)
- OPAMP 可编程增益
- OPAMP 可输出到比较器
- OPAMP 输入可灵活配置

3.19 液晶显示/发光二极管控制器(LCD/LED)

3.19.1 简介

该模块可以配置三种驱动模式：LCD 驱动模式，LED 矩阵模式，LED 点阵模式。通过寄存器配置，它仅同时支持一种操作模式。LCD 控制器是一款适用于单色无源液晶显示器(段码 LCD)的数字控制器/驱动器，最多具有 8 个公用端 (COM) 和 28 个区段端(SEG)，用以驱动 112(4x28)或 192(8x24)个 LCD 图像元素（像素或完整符号）。公用和区段端的确切数量取决芯片封装及引脚规模。

LCD 由若干图像元素组成，这些图像元素均可点亮或熄灭。每个图像元素都包含一层在两根电极之间对齐的液晶分子。当向液晶施加高于阈值电压的电压时，相应的图像元素可见。

图像元素两电极间施加到液晶的电压，称为显示驱动电压。显示驱动电压必须为交流，以避免液晶中出现电泳效应（这将影响显示效果），因此必须在两电极间以特定的驱动波形施加电压，以避免出现直流(DC)。

词汇表	
LCD	单色无源显示器，带有直接引向图像元素电级的端子。
LED	发光二极管，一种常用的发光器件。
COM	连接到多个图像元素（24 个）的公用电气连接端子。
SEG	连接到图像元素的区段电气连接端子。
Bias	驱动 LCD 时使用的电压等级。定义为 1/(用于驱动 LCD 显示器的电压等级数-1)。

Duty	定义为 1/(给定 LCD 显示器上的公用端子数)。
Frame	显示驱动波形的一个周期。
f _{frame}	每秒帧数，即每秒激励 LCD 图像元素的次数。

3.19.2 主要特性

LCD 主要特性如下：

- 4x28~8x24 LCD 驱动器
- 支持 1/4、1/5、1/6 和 1/8 占空比
- 支持 1/3 偏置电压
- 多达 8 个 32 位 LCD RAM 数据显示存储器
- 可设置的 0~7 级显示对比度
- 支持低功耗模式
- LCD 控制器可在 Sleep 和 Stop 下进行显示，也可以禁止以降低功耗。
- 内置反相功能以降低功耗和 EMI（电磁干扰）

LED 主要特性如下：

- 矩阵模式：8*8，16 引脚，最多 64 点
- 点矩阵模式：7*8、6*7、5*6、4*5，8 引脚，最高 56 点

3.20 高级控制定时器(TIM1)

3.20.1 简介

高级控制定时器 TIM1 包含一个 16 位自动重载计数器，该计数器由可编程预分频器驱动。

此类定时器可用于多种用途，包括测量输入信号的脉冲宽度（输入捕获），或者生成输出波形（输出比较、PWM 和带死区插入的互补 PWM）。

使用定时器预分频器和 RCC 时钟控制器预分频器，可将脉冲宽度和波形周期从几微秒调制到几毫秒。

高级控制定时器 TIM1 和通用定时器 TIM2/3/4 彼此完全独立，不共享任何资源。

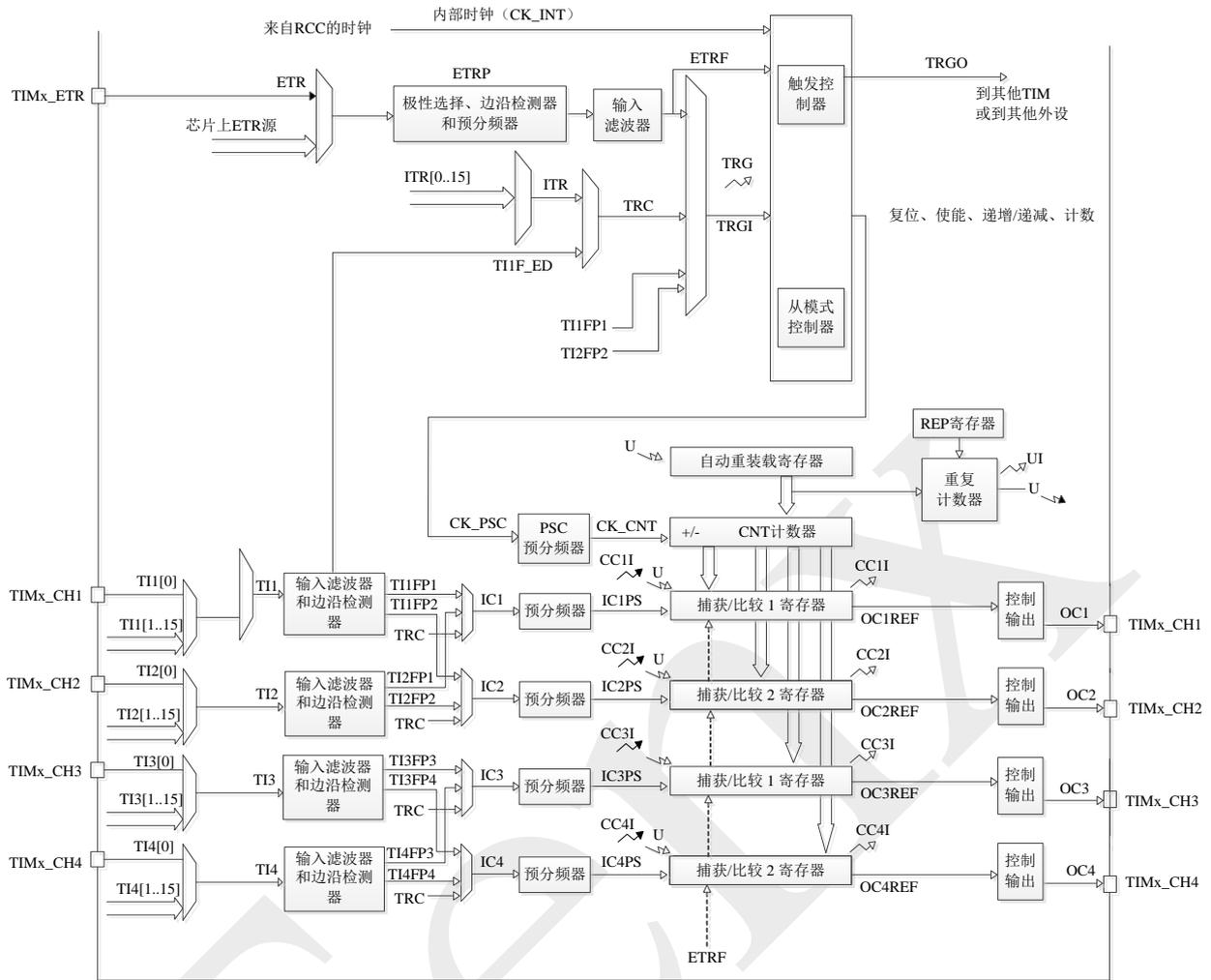
3.20.2 主要特性

- 16 位递增、递减、递增/递减自动重载计数器；
- 16 位可编程预分频器，用于对计数器时钟频率进行分频（可在运行时修改），分频系数介于 1 到 65535 之间；
- 多达 6 个独立通道，可用于：
 - 输入捕获（但通道 5 和通道 6 除外）；
 - 输出比较；
 - PWM 生成（边沿和中心对齐模式）；
 - 单脉冲模式输出；
- 可再触发单脉冲模式；
- 带可编程死区的互补输出；

- 使用外部信号控制定时器且可实现多个定时器互连的同步电路;
- 重复计数器, 用于仅在给定数目的计数器周期后更新定时器寄存器;
- 2 个断路输入, 用于将定时器的输出信号置于用户可选的安全配置中;
- 发生如下事件时生成中断/DMA 请求:
 - 更新: 计数器上溢/下溢、计数器初始化 (通过软件或内部/外部触发)
 - 触发事件 (计数器启动、停止、初始化或通过内部/外部触发计数)
 - 输入捕获
 - 输出比较
- 支持增量 (正交) 编码器和霍尔传感器电路;
- 触发输入用作外部时钟或逐周期电流管理;
- DMA burst 传输功能。
与 CPU 接口:
 - 挂接在 APB2 总线上, 只支持 32 位访问
 - 访问模块内部未定义寄存器空间时, 读数据为 0, 写数据无效
- 时钟与复位:
 - 双时钟域
 - 异步复位, 低电平有效

3.21.2 主要特性

- 16 位递增、递减、递增/递减自动重载计数器；
- 16 位可编程预分频器，用于对计数器时钟频率进行分频（可在运行时修改），分频系数介于 1 到 65535 之间；
- 6 个独立通道（文中进行通道功能描述时会使用 x 表示 2 个通道中的任何一个）可用于：
 - 输入捕获；
 - 输出比较；
 - PWM 生成（边沿和中心对齐模式）；
 - 单脉冲模式输出；
- 触发输入用作外部时钟或逐周期电流管理；
- 使用外部信号控制定时器且可实现多个定时器互连的同步电路；
- 发生如下事件时生成中断/DMA 请求：
 - 更新：计数器上溢/下溢、计数器初始化（通过软件或内部/外部触发）；
 - 触发事件（计数器启动、停止、初始化或通过内部/外部触发计数）；
 - 输入捕获；
 - 输出比较；
- 与 CPU 接口：
 - 挂接在 APB1 总线上，只支持 32 位访问
 - 访问模块内部未定义寄存器空间时，读数据为 0，写数据无效时钟与复位；
 - 双时钟域
 - 异步复位，低电平有效


注意:

寄存器 根据控制位, 在发生U事件后, 预装载寄存器内的数据转移到有效寄存器中

→ 事件

↔

图 3-21-2 TIM2/3/4 通用控制定时器框图

3.22 基本定时器(TIM5/6/7)

3.22.1 简介

基本定时器 TIM5、TIM6 和 TIM7 包含一个 16 位自动重载计数器, 该计数器由可编程预分频器驱动。此类定时器不仅可用作通用定时器以生成时基, 还可以专门用于驱动数模转换器 (DAC)。实际上, 此类定时器内部连接到 DAC 并能够通过其触发输出驱动 DAC。这些定时器彼此完全独立, 不共享任何资源。

3.22.2 主要特性

- 16 位自动装载计数器
 - 16 位可编程预分频器（可实时修改），计数时钟频率的分频系数为 1~65535 之间的任意数值
 - 同步电路触发 DAC
 - 产生中断 DMA 产生更新事件：计数溢出
- 与 CPU 接口：**
- 挂接在 APB1 总线上
 - 访问模块内部未定义寄存器空间时，读数据为 0，写数据无效

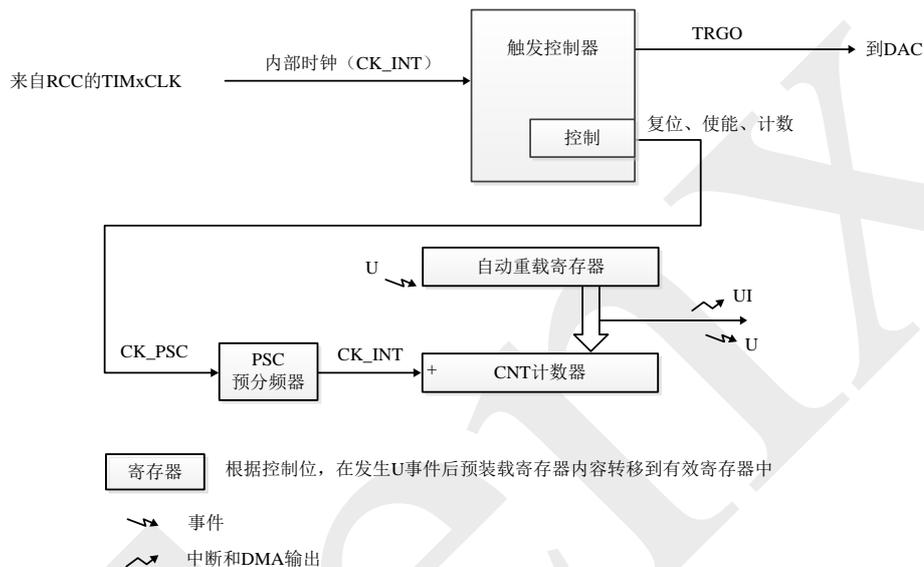


图 3-22-2 基本定时器框图

3.23 低功耗定时器(LPTIM)

3.23.1 简介

LPTIM 是一个 16 位定时器，此模块的开发是为了从降低功耗的发展中受益。由于 LPTIM 的时钟源具有多样性，因此 LPTIM 能够在所有电源模式下保持运行状态。即便是没有内部时钟源，LPTIM 也能运行，鉴于这一特点，可将其用作“脉冲计数器”，这种脉冲计数器在某些应用中十分有用。此外，LPTIM 还能将系统从低功耗模式唤醒，因此非常适合实现“超时功能”，在这种功能模式下系统功耗极低。

LPTIM 引入了一个灵活的时钟方案，该方案能够提供所需的功能和性能，同时还能最大程度地降低功耗。

3.23.2 主要特性

- 16 位向上自动装载计数器
- 3 位计数器预分频器，可采用 8 种分频系数（1、2、4、8、16、32、64 和 128）

3.24 SysTick 定时器(SysTick)

3.24.1 简介

ARM®Cortex®-M0+内核提供了一个硬件定时器 SysTick。

在 OS 中多任务调度时需要周期性执行上下文切换，可以借助 SysTick 实现此功能。每当定时器中断产生时，处理器都会在异常处理中断中进行 OS 任务调度及维护工作。

3.24.2 主要特性

- 24 位硬件定时器
- 减计数
- 提供异常处理中断
- 为 RTOS 提供可编程系统定时器
- 无系统时可作为定时器，计时器或周期性中断源

3.25 红外控制模块(IRTIM)

3.25.1 简介

红外控制模块（IRTIM）能够产生红外控制信号，可以配合红外 LED 发射器一同使用，以实现红外远程控制功能。

3.25.2 主要特性

IRTIM 在芯片内部与 USART2、USART3、TIM3、TIM4 相连，详见下图。

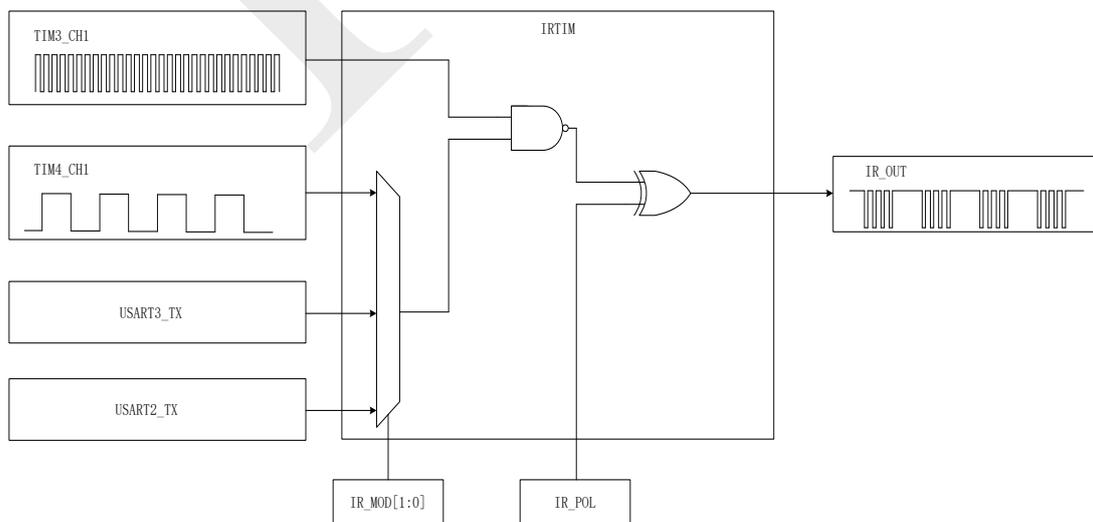


图 3-25-2 IRTIM 内部硬件连接

通过配置不同的载波和调制信号，可以产生符合任意红外脉冲调制标准的红外控制信号。

TIM3 定时器的通道 1 (TIM3_CH1) 用于产生高频载波信号。为了避免毛刺和干扰，IR 信号通过 TIM3_CH1 的载波同步。

通过配置系统控制寄存器 (SYSCFG_CFGR1) 中的 IR_MOD[1:0] 位域，可以选择 TIM4 定时器的通道 1 (TIM4_OC1)、USART2 或 USART3 中的一路信号作为调制信号。

IRTIM 输出信号的极性，由系统控制寄存器 (SYSCFG_CFGR1) 中的 IR_POL 控制位进行选择，可以根据需要将输出极性反转。

IRTIM 产生的红外控制信号由 IR_OUT 引脚输出，通过 GPIO 引脚的复用功能进行配置。

3.26 独立看门狗(IWDG)

3.26.1 简介

MCU 内置独立看门狗，可检测并解决芯片发生的异常，并在计数器达到给定的超时值时触发系统复位。

独立看门狗 (IWDG) 由其内部低速时钟 (LSI) 驱动，因此在系统时钟发生故障时仍然保持工作状态。

3.26.2 功能特性

- 递减计数器
- 工作时钟为 32KHz LSI 提供，可在 Stop 模式下工作
- 复位条件 (如果看门狗已使能)
 - 当递减计数器值小于 0x000 时复位
 - 在窗口之外重载递减计数器时复位
- 可通过选项字节设置，来控制上电时是否使能独立看门狗

3.27 窗口看门狗(WWDG)

3.27.1 简介

窗口看门狗 (WWDG) 通常被用来检测并解决芯片发生的异常，并在计数器达到给定的超时值时触发系统复位。

WWDG 时钟由 APB1 时钟经预分频后提供，通过可配置的时间窗口来检测异常操作。

3.27.2 主要特性

- 递减计数器
- 复位条件 (如果看门狗已使能)

- 当递减计数器值小于 0x40 时复位
- 在窗口之外重载递减计数器时复位
- 提前唤醒中断（EWI）：当计数器递减到 0x40 时触发

3.28 I2C 接口(I2C)

3.28.1 简介

I2C 接口实现 MCU 和外部 I2C 设备的同步通信，支持标准模式（Standard-mode（Sm））、快速模式（Fast-mode（Fm））和超快速模式（Fast-mode Plus（Fm+））。

实现多主模式功能，可以控制时钟同步和总线仲裁。

3.28.2 主要特性

- 兼容 I2C 总线规范 Rev.3:
 - 主模式和从模式
 - 多主模式
 - 标准模式（最高 100KHz）
 - 快速模式（最高 400KHz）
 - 超快速模式（最高 1MHz）
 - 7 位和 10 位寻址模式
 - 多个 7 位从地址（2 个从设备地址寄存器，1 个具有可配置的匹配位数）
 - 所有 7 位地址应答
 - 广播地址
 - 可配置的数据建立和保持时间
 - 从模式可配置时钟延长
 - 方便易用的事件管理
 - 软件复位
 - 带 DMA 功能的 1 字节缓冲
 - 可配置的数字噪声滤波器
- I2C1 还实现以下扩展功能,I2C2 未实现以下扩展功能。
- 支持独立时钟源，可使 I2C 通信速度不受 PCLK 时钟频率更改的影响
 - 地址匹配时从停止模式唤醒

3.29 通用异步收发器(USART)

3.29.1 简介

通用同步/异步收发器 USART 支持全双工或半双工，同步或异步的通信方式，符合通用工业标准 NRZ 异步串行编码格式，内部集成小数级波特率发生器，波特率范围可配置。

USART 还支持单线半双工通信，IrDA 的 SIR 编码标准通信，多机通信和硬件流控(CTS/RTS)。USART 支持使用 DMA 通信。

3.29.2 主要特性

- 支持全双工半双工，同步或异步的通信方式
- 符合 NRZ 标准格式
- 支持 16 倍或 8 倍过采样
- 内置波特率发生器
- 可配置双时钟域，可工作在独立于 PCLK 的专用时钟源
- 发送器/接收器配有独立的使能位
- TX/RX 引脚可交换
- 发送/接收的信号极性可独立控制
- 内置两个深度为 8 的接收 FIFO 和发送 FIFO
- 自动波特率检测功能
- 支持数据长度：7、8 或 9 位
- 可编程数据传输顺序，支持 MSB 或 LSB 优先
- 可编程停止位位数：0.5 位，1 位，1.5 位或 2 位
- 奇偶校验可配置为：奇校验、偶校验、无校验
- 支持通过 DMA 进行连续通信
- 支持主/从模式同步通信
- 支持单线半双工通信
- 支持硬件流控（CTS/RTS）以及 RS485 收发控制
- 支持多机通信，支持通过空闲检测或地址匹配检测从静默模式唤醒

3.30 低功耗通用异步收发器(LPUART)

3.30.1 简介

低功耗通用异步收发器 LPUART(Low-power Universal Asynchronous Receiver Transmitter)提供了灵活方便的串行数据交换接口。支持全双工或半双工，同步或异步的传输方式。LPUART 提供了可编程的波特率发生器，能对系统时钟进行分频产生 LPUART 发送和接收所需的特定频率。

LPUART 是低功耗设计的 USART，提供相应的硬件支持。在实现双向 USART 通信的同时保证低功耗。仅用 32.768KHz LSE 低速时钟源就能实现高达 9600 波特率的 USART 通信。在比 LSE 速率更高的时钟源下可支持更高波特率的通信。

即使当微控制器处于低功耗模式，在能耗极低的状态下 LPUART 也可以接收到通信数据。

LPUART 支持单线半双工通信，还支持多机通信和硬件流控(CTS/RTS)。支持 DMA 功能，可实现高速率的数据通信。

模块提供 APB 总线接口，可用于 32 位平台。

3.30.2 主要特性

- 全双工异步通信
- NRZ 标准格式（标记/空格）
- 可编程波特率
- 32.768KHz 时钟源下支持波特率范围 300 波特/s 到 9600 波特/s，使用高频时钟源可实现更高的波特率
- 双时钟域，带有独立于 PCLK 的专用内核时钟支持外设
- 内置两个深度为 8 的接收 FIFO 和发送 FIFO
- 数据字长度可编程（7 位、8 位或 9 位）
- 数据顺序可编程，支持 MSB 或 LSB 优先
- 停止位可配置（支持 1 个或 2 个停止位）
- 单线半双工通信
- 使用 DMA 实现连续通信
- 为发送/接收配有独立的使能位
- 可单独控制收/发的信号极性
- Tx/Rx 引脚配置可交换
- 通信控制/错误检测标志
- 提供传输检测标志
 - 接收缓冲区已满
 - 发送缓冲区已空
 - BUSY 标志和发送结束标志
- 奇偶校验控制：
 - 发送奇偶校验位
 - 对接收数据进行奇偶校验
- 四个错误检测标志：
 - 上溢错误
 - 噪声检测
 - 帧错误
 - 奇偶校验错误
- 带有中断标志位的中断源
- 支持硬件流控(CTS/RTS)以及 RS485 收发控制
- 多机通信时，支持从静默模式唤醒（通过空闲线检测或地址标记检测）。

3.31 串行外设接口(SPI)

3.31.1 简介

串行外设接口(SPI)协议支持与外部设备进行同步全双工串行通信。SPI 可选主机或从机模式，当配置为主机模式时，可为外部从设备提供通信时钟(SCK)。

3.31.2 主要特性

- 可配置为主机模式或从机模式
- 多主机模式功能
- 基于 NSS、SCK、MISO 和 MOSI 标准四线的同步全双工通信
- 帧数据大小固定为 8bit
- 主机模式支持 7 种波特率分频，最大分频系数为 PCLK/8，最高通信速率为 6.25Mbps
- 从机模式最大分频系数为 PCLK/8，最高通信速率为 6.25Mbps
- 可编程时钟极性和相位
- 可编程数据传输顺序：MSB 或 LSB
- 可触发中断的错误事件：主机模式冲突、上溢、从模式故障和从模式下溢
- 支持 DMA 发送和接收
- 内置两个 8 字节接收 FIFO 和发送 FIFO

在 SPI 通信过程中，将同时执行接收和发送操作。数据线上的信息的移位和采样与串行时钟同步。四种通信格式取决于时钟相位和时钟极性，具体见下表。

表 3-31-2 通信模式配置

SPI 模式	CPOL	CPHA	说明
模式 0	0	0	时钟空闲为低电平，在时钟第一个边沿进行数据采样，即数据在时钟的上升沿采样，下降沿变化。
模式 1	0	1	时钟空闲为低电平，在时钟第二个边沿进行数据采样，即数据在时钟的下降沿采样，上升沿变化。
模式 2	1	0	时钟空闲为高电平，在时钟第一个边沿进行数据采样，即数据在时钟的下降沿采样，上升沿变化。
模式 3	1	1	时钟空闲为高电平，在时钟第二个边沿进行数据采样，即数据在时钟的上升沿采样，下降沿变化。

3.32 实时时钟计数器(RTC)

3.32.1 简介

RTC 实时时钟，具有日历计时功能，并能在任意低功耗模式下进行自动唤醒。同时 RTC 也是独立的二进制码十进制数 (Binary-Coded Decimal, BCD) 定时器/计数器，提供了中断可配置的日历闹钟。无论芯片运行在什么状态 (运行状态、低功耗状态、复位状态)，只要供电电压保持在可工作范围内，RTC 就不会停止工作。

3.32.2 主要特性

- 日历采用 BCD 格式，包含秒、分钟、小时 (12/24 小时制)、星期、日期、月份和年份等信息；
- 月底自动修正月份的日期，28、29 (闰年)、30 和 31 日；
- 包含 1 个可配置闹钟；

- 具有 RTC 时钟同步功能，能对 RTC 时钟进行 1 到 32767 个时钟脉冲的实时修正；
- 含有分辨率可达 0.96ppm 的数字校准电路，能够有效补偿石英晶振的误差。
- 包含 1 个 16 位自动重载唤醒定时器（WUT），具有可配置的分辨率和定时周期；

RTC 外设的时钟源可以是：

- 32.768KHz 外部晶体振荡器（LSE）；
- 内部低功耗 RC 振荡器（LSI，典型频率为 32KHz）；
- 经过 RCC 预分频后的外部高速时钟（HSE）；

当 RTC 时钟由 LSE 或 LSI 提供时，RTC 可在所有低功耗模式下工作。所有 RTC 事件（闹钟、唤醒定时器）都可以产生中断并将设备从低功耗模式唤醒

3.33 可编程逻辑阵列(PLA)

3.33.1 简介

可编程逻辑阵列（PLA）模块提供了多个用户可编程的数字逻辑块，在没有 CPU 干预的情况下操作。它由四个专用的独立的可编程逻辑单元（PLU）组成。它们支持用户可编程的异步和同步的布尔逻辑操作。内部和外部信号都可以用作 PLU 的输入，输出可以连接到端口 I/O 引脚或直接选择外围输入作为输出。

3.33.2 主要特性

- 四个可编程逻辑单元（PLU），具有直接引脚和内部逻辑连接
- 每个单元支持 256 种不同的组合逻辑功能（AND、OR、XOR、混合等），以及包括一个时钟触发器以便进行同步操作。
- 单元可以进行同步操作，也可以进行异步操作
- 单元模块可以级联在一起，以便实现更复杂的逻辑功能
- 可以与串行外设进行连接，比如 USART、SPI 或者定时外设（高级定时器、通用定时器和基本定时器）
- 可以用于同步和触发多个片上资源（ADC、DAC、定时器等）
- 异步输出可以用于低功耗状态唤醒

4 引脚功能描述及复用功能

4.1 引脚分配图

本芯片支持 LQFP64、LQFP48 共 2 种封装类型，引脚分配见下图所示：

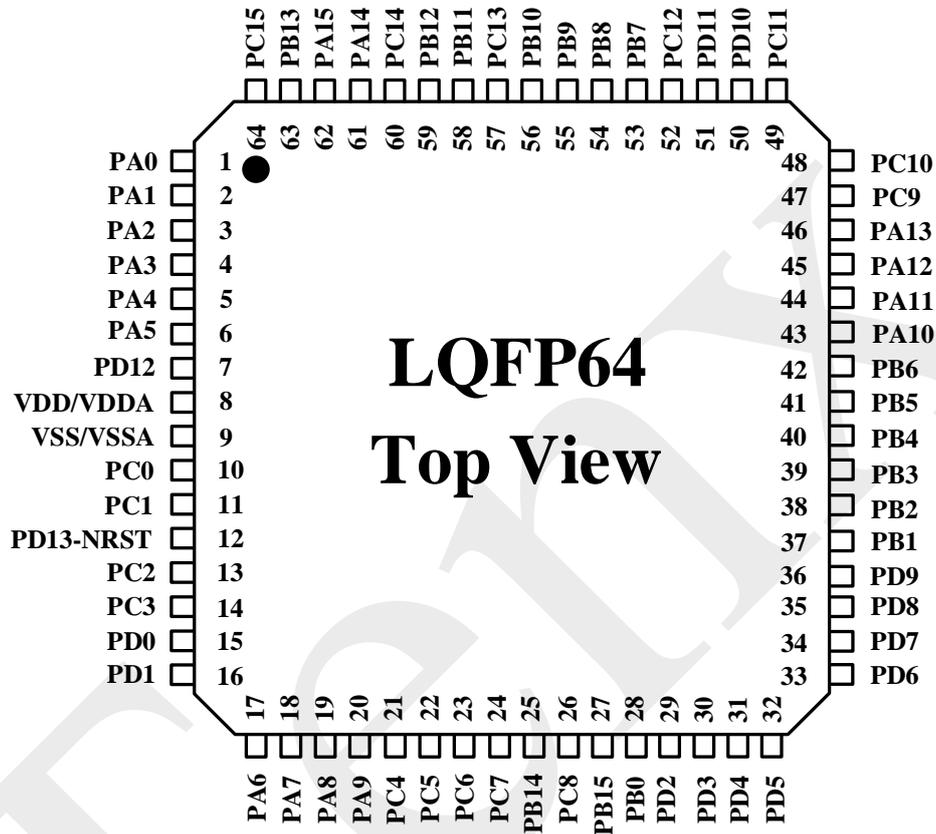


图 4-1-1 LQFP64 引脚分配图

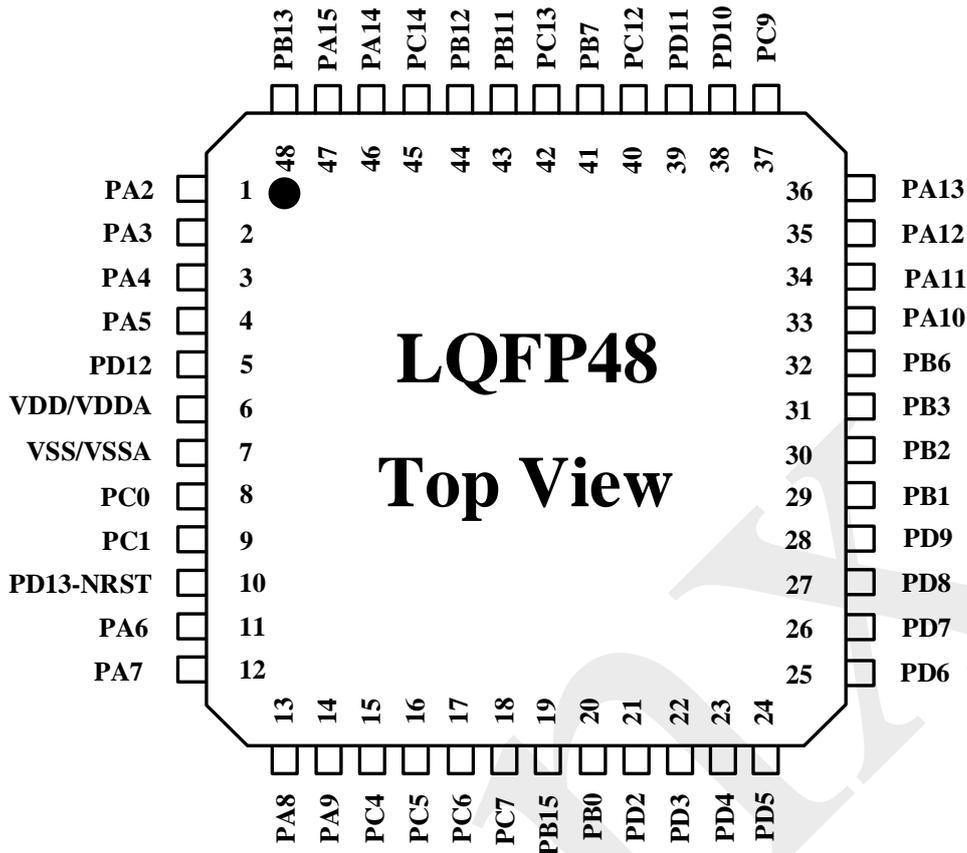


图 4-1-2 LQFP48 引脚分配图

4.2 引脚分配和功能描述

表 4-2-1 TM32G0788AL 和 TM32G07889L 引脚分配和功能描述

引脚名称		引脚	类型	复用功能	附加功能
LQFP48	LQFP64				
-	1	PA0	I/O		ATK1_B11,ADC1_00,COMP3_INP1,COMP3_INM1,COM5,SEG25,LED5,LCOM5
-	2	PA1	I/O	USART3_RX,TIM1_CH4	ATK1_B12,ADC1_01,COM4,SEG24,LED4,LCOM4
1	3	PA2	I/O	LPTIM1_IN1	ATK1_B13,ADC1_02,COM3,LED3,LCOM3
2	4	PA3	I/O	TIM1_BKIN1,RTC1_OUT1	ATK1_B14,ADC1_03,COM2,LED2,LCOM2

引脚名称		引脚	类型	复用功能	附加功能
LQFP48	LQFP64				
3	5	PA4	I/O	COMP2_OUT,TIM1_BKIN2	ATK1_B15,ADC1_04,COM1,LED1,LCOM1,OSC_IN,OSC32_IN
4	6	PA5	I/O	OSC32_EN,OSC_EN	ATK1_B16,ADC1_05,COMP2_INM1,COM0,LED0,LCOM0,OSC32_OUT
5	7	PD12	I/O		ADC1_55,COMP1_INM1,COMP2_INP1,VREF+
6	8	VDD/VDDA	S		
7	9	VSS/VSSA	S		
8	10	PC0	I/O	PLA1_IN1	ATK1_B17,ADC1_06,OSC_IN
9	11	PC1	I/O	OSC_EN,PLA1_IN2	ATK1_B18,ADC1_07,OSC_OUTPUT
10	12	PD13	I/O	MCO	NRST
-	13	PC2	I/O	LPUART1_RX,LPTIM1_IN1	ATK1_B19,ADC1_08,COMP1_INM2,COMP2_INP2,OSC_IN
-	14	PC3	I/O	LPUART1_TX,LPTIM1_OUT	ATK1_B20,ADC1_09,OSC_OUTPUT
-	15	PD0	I/O	SPI2_MISO,LPTIM1_IN2	DAC2_CH2_OUT0
-	16	PD1	I/O	SPI2_MOSI,LPTIM1_ETR	DAC2_CH1_OUT0
11	17	PA6	I/O	COMP1_OUT,SPI2_SCK,USART2_CTS_NSS,TIM2_CH1_ETR,LPTIM1_OUTPUT,PLA1_IN3	ATK1_A20,ADC1_10,COMP1_INM3,LSEG7
12	18	PA7	I/O	SPI1_SCK,USART2_RTSD_CHK,TIM2_CH2,EVENTOUT,COMP3_OUT,PLA1_OUT0,PLA1_IN4	ATK1_A19,ADC1_11,COMP1_INP1,DAC1_CH2_OUT0,LSEG6
13	19	PA8	I/O	COMP2_OUT,SPI1_MOSI,USART2_TX,LPUART1_TX,TIM2_CH3,LSCO,PLA1_IN5	ATK1_A18,ADC1_12,COMP2_INM2,DAC1_CH1_OUT0,LSEG5
14	20	PA9	I/O	SPI2_MISO,USART2_RX,LPUART1_RX,TIM2_CH4,COMP4_OUT,PLA1_OUTPUT1,PLA1_IN6	ATK1_A17,ADC1_13,COMP2_INP3,COMP4_INP9,COMP4_INM9,LSEG4

引脚名称		引脚	类型	复用功能	附加功能
LQFP48	LQFP64				
15	21	PC4	I/O	SPI1_NSS,SPI2_MOSI,TIM2_CH1,RTC1_OUT1,PLA1_IN7	ATK1_A16,ADC1_14,COMP4_INP8,COMP4_INM8,DAC1_CH1_OUT1,LSEG3,PVD_IN1
16	22	PC5	I/O	SPI1_SCK,USART3_TX,TIM2_CH1_ETR,COMP3_OUT,PLA1_OUT2,PLA1_IN8	ATK1_A15,ADC1_15,COMP4_INP7,COMP4_INM7,DAC1_CH2_OUT1,LSEG2
17	23	PC6	I/O	COMP1_OUT,SPI1_MISO,USART3_CTS_NSS,LPUART1_CTS,TIM1_BKIN1,TIM3_CH1,TIM4_CH1,PLA1_IN9	ATK1_A14,ADC1_16,COMP4_INP6,COMP4_INM6,DAC2_CH1_OUT1,SEG23,LSEG1
18	24	PC7	I/O	COMP2_OUT,SPI1_MOSI,TIM1_CH1N,TIM2_CH1,TIM3_CH2,TIM4_CH4,PLA1_OUT3,PLA1_IN10	ATK1_A13,ADC1_17,COMP4_INP5,COMP4_INM5,DAC2_CH2_OUT1,SEG22,LSEG0
-	25	PB14	I/O	USART1_TX,USART3_TX,TIM2_CH1_ETR	ATK1_A12,ADC1_18,COMP1_INM4,COMP4_INP4,COMP4_INM4,SEG21
-	26	PC8	I/O	USART1_RX,USART3_RX,TIM2_CH2	ADC1_19,COMP1_INP2
19	27	PB15	I/O	COMP1_OUT,SPI1_NSS,USART3_RX,TIM1_CH2N,TIM3_CH3,LPTIM1_OUT,PLA1_IN11	ADC1_20,COMP4_INP3,COMP4_INM3
20	28	PB0	I/O	USART3_RTS_DE_CK,LPUART1_RTS_DE,TIM1_CH3N,TIM2_CH1,TIM3_CH4,EVENTOUT,COMP4_OUT,PLA1_IN12	ATK1_A11,ADC1_21,COMP1_INM5,SEG20
21	29	PD2	I/O	SPI2_MISO,USART3_TX,LPTIM1_OUT,EVENTOUT	ADC1_46,COMP1_INP3,OPAMP4_INP2
22	30	PD3	I/O	COMP1_OUT,SPI2_SCK,I2C2_SCL,USART3_TX,	ADC1_47,OPAMP4_INP1

引脚名称		引脚	类型	复用功能	附加功能
LQFP48	LQFP64				
				LPUART1_RX,TIM2_CH3	
23	31	PD4	I/O	COMP2_OUT,SPI2_MOSI,I2C2_SDA,USART3_RX,LPUART1_TX,TIM2_CH4	ADC1_48,COMP1_INP4,COMP2_INM3,OPAMP4_INM1,PVD_IN2
24	32	PD5	I/O	SPI2_NSS,LPUART1_RTS_DE,TIM1_BKIN1,EVENTOUT	ADC1_49
25	33	PD6	I/O	SPI2_SCK,I2C2_SCL,USART3_CTS_NSS,LPUART1_CTS,TIM1_CH1N,TIM2_CH3,EVENTOUT	COMP1_INP5,COMP2_INM4,PVD_IN3
26	34	PD7	I/O	SPI2_MISO,I2C2_SDA,USART3_RTS_DE,CK,TIM1_CH2N,EVENTOUT	ADC1_50,OPAMP2_INP2
27	35	PD8	I/O	SPI2_MOSI,TIM1_CH3N,EVENTOUT	OPAMP2_INP1
28	36	PD9	I/O	SPI2_NSS,TIM1_CH1,MCU,EVENTOUT,PLA1_IN13	OPAMP2_INM1
29	37	PB1	I/O	SPI2_MISO,I2C1_SCL,USART1_TX,TIM1_CH2,MCU,TIM1_CH1N,PLA1_IN14	ATK1_A10,ADC1_22,SEG19
30	38	PB2	I/O	TIM2_CH3,TIM3_CH1,TIM1_CH2,PLA1_IN15	ATK1_A09,ADC1_23,COMP3_INP10,COMP3_INM10,SEG18
31	39	PB3	I/O	TIM2_CH4,TIM3_CH2,TIM1_CH2N	ADC1_24
-	40	PB4	I/O	SPI1_SCK,USART3_TX,LPTIM1_OUT,TIM1_CH3	ADC1_25
-	41	PB5	I/O	SPI1_NSS,USART3_RX,TIM1_BKIN2,TIM1_CH3N	ATK1_A08,ADC1_26,SEG17
32	42	PB6	I/O	SPI2_MOSI,I2C1_SDA,USART1_RX,TIM1_CH3,E	ATK1_A07,ADC1_27,COMP4_INP3,COMP4_INM3,SEG16

引脚名称		引脚	类型	复用功能	附加功能
LQFP48	LQFP64				
				VENTOUT,COMP3_OUT,PLA1_OUT0,PLA1_IN16	
33	43	PA10	I/O	SPI1_MISO,COMP1_OUT,I2C2_SCL,USART1_CTS_NSS,TIM1_CH4,TIM1_BKIN2,PLA1_IN17	ATK1_A06,ADC1_28,SEG15
34	44	PA11	I/O	SPI1_MOSI,COMP2_OUT,I2C2_SDA,USART1_RTS_DECK,TIM1_ETR,PLA1_IN18	ATK1_A05,ADC1_29,OPAMP1_OUT,SEG14
35	45	PA12	I/O	SWDIO,IRTIM1_OUT,EVENTOUT,USART2_RX	ATK1_A04,ADC1_30,COMP3_INP9,COMP3_INM9,OPAMP1_INP2,SEG13
36	46	PA13	I/O	SWCLK,USART2_TX,BOOT0,EVENTOUT	ATK1_A03,ADC1_31,COMP3_INP8,COMP3_INM8,OPAMP1_INP1,SEG12,BOOT0
37	47	PC9	I/O	SPI1_NSS,USART2_RX,USART3_RTS_DECK,TIM2_CH1_ETR,EVENTOUT,PLA1_OUT1	ATK1_A02,ADC1_32,DAC1_CH1_OUT2,OPAMP1_INP0,SEG11
-	48	PC10	I/O	TIM1_CH1,TIM3_CH3	ATK1_A01,ADC1_33,OPAMP1_INM1,SEG10
-	49	PC11	I/O	TIM1_CH2,TIM3_CH4	ATK1_A00,ADC1_34,SEG9
38	50	PD10	I/O	SPI2_NSS,TIM4_CH1,EVENTOUT,TIM1_CH3	ADC1_51,COMP1_INP6,COMP2_INM5,OPAMP1_INM0
39	51	PD11	I/O	SPI2_SCK,TIM4_CH4,EVENTOUT	ADC1_52,COMP1_INP7,COMP2_INM6,OPAMP2_OUT
40	52	PC12	I/O	USART3_RTS_DECK,TIM1_CH1N,TIM3_ETR	ATK1_B00,ADC1_35,OPAMP2_INP0,SEG8
41	53	PB7	I/O	SPI2_MISO,USART2_CTS_NSS,TIM1_CH2N	ATK1_B01,ADC1_36,COMP3_INP7,COMP3_INM7,COMP4_INP2,COMP4_INM2,OPAMP2_INM0,SEG7
-	54	PB8	I/O	SPI2_MOSI,USART2_RTS_DECK,TIM1_CH3N	ATK1_B02,ADC1_37,COMP3_INP6,COMP3_INM6,COMP4_INP1,COMP4_INM1,OPAMP3_

引脚名称		引脚	类型	复用功能	附加功能
LQFP48	LQFP64				
					INP2,SEG6
-	55	PB9	I/O	SPI1_MISO,USART2_TX,TIM1_BKIN1,TIM1_CH1	ATK1_B03,ADC1_38,COMP3_INP5,COMP3_INM5,OPAMP3_INM1,SEG5
-	56	PB10	I/O	SPI1_MOSI,USART2_RX	ATK1_B04,ADC1_39,COMP3_INP4,COMP3_INM4,OPAMP3_INP1,SEG4
42	57	PC13	I/O	SPI1_SCK,USART1_RTSDRIVE_OUT,TIM1_CH2,TIM2_CH2,EVENTOUT,PLA1_OUT2	ATK1_B05,ADC1_40,COMP2_INM7,DAC1_CH2_OUT2,OPAMP3_OUT,SEG3
43	58	PB11	I/O	SPI1_MISO,USART1_CTS_NSS,TIM3_CH1,EVENTOUT,PLA1_OUT3	ATK1_B06,ADC1_41,COMP2_INP4,COMP3_INP3,COMP3_INM3,DAC2_CH1_OUT2,OPAMP3_INP0,SEG2
44	59	PB12	I/O	COMP2_OUT,SPI1_MOSI,TIM3_CH2,TIM4_CH3,LPTIM1_IN1	ATK1_B07,ADC1_42,DAC2_CH2_OUT2,OPAMP3_INM0,SEG1
45	60	PC14	I/O	SPI2_MISO,I2C1_SCL,USART1_TX,TIM1_CH3,TIM4_CH2,LPTIM1_ETR,EVENTOUT	ATK1_B08,ADC1_43,COMP2_INP5,SEG0
46	61	PA14	I/O	SPI2_MOSI,I2C1_SDA,USART1_RX,LPTIM1_IN2,TIM4_ETR,EVENTOUT	ATK1_B09,ADC1_44,COMP2_INM8,COM7,SEG27,LED7,LCOM7
47	62	PA15	I/O	SPI2_SCK,I2C1_SCL,USART3_TX,TIM4_CH1,COMP4_OUT,PLA1_IN19	ATK1_B10,ADC1_45,COMP3_INP2,COMP3_INM2,OPAMP4_INP0,COM6,SEG26,LED6,LCOM6
48	63	PB13	I/O	SPI2_NSS,I2C1_SDA,USART3_RX,TIM4_CH4,IRTIM1_OUT,EVENTOUT,PLA1_IN20	ADC1_53,COMP1_INM6,COMP2_INP6,OPAMP4_INM0
-	64	PC15	I/O	USART3_TX,TIM1_CH3	ADC1_54,COMP1_INM7,COMP2_INP7,OPAMP4_OUT

当使能 LED 开启 (LCD_CR.LCDON=1)、且 LED 设为矩阵模式 (LCD_CR.LEDMODE=00) 时,

LED 矩阵模式将占用所使用管脚的管脚附加功能，其他模块不可使用这些管脚的附加功能。附加功能包括 LSEG0~7，以及根据 LCD_CR.DUTY 值涉及的 LCOM0~x。

当使能 LCD 开启（LCD_CR.LCDON=1）时，LCD 模式将占用所使用管脚的管脚附加功能，其他模块不可使用这些管脚的附加功能。附加功能包括 SEG0~27 和 COM0~7。

4.3 引脚复用功能

表 4-3-1 端口 PA 复用功能映射

端口	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
PA0								
PA1	USART3_RX	TIM1_CH4						
PA2	LPTIM1_IN1							
PA3	TIM1_BKIN	RTC_OUT						
PA4	COMP2_OUT	TIM1_BKIN2						
PA5	OSC32_EN	OSC_EN						
PA6	COMP1_OUT	SPI2_SCK	USART2_CTS_NS	TIM2_CH1_ETR	LPTIM1_OUT			PLA_IN3
PA7	SPI1_SCK	USART2_RTS_DECK	TIM2_CH2	EVENTOUT		COMP3_OUT	PLA_OUT0	PLA_IN4
PA8	COMP2_OUT	SPI1_MOSI	USART2_TX	LPUART1_TX	TIM2_CH3	LSCO		PLA_IN5
PA9	SPI2_MISO	USART2_RX	LPUART1_RX	TIM2_CH4		COMP4_OUT	PLA_OUT1	PLA_IN6
PA10	SPI1_MISO	COMP1_OUT	I2C2_SCL	USART1_CTS_NS	TIM1_CH4	TIM1_BKIN2		PLA_IN17
PA11	SPI1_MOSI	COMP2_OUT	I2C2_SDA	USART1_RTS_DECK	TIM1_ETR			PLA_IN18
PA12	SWDIO	IRTIM1_OUT	EVENTOUT	USART2_RX				
PA13	SWCLK	USART2_TX	BOOT0	EVENTOUT				
PA14	SPI2_MOSI	I2C1_SDA	USART1_RX	LPTIM1_IN2	TIM4_ETR	EVENTOUT		

端口	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
PA15	SPI2_S CK	I2C1_S CL	USART3 _TX	TIM4_C H1		COMP4_ OUT		PLA_IN 19

表 4-3-2 端口 PB 复用功能映射

端口	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
PB0	USART 3_RTS_ DE_CK		TIM1_C H3N	TIM2_C H1	TIM3_C H4	EVENT OUT	COMP4 _OUT	PLA_IN 12
PB1	SPI2_M ISO	I2C1_S CL	USART1 _TX	TIM1_C H2	MCO		TIM1_C H1N	PLA_IN 14
PB2	TIM2_C H3	TIM3_C H1					TIM1_C H2	PLA_IN 15
PB3	TIM2_C H4	TIM3_C H2					TIM1_C H2N	
PB4	SPI1_S CK	USART 3_TX	LPTIM1_ OUT				TIM1_C H3	
PB5	SPI1_N SS	USART 3_RX	TIM1_B KIN2				TIM1_C H3N	
PB6	SPI2_M OSI	I2C1_S DA	USART1 _RX	TIM1_C H3	EVENTO UT	COMP3 _OUT	PLA_O UT0	PLA_IN 16
PB7	SPI2_M ISO	USART 2_CTS_ NSS	TIM1_C H2N					
PB8	SPI2_M OSI	USART 2_RTS_ DE_CK	TIM1_C H3N					
PB9	SPI1_M ISO	USART 2_TX	TIM1_B KIN				TIM1_C H1	
PB10	SPI1_M OSI	USART 2_RX						
PB11	SPI1_M ISO	USART 1_CTS_ NSS	TIM3_C H1	EVENTO UT			PLA_O UT3	
PB12	COMP2 _OUT	SPI1_M OSI	TIM3_C H2	TIM4_C H3	LPTIM1_ IN1			
PB13	SPI2_N SS	I2C1_S DA	USART3 _RX	TIM4_C H4	IRTIM1_ OUT	EVENT OUT		PLA_IN 20
PB14	USART 1_TX	USART 3_TX	TIM2_C H1_ETR					
PB15	COMP1 _OUT	SPI1_N SS	USART3 _RX	TIM1_C H2N	TIM3_C H3	LPTIM1 _OUT		PLA_IN 11

表 4-3-3 端口 PC 复用功能映射

端口	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
PC0								PLA_IN1
PC1	OSC_EN							PLA_IN2
PC2	LPUART1_RX	LPTIM1_IN1						
PC3	LPUART1_TX	LPTIM1_OUT						
PC4	SPI1_NSS	SPI2_MOSI	TIM2_CH1	RTC_OUT				PLA_IN7
PC5	SPI1_SCK	USART3_TX	TIM2_CH1_ETR			COMP3_OUT	PLA_OUT2	PLA_IN8
PC6	COMP1_OUT	SPI1_MISO	USART3_CTS_NSS		TIM1_BKIN	TIM3_CH1	TIM4_CH1	PLA_IN9
PC7	COMP2_OUT	SPI1_MOSI	TIM1_CH1N	TIM2_CH1	TIM3_CH2	TIM4_CH4	PLA_OUT3	PLA_IN10
PC8	USART1_RX	USART3_RX	TIM2_CH2					
PC9	SPI1_NSS	USART2_RX	USART3_RTS_DECK	TIM2_CH1_ETR	EVENTOUT		PLA_OUT1	
PC10	TIM1_CH1	TIM3_CH3						
PC11	TIM1_CH2	TIM3_CH4						
PC12	USART3_RTS_DECK	TIM1_CH1N	TIM3_ETR					
PC13	SPI1_SCK	USART1_RTS_DECK	TIM1_CH2	TIM2_CH2	EVENTOUT		PLA_OUT2	
PC14	SPI2_MISO	I2C1_SCL	USART1_TX	TIM1_CH3	TIM4_CH2	LPTIM1_ETR	EVENTOUT	
PC15	USART3_TX	TIM1_CH3						

表 4-3-4 端口 PD 复用功能映射

端口	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
PD0	SPI2_MISO	LPTIM1_IN2						
PD1	SPI2_MOSI	LPTIM1_ETR						

端口	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
PD2	SPI2_MISO	USART3_TX	LPTIM1_OUT	EVENTOUT				
PD3	COMP1_OUT	SPI2_SCK	I2C2_SCL	USART3_TX	LPUART1_RX	TIM2_CH3		
PD4	COMP2_OUT	SPI2_MOSI	I2C2_SDA	USART3_RX	LPUART1_TX	TIM2_CH4		
PD5	SPI2_NSS		TIM1_BKIN	EVENTOUT				
PD6	SPI2_SCK	I2C2_SCL	USART3_CTS_NSS		TIM1_CH1N	TIM2_CH3	EVENTOUT	
PD7	SPI2_MISO	I2C2_SDA	USART3_RTS_DECK	TIM1_CH2N	EVENTOUT			
PD8	SPI2_MOSI	TIM1_CH3N	EVENTOUT					
PD9	SPI2_NSS	TIM1_CH1	MCO	EVENTOUT				PLA_IN13
PD10	SPI2_NSS	TIM4_CH1	EVENTOUT				TIM1_CH3	
PD11	SPI2_SCK	TIM4_CH4	EVENTOUT					
PD12								
PD13	MCO							

表 4-3-5 引脚功能描述

引脚名称	类型	说明
I/O 端口		
PA0~PA15	I/O	16 位双向 I/O 端口
PB0~PB15	I/O	16 位双向 I/O 端口
PC0~PC15	I/O	16 位双向 I/O 端口
PD0~PD13	I/O	14 位双向 I/O 端口
USART (通用异步收发器)		
USART1_TX~USART3_TX	O	串口 1-3 数据发送端口
USART1_RX~USART3_RX	I	串口 1-3 数据接收端口

引脚名称	类型	说明
USART1_RTS~USART3_RTS	O	串口 1-3 请求发送端口
USART1_CTS~USART3_CTS	I	串口 1-3 允许发送端口
LPUART（低功耗通用异步收发器）		
LPUART1_TX	O	LPUART1 数据发送端口
LPUART1_RX	I	LPUART1 数据接收端口
LPUART1_RTS	O	LPUART1 请求发送端口
LPUART1_CTS	I	LPUART1 允许发送端口
SPI（串行外设接口）		
SPI1_MOSI~SPI2_MOSI	I/O	SPI1-2 主输出从输入引脚
SPI1_MISO~SPI2_MISO	I/O	SPI1-2 主输入从输出引脚
SPI1_SCK~SPI2_SCK	I/O	SPI1-2 串行时钟引脚
SPI1_NSS~SPI2_NSS	I	SPI1-2 从设备选择引脚
I ² C（双线串行接口）		
I ² C1_SCL~I ² C2_SCL	I/O	时钟信号（支持主机/从机模式）
I ² C1_SDA~I ² C2_SDA	I/O	数据输入输出端
高级型定时器 TIM1		
TIM1_CH1/CH1N	I/O	高级 TIM1 通道 1, 支持双通道带死区互补输出、输入捕获
TIM1_CH2/CH2N	I/O	高级 TIM1 通道 2, 支持双通道带死区互补输出、输入捕获
TIM1_CH3/CH3N	I/O	高级 TIM1 通道 3, 支持双通道带死区互补输出、输入捕获
TIM1_CH4	I/O	高级 TIM1 通道 4, 支持 PWM 输出、输入捕获

引脚名称	类型	说明
TIM1_ETR	I	高级 TIM1 外部触发输入
TIM1_BKIN	I	高级 TIM1 外部刹车信号输入
通用定时器 TIM2~TIM4		
TIM2_CH1/CH2/CH3/CH4	I/O	通用 TIM2 通道 1/2/3/4 PWM 输出、输入捕获
TIM3_CH1/CH2/CH3/CH4	I/O	通用 TIM3 通道 1/2/3/4 PWM 输出、输入捕获
TIM4_CH1/CH2/CH3/CH4	I/O	通用 TIM4 通道 1/2/3/4 PWM 输出、输入捕获
TIM2_ETR~TIM4_ETR	I	通用 TIM2-4 外部触发输入
TIM2_TRGO~TIM4_TRGO	O	通用 TIM2-4 触发输出
低功耗定时器 (LPTIM)		
LPTIM1_OUT	O	LPTIM1 时钟比较输出
LPTIM1_IN1~LPTIM1_IN2	I	LPTIM1 外部时钟输入,唤醒
LPTIM1_ETR	I	LPTIM1 外部触发输入
LED		
LCOM0~LCOM7	O	LED 矩阵模式 COM 输出
LSEG0~LSEG7	O	LED 矩阵模式 segment 输出
LED0~LED7	O	LED 点矩阵模式输出
LCD		
COM0~COM7	O	LCD COM 输出
SEG0~SEG27	O	LCD segment 输出
TK		
TKA00~TKA20、TKB00~TKB20	I	触摸键输入

引脚名称	类型	说明
12bit ADC		
ADC1_00~ADC1_55	I	ADC1 输入
SAC（智能模拟电路）之 OPAMP		
OPAMP1_INP~OPAMP4_INP	I	OPAMP1-4 输入正端
OPAMP1_INM~OPAMP4_INM	I	OPAMP1-4 输入负端
OPAMP1_OUT~OPAMP4_OUT	O	OPAMP1-4 输出
SAC（智能模拟电路）之 DAC		
DAC1_CH1_OUTx~DAC1_CH2_OUTx	O	DAC1 输出
DAC2_CH1_OUTx~DAC2_CH2_OUTx	O	DAC2 输出
SAC（智能模拟电路）之 COMP		
COMP1_INP~COMP4_INP	I	COMP1~COMP4 正端输入
COMP1_INM~COMP4_INM	I	COMP1~COMP4 负端输入
COMP1_OUT~COMP4_OUT	O	COMP1~COMP4 输出
PLA		
PLA_IN1~PLA_IN20	I	PLA 的输入
PLA_OUT0~PLA_OUT3	O	PLA0~PLA3 输出
电源		
VDD/VDDA	P	电源
VSS/VSSA	P	地
复位		
NRST	I/O	芯片外部全局复位信号，低电平有效复位输入，上拉电阻固定使能。

引脚名称	类型	说明
时钟		
OSC_IN	I	外部高速晶振信号输入或外部高速时钟输入
OSC_OUT	O	外部高速晶振信号输出
OSC_EN	I	外部高速时钟输入使能
OSC32_IN	I	外部低速晶振信号输入或外部低速时钟输入
OSC32_OUT	O	外部低速晶振信号输出
OSC32_EN	I	外部低速时钟输入使能
MCO	O	高速时钟输出
RTC_OUT	O	RTC 时钟输出 (1Hz)
LSCO	O	低速时钟输出, 来自 LSI 或 LSE
其它		
IRTIM1_OUT	O	红外输出端
EVENTOUT	O	快速事件输出
BOOT0	I	芯片启动模式控制
调试接口 (SWD, 串行双线调试接口)		
SWDIO	I/O	SWDP 数据输入输出
SWCLK	I	SWDP 时钟输入

5 电气特性

5.1 参数条件

- 除非另有说明，所有电压均参照 VSS。
- 在温度范围之外定义的参数值将被忽略。
- 根据订购信息，用于表征某些电气参数的包装可能与商业包装不同。

5.1.1 最小、最大值

- 除非另有说明，在环境温度为 $T_A=25^{\circ}\text{C}$ 和 $T_A=T_A(\text{max})$ (由所选温度范围给出)的条件下，通过对 100% 的设备进行生产测试，保证在环境温度、电源电压和频率的最坏条件下的最小值和最大值。
- 基于表征结果、设计模拟和/或技术特性的数据在表的脚注中说明，并没有在生产中进行测试。根据表征，最小值和最大值为样本检验值，表示平均值 ± 3 倍标准差(平均值 $\pm 3\sigma$)。

5.1.2 典型值

- 除非另有说明，典型数据是基于 $T_A=25^{\circ}\text{C}$ ， $V_{DD}=V_{DDA}=V_{REF+}=5\text{V}$ 。它们只是作为设计指南给出的，没有经过测试。
- 典型的 ADC 精度值是通过在整个温度范围内对一批标准扩散批次样品的特征来确定的，其中 95% 的器件误差小于或等于指示值(平均值 $\pm 2\sigma$)。

5.1.3 典型曲线

除非另有说明，所有典型曲线仅作为设计指南给出，不进行测试。

5.1.4 负载电容

用于引脚参数测量的加载条件如图 5-1-5 所示。

5.1.5 引脚输入电压

图 5-1-5 描述了该装置引脚上的输入电压测量。

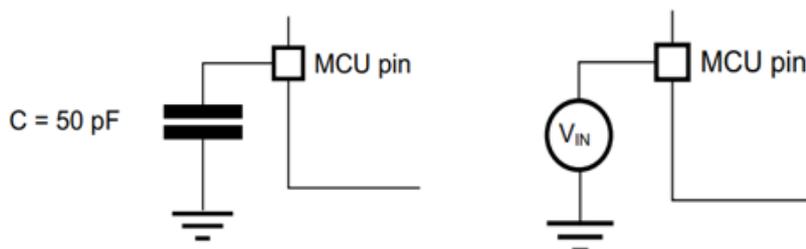


图 5-1-5 引脚负载条件及输入电压

5.1.6 供电方案

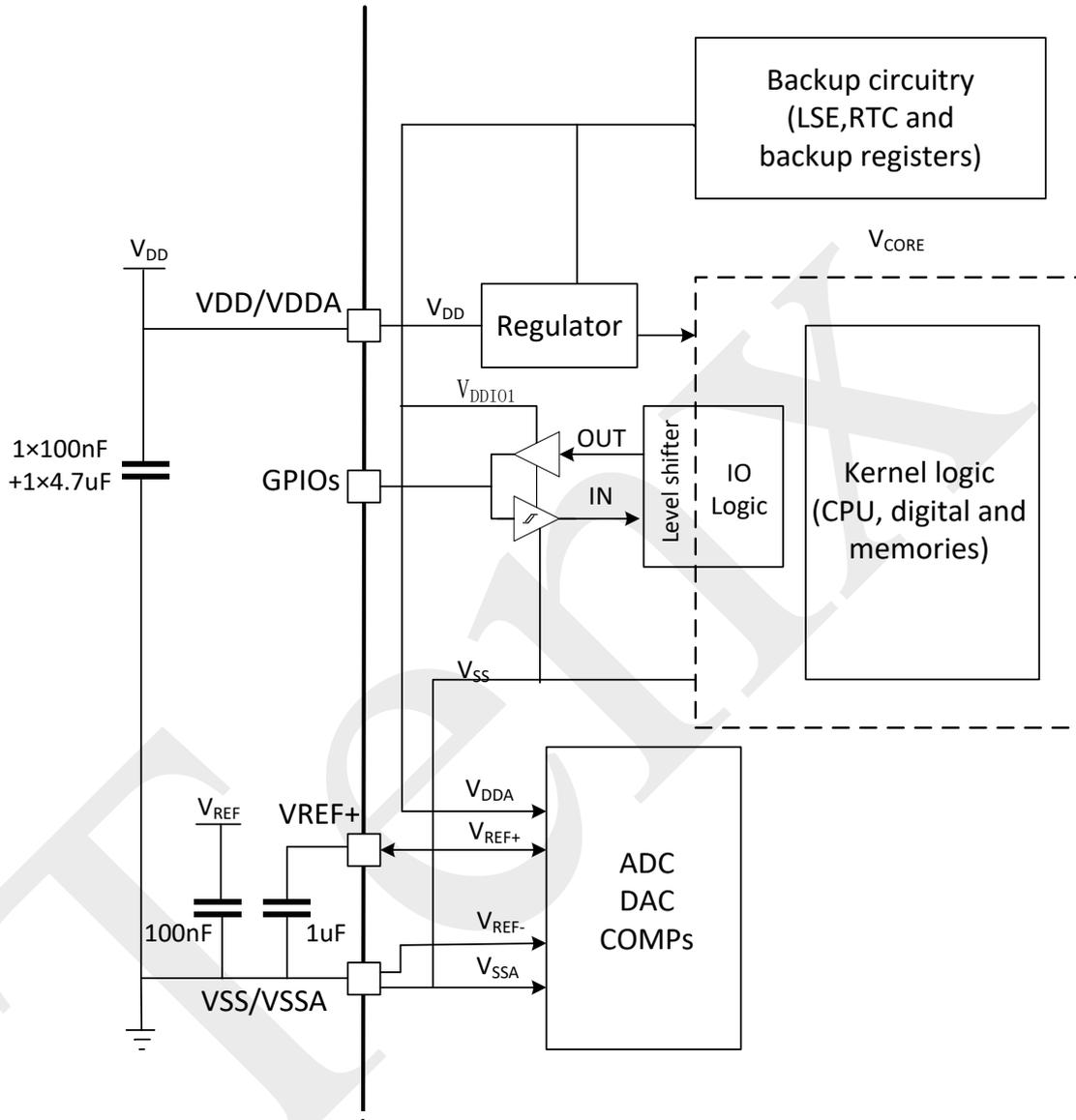


图 5-1-6 电压测量原理图

注:电源引脚对(V_{DD}/V_{DDA} 和 V_{SS}/V_{SSA})必须与如上所示的过滤陶瓷电容解耦。这些电容必须尽可能地放置在接近或在下面,在 PCB 下面的合适引脚,以确保设备良好的功能。

5.1.7 测量电流消耗

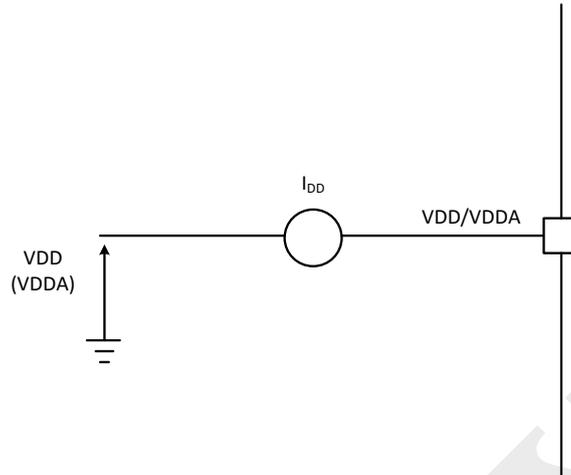


图 5-1-7 电流测量原理图

5.2 最大绝对额定值

强调以下表格所列绝对最大额定值的应力可能会对设备造成永久性损坏。这些只是应力额定值，并不意味着设备在这些条件下的功能操作。长时间暴露在最大额定条件下可能会影响设备的可靠性。

所有电压都是根据 VSS 定义的。

5.2.1 电压特性

表 5-2-1 电压特性⁽¹⁾

符号	参数	最小值	最大值	单位
V _{DD}	数字电源电压	-0.3	6.0	V
V _{DDA}	模拟电源电压	-0.3	6.0	V
V _{IN}	I/O 输入电压	-0.3	6.0	V
V _{REF+}	参考电压	-0.3	6.0	V

1. 设计保证。

5.2.2 电流特性

表 5-2-2 电流特性

符号	参数	最大值	单位
I _{VDD/VDDA}	电流流入 VDD、VDDA 电源 pin(source)	249	mA
I _{VSS/VSSA}	电流流出 VSS、VSSA 地线 pin(sink)	249	mA
I _{IO(PIN)}	任一 I/O(GL2 结构)输出电流(source)	47	mA
	任一 I/O(GLC 结构)输出电流(source)	44	
	任一 I/O(GLE 结构)输出电流(source)	47	

符号	参数	最大值	单位
	任一 I/O(GL2 结构)输入电流(sink)	140	
	任一 I/O(GLC 结构)输入电流(sink)	138	
	任一 I/O(GLE 结构)输入电流(sink)	140	
$\sum I_{IO(PIN)}$	所有 I/O 输出电流(source)	241	mA
	所有 I/O 输入电流(sink)	242	
$I_{INJ(PIN)}^{(2)}$	任一 I/O(GL2 结构)注入电流	0.77	mA
	任一 I/O(GLC 结构)注入电流	0.20	
	任一 I/O(GLE 结构)注入电流	0.17	
$\sum I_{INJ(PIN)} $	所有 I/O 注入电流	0.00017	mA

1. 设计保证。
2. 正向注入电流 $V_{IN} > V_{DDIOx}$, 反向注入电流 $V_{IN} < V_{SS}$ 。

5.2.3 温度特性

表 5-2-3 温度特性

符号	参数	最小值	最大值	单位
T_{STG}	存储温度	-65 ⁽¹⁾	150 ⁽¹⁾	°C
T_A	工作温度	-40	105	°C
T_J	最大结温度	-	125 ⁽¹⁾	°C

1. 设计保证。

5.2.4 其它特性

表 5-2-4 其它特性

符号	参数	最大值	单位
Nend	flash 擦写次数	100k ⁽¹⁾	cycles
Tdr	flash 保存数据时间	$\geq 10^{(1)}$	years
ESD(HBM)	端口静电放电电压	$\geq 8000^{(1)}$	V

1. 设计保证。

5.3 操作条件

5.3.1 常规操作条件

表 5-3-1 常规操作条件

符号	参数	条件	最小值	最大值	单位
F_{HCLK}	内部 AHB 时钟频率	-	0	48	MHz
F_{PCLK}	内部 APB 时钟频率	-	0	48	MHz
V_{DD}	标准工作电压	-	2.2 ⁽¹⁾	5.5	V
V_{DDA}	模拟部分电源电压	COMP 正常工作	1.6 ⁽²⁾	6.0 ⁽²⁾	V

符号	参数	条件	最小值	最大值	单位
		OPAMP 正常工作	2.4 ⁽²⁾	5.5 ⁽²⁾	
		DAC 正常工作	1.7 ⁽²⁾	6.0 ⁽²⁾	
		ADC 正常工作	2.0 ⁽²⁾	5.5 ⁽²⁾	
		V _{BGO} 正常工作	2.0 ⁽²⁾	5.5 ⁽²⁾	
V _{REF+}	参考电压	DAC 正常工作	1.7 ⁽²⁾	6.0 ⁽²⁾	V
		ADC 正常工作	2.4 ⁽²⁾	V _{DDA} ⁽²⁾	
V _{IN}	I/O 输入电压	-	-0.3	V _{DD} +0.3	V
T _A	工作温度	-	-40	105	°C
T _J	结温度	-	-40 ⁽³⁾	125 ⁽³⁾	°C

1. 当 RESET 被释放时, V_{POR} 取最小值。
2. 目前数值基于 25°C 下的测试结果。
3. 设计保证。

5.3.2 操作条件(上电、下电)

本章节的表 5-3-2 中给出的参数来自于第 5.3.1 章节的表 5-3-1(常规操作条件)中总结的环境温度条件下进行的测试。

表 5-3-2 常规操作条件(上电、下电)

符号	参数	条件	最小值	最大值	单位
tv _{DD}	V _{DD} 摆率	V _{DD} 上升	-	∞	μs/V
		V _{DD} 下降	14	∞	ms/V

5.3.3 嵌入式复位和电源控制模块特性

本章节的表 5-3-3 中给出的参数来自于第 5.3.1 章节的表 5-3-1(常规操作条件)中总结的环境温度条件下进行的测试。

表 5-3-3 嵌入式复位和电源控制模块特性

符号	参数	条件	最小值	典型值	最大值	单位	
t _{RSTTEMP} O ⁽¹⁾	V _{DD} 超过 V _{POR} ,P _{OR} 的时延	V _{DD} 上升	-	605	-	μs	
V _{POR}	上电复位阈值	-	1.833	2.186	2.542	V	
V _{PDR}	下电复位阈值	-	1.801	2.205	2.523	V	
V _{PVD}	低电压侦测值	PVD_HYS[1:0]=00; PVDT[4:0]=00000	上升	-	1.99	-	V
			下降	-	1.98	-	
		PVD_HYS[1:0]=01; PVDT[4:0]=00000	上升	-	2.02	-	
			下降	-	1.96	-	
		PVD_HYS[1:0]=10; PVDT[4:0]=00000	上升	-	2.04	-	
			下降	-	1.93	-	
		PVD_HYS[1:0]=11; PVDT[4:0]=00000	上升	-	2.05	-	

符号	参数	条件	最小值	典型值	最大值	单位		
		PVDT[4:0]=00000	下降	-	1.92	-		
		PVD_HYS[1:0]=00; PVDT[4:0]=01111	上升 下降	- -	3.37 3.35	- -		
		PVD_HYS[1:0]=01; PVDT[4:0]=01111	上升 下降	- -	3.42 3.30	- -		
		PVD_HYS[1:0]=10; PVDT[4:0]=01111	上升 下降	- -	3.45 3.26	- -		
		PVD_HYS[1:0]=11; PVDT[4:0]=01111	上升 下降	- -	3.46 3.23	- -		
		PVD_HYS[1:0]=00; PVDT[4:0]=11111	上升 下降	- -	4.84 4.81	- -		
		PVD_HYS[1:0]=01; PVDT[4:0]=11111	上升 下降	- -	4.91 4.75	- -		
		PVD_HYS[1:0]=10; PVDT[4:0]=11111	上升 下降	- -	4.96 4.68	- -		
		PVD_HYS[1:0]=11; PVDT[4:0]=11111	上升 下降	- -	4.97 4.65	- -		
		V _{BOR}	低电压复位值	BOR_HYS[1:0]=00; BOR_LEV[2:0]=000	上升 下降	- -	2.34 2.25	- -
				BOR_HYS[1:0]=01; BOR_LEV[2:0]=000	上升 下降	- -	2.34 2.23	- -
				BOR_HYS[1:0]=10; BOR_LEV[2:0]=000	上升 下降	- -	2.37 2.22	- -
				BOR_HYS[1:0]=11; BOR_LEV[2:0]=000	上升 下降	- -	2.38 2.21	- -
				BOR_HYS[1:0]=00; BOR_LEV[2:0]=100	上升 下降	- -	3.21 3.16	- -
				BOR_HYS[1:0]=01; BOR_LEV[2:0]=100	上升 下降	- -	3.26 3.12	- -
				BOR_HYS[1:0]=10; BOR_LEV[2:0]=100	上升 下降	- -	3.26 3.09	- -
				BOR_HYS[1:0]=11; BOR_LEV[2:0]=100	上升 下降	- -	3.30 3.07	- -
				BOR_HYS[1:0]=00; BOR_LEV[2:0]=111	上升 下降	- -	3.94 3.87	- -
				BOR_HYS[1:0]=01; BOR_LEV[2:0]=111	上升 下降	- -	4.00 3.82	- -
				BOR_HYS[1:0]=10; BOR_LEV[2:0]=111	上升 下降	- -	4.02 3.79	- -
BOR_HYS[1:0]=11; BOR_LEV[2:0]=111	上升 下降			- -	4.06 3.76	- -		

符号	参数	条件	最小值	典型值	最大值	单位
V _{hyst_PVD}	V _{PVD} 迟滞	PVD_HYS[1:0]=00; PVDT[4:0]=00000	-	11	-	mV
		PVD_HYS[1:0]=01; PVDT[4:0]=00000	-	66	-	
		PVD_HYS[1:0]=10; PVDT[4:0]=00000	-	102	-	
		PVD_HYS[1:0]=11; PVDT[4:0]=00000	-	127	-	
		PVD_HYS[1:0]=00; PVDT[4:0]=01111	-	21	-	
		PVD_HYS[1:0]=01; PVDT[4:0]=01111	-	114	-	
		PVD_HYS[1:0]=10; PVDT[4:0]=01111	-	176	-	
		PVD_HYS[1:0]=11; PVDT[4:0]=01111	-	214	-	
		PVD_HYS[1:0]=00; PVDT[4:0]=11111	-	35	-	
		PVD_HYS[1:0]=01; PVDT[4:0]=11111	-	163	-	
		PVD_HYS[1:0]=10; PVDT[4:0]=11111	-	254	-	
		PVD_HYS[1:0]=11; PVDT[4:0]=11111	-	310	-	
V _{hyst BOR}	V _{BOR} 迟滞	BOR_HYS[1:0]=00; BOR_LEV[2:0]=000	-	36	-	mV
		BOR_HYS[1:0]=01; BOR_LEV[2:0]=000	-	72	-	
		BOR_HYS[1:0]=10; BOR_LEV[2:0]=000	-	100	-	
		BOR_HYS[1:0]=11; BOR_LEV[2:0]=000	-	126	-	
		BOR_HYS[1:0]=00; BOR_LEV[2:0]=100	-	62	-	
		BOR_HYS[1:0]=01; BOR_LEV[2:0]=100	-	136	-	
		BOR_HYS[1:0]=10; BOR_LEV[2:0]=100	-	187	-	
		BOR_HYS[1:0]=11; BOR_LEV[2:0]=100	-	227	-	
		BOR_HYS[1:0]=00; BOR_LEV[2:0]=111	-	77	-	

符号	参数	条件	最小值	典型值	最大值	单位
		BOR_HYS[1:0]=01; BOR_LEV[2:0]=111	-	171	-	
		BOR_HYS[1:0]=10; BOR_LEV[2:0]=111	-	236	-	
		BOR_HYS[1:0]=11; BOR_LEV[2:0]=111	-	286	-	
$I_{DD_PVD}^{(1)}$	PVD 从 V_{DD} 上的 电流消耗	-	-	32	65 ^(c)	μA
$I_{DD_BOR}^{(1)}$	BOR 从 V_{DD} 上的 电流消耗	-	-	32	64 ^(c)	μA

1. 设计保证。

5.3.4 嵌入式电压参数

本章节的表 5-3-4 中给出的参数来自于第 5.3.1 章节的表 5-3-1(常规操作条件)中总结的环境温度条件下进行的测试。

表 5-3-4 嵌入式内部电压参数

符号	参数	条件	最小值	典型值	最大值	单位
$V_{VBGO}^{(1)}$	内部参考电压(VBGO 默认输出 值)	-	-	1.23	-	V
$t_{S_vrefint}^{(1)}$	读内部参考电压时 ADC 的采样 时间	-	2.5	-	239.5	f_{adc}
$t_{start_vrefint}^{(1)}$	ADC 使能时参考电压 buffer 启 动时间	-	-	300	-	ns
$I_{DD(VBGO)}^{(1)}$	ADC 转换时, V_{VBGO} buffer 从 V_{DD} 消耗的电流	-	67	70	72	μA
$\Delta V_{VBG}^{(1)}$	内部参考电压在温度范围内的分 布(VBG=1.23V)	$V_{DD}=5.0V$ (-40~105°C)	-	12	22	V
$T_{Coeff_vrefint}^{(1)}$	V_{VBG} 的温度系数(VBG=1.23V)	以 25°C 为基准	44.47	54.47	112.1	ppm/°C
A_{Coeff}	长时间工作稳定性	1hour, $T_A=25^\circ C$	-	1150	-	ppm
$V_{DDCoeff}^{(1)}$	V_{DD} 的电压系数	$2.0V < V_{DD} < 5.5V$	-	4141	-	ppm/V
V_{BGR}	VBGOS=00	$V_{DD}=5.0V$ (-40~105°C)	1.208	1.234	1.242	V
	VBGOS=01		2.449	2.494	2.513	
	VBGOS=10		2.947	2.999	3.019	
	VBGOS=11		3.925	4.001	4.025	

1. 设计保证。

5.3.5 供电电流特性

电流消耗是几个参数和因素的函数, 如工作电压、环境温度、I/O 引脚负载、设备软件配置、工作频率、I/O 引脚交换率、程序在内存中的位置和执行的二进制代码。

电流消耗的测量方法如测试条件第 5.1.7 章节图 5-1-7 所示（电流消耗测量方案）。

典型、最大电流消耗

MCU 放置在此条件下：

- 所有 PIN 配置成模拟输入模式。
- 除明确提及外，所有外设都被禁用
- Flash 访问时间根据 fHCLK 频率(见参考手册 FLASH_ACR 的 LATENCY[1:0])的最小等待状态数进行调整。
- 当外设被使能，fPCLK1=fPCLK2=FHCLK。
- 对于 Flash 存储和共享外设，fPCLK1=fPCLK2=FHCLK。

除非另有说明，本章节的表 5-3-5-1~表 5-3-5-5 中给出的参数来自于第 5.3.1 章节的表 5-3-1(常规操作条件)中总结的环境温度条件下进行的测试。

表 5-3-5-1 在不同 die 温度下，run、sleep、stop 三种模式的电流消耗(VDD=2.3V)

符号	参数	条件			典型值		最大值		单位
		常规	f _{HCLK}	运行方式	25°C	85°C	25°C	85°C	
I _{DD(Run)}	Run 模式下的供电电流	PLL disable, HSE enable	18MHz, by pass 模式	Flash Memory	5.7	4.6	5.7	5.6	mA
				SRAM	2.2	3.8	2.3	4.9	
I _{DD(Run)}	Run 模式下的供电电流	PLL disable, LSE enable	32KHz, by pass 模式	Flash Memory	0.3	0.5	0.6	0.6	mA
				SRAM	0.3	0.4	0.5	0.6	
I _{DD(Run)}	Run 模式下的供电电流	PLL enable, HSI enable	Flash Memory	48MHz	8.4	8.3	9.2	8.5	mA
				42MHz	6.3	8.5	7.1	8.7	
				36MHz	6.6	7.4	7.2	7.6	
				30MHz	7.0	7.7	7.4	7.9	
				24MHz	5.8	6.4	6.2	6.6	
				18MHz	4.3	4.8	6.6	4.9	
				9MHz	2.7	3.0	3.8	3.1	
				4.5MHz	2.4	2.6	2.4	2.7	
I _{DD(Run)}	Run 模式下的供电电流	PLL enable, HSI enable	SRAM	48MHz	5.9	6.2	6.0	6.2	mA
				42MHz	6.8	7.0	6.8	7.1	
				36MHz	4.7	5.1	4.8	5.1	
				30MHz	4.1	4.4	4.1	4.4	
				24MHz	3.4	3.6	3.4	3.7	
				18MHz	3.4	3.7	3.4	3.7	
				9MHz	1.9	2.3	1.9	2.4	
				4.5MHz	1.6	1.9	1.7	2.0	

符号	参数	条件			典型值		最大值		单位
		常规	f _{HCLK}	运行方式	25°C	85°C	25°C	85°C	
			2.25MHz		1.3	1.6	1.3	1.7	
I _{DD(Sleep)}	Sleep 模式下的供电电流	PLL enable, HSI enable	18MHz	Flash Memory	1.7	2.4	1.7	2.5	mA
			9MHz		1.4	1.8	1.4	1.9	
			4.5MHz		1.2	1.5	1.2	1.6	
			2.25MHz		1.1	1.4	1.1	1.4	
I _{DD(Sleep)}	Sleep 模式下的供电电流	PLL enable, HSI enable	18MHz	SRAM	1.7	2.0	1.7	2.1	mA
			9MHz		1.4	1.7	1.4	1.8	
			4.5MHz		1.2	1.5	1.2	1.6	
			2.25MHz		1.1	1.4	1.1	1.5	
I _{DD(Stop)}	Stop 模式下的供电电流	LDO/LS E/LSI enable	32KHz (LSE)	Flash Memory	417	624	709	821	μA
			32KHz (LSI)		399	627	422	633	
		LDO/LS E/LSI disable	外部中断 (关闭所有时钟)		74	181	78	183	
I _{DD(Stop)}	Stop 模式下的供电电流	LDO/LS E/LSI enable	32KHz (LSE)	SRAM	421	614	698	804	μA
			32KHz (LSI)		408	666	438	817	
		LDO/LS E/LSI disable	外部中断 (关闭所有时钟)		80	198	90	372	

表 5-3-5-2 在不同 die 温度下, run、sleep、stop 三种模式的电流消耗(VDD=3.3V)

符号	参数	条件			典型值		最大值		单位
		常规	f _{HCLK}	运行方式	25°C	85°C	25°C	85°C	
I _{DD(Run)}	Run 模式下的供电电流	PLL disable, HSE enable	18MHz, by pass 模式	Flash Memory	5.7	5.1	5.8	6.0	mA
				SRAM	2.3	4.3	2.4	5.3	
I _{DD(Run)}	Run 模式下的供电电流	PLL disable, LSE enable	32KHz, by pass 模式	Flash Memory	0.3	0.5	0.7	0.7	mA
				SRAM	0.3	0.5	0.6	0.7	
I _{DD(Run)}	Run 模式下的	PLL enable,	48MHz	Flash Memory	8.4	8.3	9.2	8.5	mA
			42MHz		6.3	8.4	7.1	8.7	
			36MHz		6.5	7.4	7.2	7.6	

符号	参数	条件			典型值		最大值		单位
		常规	f _{HCLK}	运行方式	25°C	85°C	25°C	85°C	
	供电电流	HSI enable	30MHz		7.0	7.7	7.4	7.9	
			24MHz		5.8	6.4	6.1	6.7	
			18MHz		4.3	4.8	6.5	4.9	
			9MHz		2.7	3.0	3.8	3.1	
			4.5MHz		2.4	2.6	2.4	2.7	
			2.25MHz		1.4	1.7	1.5	1.7	
I _{DD(Run)}	Run 模式下的供电电流	PLL enable, HSI enable	48MHz	SRAM	5.9	6.2	5.9	6.2	mA
			42MHz		6.8	7.1	6.8	7.1	
			36MHz		0.7	5.0	0.8	5.1	
			30MHz		4.1	4.4	4.1	4.4	
			24MHz		3.4	3.7	3.4	3.8	
			18MHz		3.4	3.7	3.4	3.8	
			9MHz		1.9	2.2	2.0	2.4	
			4.5MHz		1.7	1.9	1.7	2.1	
			2.25MHz		1.4	1.6	1.4	1.8	
I _{DD(Sleep)}	Sleep 模式下的供电电流	PLL enable, HSI enable	18MHz	Flash Memory	1.7	2.4	1.7	2.5	mA
			9MHz		1.4	1.8	1.4	1.9	
			4.5MHz		1.2	1.5	1.2	1.6	
			2.25MHz		1.1	1.4	1.1	1.4	
I _{DD(Sleep)}	Sleep 模式下的供电电流	PLL enable, HSI enable	18MHz	SRAM	1.8	2.0	1.8	2.2	mA
			9MHz		1.4	1.7	1.4	1.9	
			4.5MHz		1.2	1.5	1.2	1.7	
			2.25MHz		1.1	1.4	1.2	1.6	
I _{DD(Stop)}	Stop 模式下的供电电流	LDO/LS E/LSI enable	32KHz (LSE)	Flash Memory	358	574	741	843	μA
			32KHz (LSI)		408	637	433	645	
		LDO/LS E/LSI disable	外部中断 (关闭所有时钟)		106	245	117	249	
I _{DD(Stop)}	Stop 模式下的供电电流	LDO/LS E/LSI enable	32KHz (LSE)	SRAM	356	567	726	822	μA
			32KHz (LSI)		426	679	449	903	
		LDO/LS E/LSI disable	外部中断 (关闭所有时钟)		126	270	132	510	

表 5-3-5-3 在不同 die 温度下, run、sleep、stop 三种模式的电流消耗(VDD=5.0V)

符号	参数	条件			典型值		最大值		单位
		常规	f _{HCLK}	运行方式	25°C	85°C	25°C	85°C	
I _{DD(Run)}	Run 模式下的供电电流	PLL disable, HSE enable	18MHz, by pass 模式	Flash Memory	6.0	6.3	6.2	6.9	mA
				SRAM	2.6	5.5	2.9	6.3	
I _{DD(Run)}	Run 模式下的供电电流	PLL disable, LSE enable	32KHz, by pass 模式	Flash Memory	0.3	0.4	0.8	0.8	mA
				SRAM	0.3	0.4	0.8	0.7	
I _{DD(Run)}	Run 模式下的供电电流	PLL enable, HSI enable	Flash Memory	48MHz	8.4	8.2	9.1	8.4	mA
				42MHz	6.3	8.4	7.0	8.6	
				36MHz	6.6	7.4	7.1	7.6	
				30MHz	7.0	7.6	7.4	7.8	
				24MHz	5.8	6.4	6.1	6.5	
				18MHz	4.3	4.8	6.5	4.9	
				9MHz	2.7	3.0	3.8	3.1	
				4.5MHz	2.4	2.6	2.4	2.7	
				2.25MHz	1.5	1.7	1.5	1.8	
I _{DD(Run)}	Run 模式下的供电电流	PLL enable, HSI enable	SRAM	48MHz	5.9	6.2	6.0	6.3	mA
				42MHz	6.8	7.0	6.8	7.1	
				36MHz	4.7	5.0	4.8	5.2	
				30MHz	4.1	4.4	4.1	4.5	
				24MHz	3.4	3.7	3.5	3.9	
				18MHz	3.4	3.7	3.5	3.9	
				9MHz	1.9	2.2	2.0	2.5	
				4.5MHz	1.7	1.9	1.7	2.2	
				2.25MHz	1.4	1.6	1.4	2.0	
I _{DD(Sleep)}	Sleep 模式下的供电电流	PLL enable, HSI enable	Flash Memory	18MHz	1.9	2.4	2.4	2.5	mA
				9MHz	1.5	1.9	1.8	1.9	
				4.5MHz	1.3	1.6	1.4	1.6	
				2.25MHz	1.3	1.5	1.3	1.5	
I _{DD(Sleep)}	Sleep 模式下的供电电流	PLL enable, HSI enable	SRAM	18MHz	1.8	2.0	1.9	2.4	mA
				9MHz	1.5	1.7	1.6	2.0	
				4.5MHz	1.3	1.5	1.4	1.9	
				2.25MHz	1.2	1.5	1.3	1.8	
I _{DD(Stop)}	Stop 模式下		32KHz (LSE)	Flash Memory	321	407	849	782	μA

符号	参数	条件			典型值		最大值		单位
		常规	f _{HCLK}	运行方式	25°C	85°C	25°C	85°C	
	的供电电流	LDO/LS E/LSI enable	32KHz (LSI)		441	643	459	652	
		LDO/LS E/LSI disable	外部中断 (关闭所有 时钟)		152	341	172	419	
I _{DD(Stop)}	Stop 模式下的 供电 电流	LDO/LS E/LSI enable	32KHz (LSE)	SRAM	301	396	829	762	μA
			32KHz (LSI)		458	687	477	1030	
		LDO/LS E/LSI disable	外部中断 (关闭所有 时钟)		326	359	717	720	

表 5-3-5-4 在不同 die 温度下, run、sleep、stop 三种模式的电流消耗(VDD=5.5V)

符号	参数	条件			典型值		最大值		单位
		常规	f _{HCLK}	运行方式	25°C	85°C	25°C	85°C	
I _{DD(Run)}	Run 模 式下的 供电电 流	PLL disable , HSE enable	18MHz,by pass 模式	Flash Memory	6.2	6.7	6.4	7.3	mA
				SRAM	2.8	5.9	3.1	6.7	
I _{DD(Run)}	Run 模 式下的 供电电 流	PLL disable , LSE enable	32KHz,by pass 模式	Flash Memory	0.4	0.4	0.9	0.8	mA
				SRAM	0.3	0.4	0.9	0.8	
I _{DD(Run)}	Run 模 式下的 供电电 流	PLL enable, HSI enable	Flash Memory	48MHz	8.4	8.2	9.1	8.4	mA
				42MHz	6.4	8.3	7.0	8.6	
				36MHz	6.6	7.3	7.1	7.6	
				30MHz	7.0	7.6	7.4	7.8	
				24MHz	5.9	6.4	6.1	6.6	
				18MHz	4.4	4.8	6.5	4.9	
				9MHz	2.8	3.0	3.8	3.1	
				4.5MHz	2.4	2.6	2.5	2.7	
I _{DD(Run)}	Run 模 式下的	PLL enable,	SRAM	48MHz	5.9	6.2	6.1	6.3	mA
				42MHz	6.8	7.0	6.9	7.2	
				36MHz	3.7	5.0	4.8	5.2	

符号	参数	条件			典型值		最大值		单位
		常规	f _{HCLK}	运行方式	25°C	85°C	25°C	85°C	
	供电电流	HSI enable	30MHz		4.1	4.4	4.2	4.6	
			24MHz		3.4	3.7	3.5	3.9	
			18MHz		3.4	3.7	3.4	3.9	
			9MHz		2.0	2.2	2.1	2.6	
			4.5MHz		1.7	2.0	1.8	2.3	
			2.25MHz		1.4	1.6	1.6	2.0	
I _{DD(Sleep)}	Sleep 模式下的供电电流	PLL enable, HSI enable	18MHz	Flash Memory	2.0	2.5	2.6	2.5	mA
			9MHz		1.6	1.9	1.9	2.0	
			4.5MHz		1.4	1.7	1.5	1.7	
			2.25MHz		1.3	1.5	1.4	1.5	
I _{DD(Sleep)}	Sleep 模式下的供电电流	PLL enable, HSI enable	18MHz	SRAM	1.9	2.1	2.0	2.5	mA
			9MHz		1.5	1.8	1.6	2.1	
			4.5MHz		1.3	1.6	1.4	2.0	
			2.25MHz		1.2	1.5	1.3	1.9	
I _{DD(Stop)}	Stop 模式下的供电电流	LDO/LS E/LSI enable	32KHz (LSE)	Flash Memory	350	383	914	789	μA
			32KHz (LSI)		453	653	499	660	
		LDO/LS E/LSI disable	外部中断 (关闭所有时钟)		171	376	216	378	
I _{DD(Stop)}	Stop 模式下的供电电流	LDO/LS E/LSI enable	32KHz (LSE)	SRAM	325	370	891	777	μA
			32KHz (LSI)		470	694	516	1073	
		LDO/LS E/LSI disable	外部中断 (关闭所有时钟)		189	388	423	794	

表 5-3-5-5 外设电流消耗

外设	总线	μA/MHz			
		Run 模式		Sleep 模式	
		3.3V	5.0V	3.3V	5.0V
IOPORT Bus	IOPORT	-	-	-	-
GPIOA		2.0	1.6	1.8	1.9
GPIOB		1.7	1.6	1.6	1.7
GPIOC		1.5	1.5	1.5	1.4
GPIOD		1.5	1.4	1.4	1.5
所有 AHB 上的外设	AHB	-	-	-	-

外设	总线	μA/MHz			
		Run 模式		Sleep 模式	
		3.3V	5.0V	3.3V	5.0V
HDIV		1.2	1.2	1.2	1.2
PLA		1.2	1.3	1.2	1.2
CRC		0.6	0.5	0.6	0.5
DMA		13.3	13.2	13.9	13.5
所有 APB1 上的外设	APB1	-	-	-	-
LPTIM1		2.5	2.7	2.8	2.6
SAC-OPAMP1		19.2	19.1	18.9	-
SAC-OPAMP2		18.9	18.9	18.7	-
SAC-OPAMP3		18.9	18.8	18.7	-
SAC-OPAMP4		18.8	18.8	18.7	-
SAC-DAC		12.2	11.7	12.1	-
SAC-COMP1		12.5	11.7	12.2	-
SAC-COMP2		9.4	9.3	9.0	-
SAC-COMP3		9.1	9.4	9.1	-
SAC-COMP4		9.9	9.8	9.7	-
PWR		0.9	0.9	0.9	1.0
I2C1		8.7	8.6	8.9	8.7
I2C2		4.7	4.6	4.8	4.6
LPUART		11.4	11.4	11.9	11.6
UART2		7.5	8.4	5.6	6.1
UART3		5.1	5.2	5.2	5.0
ATK		140.4	157.6	140.2	157.2
SPI2		2.1	2.1	2.1	2.1
WWDG		0.6	0.6	0.6	0.6
LCD		0.3	0.5	0.2	0.7
TIM2		10.5	10.3	10.6	10.2
TIM3		10.0	9.7	10.0	9.8
TIM4		9.7	9.7	9.9	9.6
TIM5		1.4	1.4	1.4	1.3
TIM6		1.2	1.4	1.3	1.3
TIM7	1.3	1.3	1.3	1.3	
所有 APB2 上的外设	APB2	-	-	-	-
ADC		12.9	13.9	13.1	13.9
USART1		24.4	24.2	25.6	24.3
SPI1		2.4	2.3	2.4	2.4
TIM1		14.2	14.0	14.7	14.1

5.3.6 低功耗模式唤醒时间

低功耗唤醒时间表 5-3-6-1 中给出的唤醒时间是事件和执行第一条用户指令之间的延迟。

表 5-3-6-1 低功耗唤醒时间

符号	参数	条件	典型值	最大值	单位
twUSLEEP	从 sleep 模式唤醒至 Run 模式	-	12	13	CPU cycles
twUSTOP	从 stop 模式唤醒至 Run 模式	HSIKERON 复位、BGR 关闭(BGR LDO HSI 进入 STOP 模式后关闭)	3.1	3.3	μs
		HSIKERON 复位、BGR 不关闭(LDO HSI 进入 STOP 模式后关闭)	3.2	3.3	
		HSIKERON 置位(BGR LDO HSI 始终打开)	2.1	2.1	

表 5-3-6-2 使用 LPUART、LPTIM 唤醒时间

符号	参数	条件	典型值	最大值	单位
twULPUART	当 LPUART 时钟源为 HSI 时，计算允许从停止模式唤醒的最大 LPUART 波特率所需的唤醒时间	Stop 模式，125°C	-	28.3 ⁽¹⁾	μs
twULPTIM	当 LPTIM 配置为外部时钟源、外部计数源时，计算允许从停止模式唤醒的最大 LPTIM 外部时钟所需的唤醒时间	Stop 模式 HSIKERON 清零(LDO HSI 进入 STOP 模式后关闭、VPULL 打开)	-	79.2	μs
		Stop 模式 HSIKERON 置位(LDO HSI 始终打开)	-	4.4	μs

1. 设计保证。

5.3.7 外部时钟源特性

外部信号源产生的高速外部用户时钟

在旁路模式下，HSE 振荡器被关闭，输入引脚是一个标准的 GPIO。外部时钟信号必须遵守第 5-3-13 章节中的 I/O 特性。推荐的时钟输入波形见图 5-3-7-1。

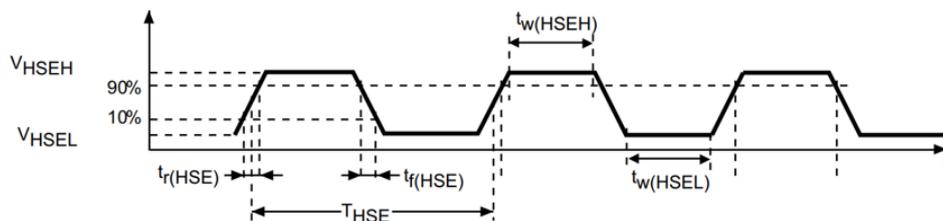


图 5-3-7-1 高速外部时钟源 AC 特性时序图

表 5-3-7-1 高速外部用户时钟特性

符号	参数	条件	最小值	典型值	最大值	单位
$f_{\text{HSE_EXT}}^{(1)}$	用户外部时钟源频率	$V_{\text{DD}}=5.0\text{V}$	-	16	50	MHz
$V_{\text{HSEH}}^{(1)}$	OSC_IN 输入引脚高电平	-	$0.7V_{\text{DD}}$	-	V_{DD}	V
V_{HSEL}	OSC_IN 输入引脚低电平	-	V_{SS}	-	$0.3V_{\text{DD}}$	V
$T_{\text{w(HSEH)}}^{(1)}$ $T_{\text{w(HSEL)}}$	OSC_IN 输入引脚高低电平时间	$V_{\text{DD}}=5.0\text{V}$	3.77	-	-	ns

1. 设计保证。

外部信号源产生的低速外部用户时钟

在旁路模式下，LSE 振荡器被关闭，输入引脚是一个标准的 GPIO。外部时钟信号必须遵守第 5-3-13 章节中的 I/O 特性。推荐的时钟输入波形见图 5-3-7-2。

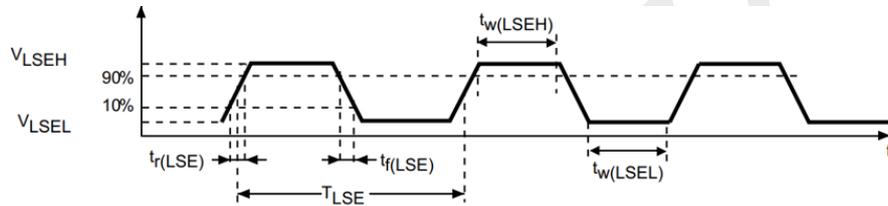


图 5-3-7-2 低速外部时钟源 AC 特性时序图

表 5-3-7-2 低速外部用户时钟特性

符号	参数	条件	最小值	典型值	最大值	单位
$f_{\text{LSE_ext}}$	用户外部时钟源频率	-	-	32.768	1000	KHz
V_{LSEH}	OSC32_IN 输入引脚高电平	-	$0.6V_{\text{DDLSE}}^{(1)}$	-	V_{DD}	V
V_{LSEL}	OSC32_IN 输入引脚低电平	-	V_{SS}	-	$0.3V_{\text{DDLSE}}^{(1)}$	V
$T_{\text{w(LSEH)}}$ $T_{\text{w(LSEL)}}$	OSC32_IN 输入引脚高低电平时间	-	155	-	-	ns

1. $V_{\text{DDLSE}} = 1.5\text{V}$ 。

晶体/陶瓷谐振器产生的高速外部时钟

高速外部（HSE）时钟可由 2 至 24 MHz 的晶体/陶瓷谐振器振荡器提供。在应用时，谐振器和负载电容器必须尽可能靠近以最小化输出失真和启动稳定时间。参考有关谐振器特性的更多详细信息，请联系晶体谐振器制造商（频率、封装、精度）。

表 5-3-7-3 HSE 晶振模式特性

符号	参数	条件 ⁽¹⁾	最小值	典型值	最大值	单位
$f_{\text{OSC_IN}}$	晶振频率	-	2	16	24	MHz
$R_{\text{F}}^{(4)}$	反馈电阻	-	-	1	-	MΩ
$I_{\text{DD(HSE)}}$	HSE 电流消耗	启动期间 ⁽²⁾	-	-	$1.95^{(4)}$	mA
		$G0=0^{(3)}$ $V_{\text{DD}} = 5\text{V}$, $R_{\text{m}} = 600\Omega$, $CL = 20\text{pF}@2\text{MHz}$	-	0.70	-	
		$G0=0^{(3)}$ $V_{\text{DD}} = 5\text{V}$,	-	1.06	-	

符号	参数	条件 ⁽¹⁾	最小值	典型值	最大值	单位
		R _m = 80Ω, CL = 12pF@16MHz				
		G0=0 ⁽³⁾ V _{DD} = 5V, R _m = 40Ω, CL = 18pF@24MHz	-	1.68	-	
		G0=1 ⁽³⁾ V _{DD} = 5V, R _m = Ω, CL = pF@2MHz	-	1.03	-	
		G0=1 ⁽³⁾ V _{DD} = 5V, R _m = 80Ω, CL = 12pF@16MHz	-	1.62	-	
		G0=1 ⁽³⁾ V _{DD} = 5V, R _m = 40Ω, CL = 18pF@24MHz	-	2.65	-	
G _m ⁽⁴⁾	最大临界晶体跨导	G0=0	0.8	1.1	1.7	mA/V
		G0=1	1.6	2.2	3.3	mA/V
t _{SU(HSE)} ⁽⁵⁾	启动时间	V _{DD} 稳定	-	2.8	-	ms

- 晶振参数由晶振厂商提供。
- 启动时间前 2/3 期间的电流消耗水平。
- G0=0:HSE 驱动能力选择正常驱动；G0=1:HSE 驱动能力选择大驱动。
- 设计保证。
- 建立时间是从软件使能到 16MHz 晶振稳定的时间，不同厂家晶振的建立时间区别较大。

对于 C_{L1} 和 C_{L2}，建议在 5 pF 至 20 pF 范围（典型值），专为高频应用而设计，并经过选择以匹配晶体或谐振器的要求（见图 5-3-7-3）。C_{L1} 和 C_{L2} 电容大小通常是相同的。晶体制造商通常指定负载电容，该负载电容是 C_{L1} 和 C_{L2} 的串联组合。当确定 C_{L1} 和 C_{L2} 的电容大小时，必须包括 PCB 和 MCU 引脚电容（10pF 可以用作引脚和板电容组合的粗略估计）。

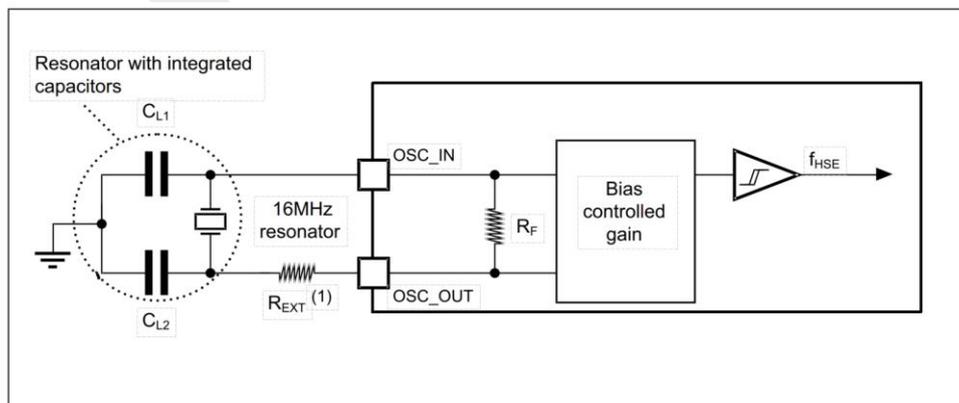


图 5-3-7-3 16MHz 晶振的典型应用

注：R_{EXT} 值取决于晶振特性。

晶体谐振器产生的低速外部时钟

低速外部（LSE）时钟可由 32.768KHz 的晶体谐振器提供。在应用时，谐振器和负载电容器必须尽可能靠近以最小化输出失真和启动稳定时间。参考有关谐振器特性的更多详细信息，请联系晶体谐振器制造商（频率、封装、精度）。

表 5-3-7-4 LSE 晶振模式特性($f_{LSE} = 32.768\text{KHz}$)

符号	参数	条件 ⁽¹⁾	最小值	典型值	最大值	单位
$I_{DD(LSE)}$	LSE 电流消耗	LSEDRV[1:0] = 00 低驱动能力	-	0.22 ⁽¹⁾	-	μA
		LSEDRV[1:0] = 01 中低驱动能力	-	0.27 ⁽¹⁾	-	
		LSEDRV[1:0] = 10 中驱动能力	-	0.30 ⁽¹⁾	-	
		LSEDRV[1:0] = 11 高驱动能力	-	0.32 ⁽¹⁾	-	
$G_m^{(1)}$	最大临界晶体跨导	LSEDRV[1:0] = 00 低驱动能力	-	-	8	$\mu\text{A/V}$
		LSEDRV[1:0] = 01 中低驱动能力	-	-	25	
		LSEDRV[1:0] = 10 中驱动能力	-	-	48	
		LSEDRV[1:0] = 11 高驱动能力	-	-	62	
$t_{SU(LSE)}^{(2)}$	启动时间	V_{DD} 稳定	-	1	-	s

- 设计保证。
- 建立时间是从软件使能到 32.768KHz 晶振稳定的时间，不同厂家晶振的建立时间区别较大。

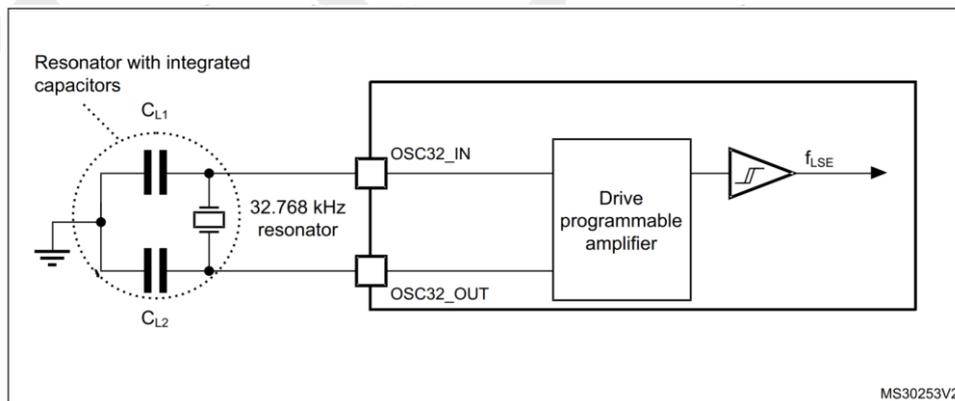


图 5-3-7-4 32.768KHz 晶振的典型应用

注：OSC32_IN 和 OSC32_OUT 之间不需要外部电阻。

5.3.8 内部时钟源特性

本章节的表 5-3-8-1~表 5-3-8-3 中给出的参数来自于第 5.3.1 章节的表 5-3-1(常规操作条件)中总结的环境温度和供电电压条件下进行的测试。所提供的曲线是表征结果，未在生产中测试。

表 5-3-8-1 内部 HSI 时钟特性

符号	参数	条件	最小值	典型值	最大值	单位
f_{HSI}	HSI 频率	$V_{\text{DD}}=5.0\text{V}, T_{\text{A}}=25^{\circ}\text{C}$	7.53	18.00	35.10	f_{HSI}
$\Delta_{\text{Temp(HSI)}}$	HSI 频率随温度漂移	$T_{\text{A}}=0 \text{ to } 85^{\circ}\text{C}$	-1.66	-	0.20	%
		$T_{\text{A}}=-40 \text{ to } 105^{\circ}\text{C}$	-2.39	-	0.68	%
$\Delta_{\text{VDD(HSI)}}$	HSI 频率随 V_{DD} 漂移	$V_{\text{DD}}=2.5\text{-}6.0\text{V}$	0.13	-	0.35	%
TRIM	HSI 频率用户修调步长	Trim 值从 0x15F 到 0x160	-	-0.04	-	%
		其他 trim 步长	0.09	0.21	0.28	
D_{HSI}	占空比	-	45	-	55	%
$t_{\text{su(HSI)}}^{(1)}$	HSI 启动时间	-	-	0.2	0.2	μs
$t_{\text{stab(HSI)}}^{(1)}$	HSI 稳定时间	-	1.0	1.7	3.0	μs
$I_{\text{DD(HSI)}}$	HSI 功耗	-	-	387	437	μA

1. 设计保证。

表 5-3-8-2 内部 MSI 时钟特性

符号	参数	条件	最小值	典型值	最大值	单位
f_{MSI}	MSI 频率	$V_{\text{DD}}=5.0\text{V}, T_{\text{A}}=25^{\circ}\text{C}$	1.57	3.69	7.07	MHz
$\Delta_{\text{Temp(MSI)}}$	MSI 频率随温度漂移	$T_{\text{A}}=0 \text{ to } 85^{\circ}\text{C}$	-0.53	-	0.14	%
		$T_{\text{A}}=-40 \text{ to } 105^{\circ}\text{C}$	-0.68	-	0.41	%
$\Delta_{\text{VDD(MSI)}}$	MSI 频率随 V_{DD} 漂移	$V_{\text{DD}}=2.5 \text{ to } 6.0\text{V}$	0.24	-	0.36	%
TRIM	MSI 频率用户修调步长	Trim 值从 0x15F 到 0x160	-	-0.01	-	%
		其他 trim 步长	0.01	0.20	0.31	
$D_{\text{MSI}}^{(1)}$	占空比	-	45	-	55	%
$t_{\text{su(MSI)}}^{(1)}$	MSI 启动时间	-	-	0.21	0.7	μs
$t_{\text{stab(MSI)}}^{(1)}$	MSI 稳定时间	-	0.9	3.4	26.0	μs
$I_{\text{DD(MSI)}}$	MSI 功耗	-	-	80	88	μA

1. 设计保证。

表 5-3-8-3 内部 LSI 时钟特性

符号	参数	条件	最小值	典型值	最大值	单位
f_{LSI}	LSI 频率	$V_{\text{DD}}=5.0\text{V}, T_{\text{A}}=25^{\circ}\text{C}$	31.48	32.77	46.32	KHz
$\Delta_{\text{Temp(LSI)}}$	LSI 频率随温度漂移	$T_{\text{A}}=0 \text{ to } 85^{\circ}\text{C}$	-1.04	-	1.66	%
		$T_{\text{A}}=-40 \text{ to } 105^{\circ}\text{C}$	-4.14	-	1.66	%
$\Delta_{\text{VDD(LSI)}}$	LSI 频率随 V_{DD} 漂移	$V_{\text{DD}}=2.5 \text{ to } 6.0\text{V}$	5.46	-	5.55	%
TRIM	LSI 频率用户修调步长	Trim 值从 0x00 到 0x1F	-0.02	-	2.81	%
$D_{\text{LSI}}^{(1)}$	占空比	-	45	-	55	%
$t_{\text{su(LSI)}}^{(1)}$	LSI 启动时间	-	-	30	60	μs
$t_{\text{stab(LSI)}}^{(1)}$	LSI 稳定时间	-	-	40	80	μs

符号	参数	条件	最小值	典型值	最大值	单位
I _{DD(LSI)}	LSI 功耗	-	-	0.5	-	μA

1. 设计保证。

5.3.9 PLL 特性

本章节的表 5-3-9 中给出的参数来自于第 5.3.1 章节的表 5-3-1(常规操作条件)中总结的环境温度和供电电压条件下进行的测试。

表 5-3-9 PLL 特性

符号	参数	条件	最小值	典型值	最大值	单位
f _{PLL_IN}	PLL 输入时钟频率	-	4	-	24	MHz
D _{PLL_IN}	PLL 输入时钟占空比	-	45	-	55	%
f _{PLL_Q_IN}	PLL multiplier 输出时钟 Q	-	9	-	72	MHz
f _{PLL_R_IN}	PLL multiplier 输出时钟 R	-	9	-	72	MHz
f _{VCO_OUT}	PLL VCO 输出	-	24	-	72	MHz
t _{LOCK} ⁽¹⁾	PLL lock 时间	-	-	20	30	μs
Jitter ⁽¹⁾	RMS period 抖动	系统时钟 48MHz	-	420	-	ps
I _{DD(PLL)} (1)	在 V _{DD} 上, PLL 的电流消耗	HSI=18.432MHz 作为 pll 时钟源, VCO freq=24MHz	49	61	102	μA
		HSI=18.432MHz 作为 pll 时钟源, VCO freq=48MHz	71	85	107	
		HSI=18.432MHz 作为 pll 时钟源, VCO freq=72MHz	103	118	157	

1. 设计保证。

5.3.10 Flash memory 特性

表 5-3-10-1 Flash memory 特性

符号	参数	条件	典型值	最大值	单位
t _{prog}	16bit 编程时间	系统时钟	23	23.9	μs
	32bit 编程时间	48MHz	23	23.9	
t _{prog_page}	Page(1KB)编程时间(每次编程 2Bytes)	系统时钟 48MHz	11.79	11.94	ms
	Page(1KB)编程时间(每次编程 4Bytes)		5.85	5.95	
t _{erase_page}	Page(1KB)擦除时间		2.17	2.22	
t _{prog_bank}	Bank(236KB)编程时间(每次编程 2Bytes)	系统时钟	2.77	2.81	s
	Bank(236KB)编程时间(每次编程 4Bytes)	48MHz	1.38	1.41	

符号	参数	条件	典型值	最大值	单位
$t_{\text{mass_erase}}$	Mass 擦除时间		515.9	522.3	ms
$I_{\text{DD(FlashA)}}^{(1)}$	执行编程操作, 从 V_{DD} 上消耗的平均电流	编程时间 20us	4	5	mA
	执行擦操作, 从 V_{DD} 上消耗的平均电流	页擦时间 2ms	4	5	

表 5-3-10-2 Flash memory 擦写寿命和数据保存时间

符号	参数	条件	最小值	单位
N_{END}	擦写寿命	$T_{\text{A}}=-40$ to 85°C	100 ⁽¹⁾	kcycles
t_{RET}	数据保存时间	$T_{\text{A}}=-40$ to 85°C	10 ⁽¹⁾	years

1. 设计保证。

5.3.11 ESD/EFT/EMI 特性

ESD 测试: 根据每个引脚组合对每个样品的引脚施加静电放电(正、负电压各放电 10 次, 每次放电间隔时间 ≥ 1 秒), 逐渐增大放电电压直至不满足判定条件。芯片的 V_{DD} 与 V_{SS} 之间并接一个 100uF/16V 电解电容和一个 104 电容。该测试符合 JESD22 标准。

ESD 测试结果如表 5-3-11-1 所示。

表 5-3-11-1 ESD 特性

符号	参数	条件	最大值	单位
$V_{\text{ESD(HBM)}}$	静电放电电压(人体模型)	$T_{\text{A}}=15\sim 35^{\circ}\text{C}$, 湿度 30~60%, 符合 JESD22-A114D HBM	4	KV

EFT 测试: 脉冲群发生器的快速瞬变电压作用于芯片的 V_{DD} 和 V_{SS} , 直到芯片程序工作发生异常。

EFT 测试结果如表 5-3-11-2 所示。

表 5-3-11-2 EFT 特性

符号	参数	条件	等级	典型值	单位
V_{EFT}	-	$T_{\text{A}}=15\sim 35^{\circ}\text{C}$, 湿度 30~60%, 符合 IEC61000-4-4	4	4	KV

EMI 测试: 执行一个简单的应用程序(通过 I/O 端口切换 1 个 led)时, 监视设备发出的电磁场。该发射测试符合 EN55014-1 标准。

测试结果如表 5-3-11-3 所示。

表 5-3-11-3 EMI 特性

符号	参数	条件	监测频段	OverLimit @	单位	
				[$f_{\text{HSE}}/f_{\text{HCLK}}$]		
S_{EMI}	QP	$V_{\text{DD}}=3.3\text{V}$, $f_{\text{HCLK}}=18.432\text{MHz}$, $T_{\text{A}}=25^{\circ}\text{C}$, 符合 EN55014-1	30MHz to 300MHz	8MHz/18.432MHz	-17	dBuV

5.3.12 I/O 电流注入特性

作为一般规则，在正常产品运行期间，应避免由于外部电压低于 V_{SS} 或高于 V_{DDIO1} (标准为 3.3V 允许的 I/O 引脚) 而向 I/O 引脚注入电流。然而，为了在异常注入偶尔发生的情况下显示微控制器的鲁棒性，在器件表征过程中以样本为基础进行敏感性测试。

对 I/O 电流注入的功能敏感性

当一个简单的应用程序在设备上执行时，设备通过向以浮动输入模式编程的 I/O 引脚注入电流来施加压力。当电流注入到 I/O 引脚，一次一个，以检查设备的功能故障。

失效由一个超出范围的参数表示:ADC 误差超过某个极限(高于 5LSB TUE)，相邻引脚上的诱导泄漏电流超出常规极限(-5uA/+0uA 范围)或其他功能失效(例如复位发生或振荡器频率偏差)。

负注入引起负感应泄漏电流，正注入引起正感应泄漏电流。

表 5-3-12 电流注入敏感性

符号	参数		功能敏感性		单位
			反向注入	正向注入	
I_{INJ}	注入电流引脚	ALL PIN	-0.00017 ⁽¹⁾	N/A	mA

1. 正向注入电流 $V_{IN} > V_{DDIOx}$ ，反向注入电流 $V_{IN} < V_{SS}$ 。

5.3.13 I/O port 特性

除非另有说明，本章节的表 5-3-13-1~表 5-3-13-3 中给出的参数来自于第 5.3.1 章节的表 5-3-1(常规操作条件)中总结的条件下进行的测试。所有 I/O 都设计为 CMOS 和 TTL 兼容。

表 5-3-13-1 I/O 静态特性

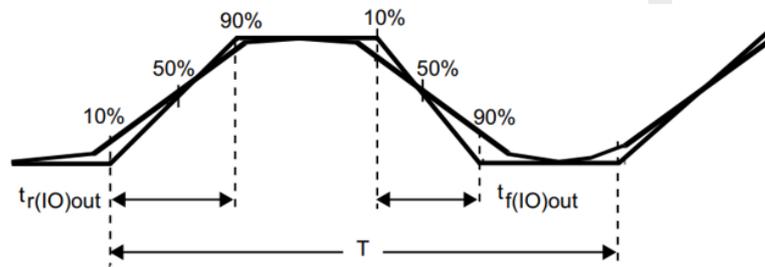
符号	参数	条件	最小值	典型值	最大值	单位	
V_{IL}	I/O 输入低电平电压	$V_{DD}=5.0V$ 任一 GPIO PIN	-	-	$0.3V_{DD}$	V	
V_{IH}	I/O 输入高电平电压	$V_{DD}=5.0V$ 任一 GPIO PIN	$0.7V_{DD}$	-	-	V	
$V_{hys}^{(1)}$	I/O 输入迟滞	$V_{DD}=5.0V$ 任一 GPIO PIN	-	-	1570	mV	
$I_{Ikg}^{(1)}$	输入漏电流	$V_{DD}=5.0V$ 任一 GPIO PIN	-	1	-	nA	
R_{PU}	弱上拉等效电阻	$V_{IN}=V_{SS}$	GL2 结构	26	30	33	K Ω
			GLC 结构	26	30	33	
			GLE 结构	26	30	33	
R_{PD}	弱下拉等效电阻	$V_{IN}=V_{DD}$	GL2 结构	12	16	18	K Ω
			GLC 结构	13	17	19	
			GLE 结构	15	17	19	
$C_{IO}^{(1)}$	I/O 引脚电容	-	-	0.2	-	pF	

1. 设计保证。

表 5-3-13-2 I/O 输出电压特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{OL}	I/O 输出低电平电压	$V_{DD}=5.0V, I_{IO} =40mA$ 任一 GPIO PIN	-	-	0.4	V
		$V_{DD}=5.0V, I_{IO} =115mA$ 任一 GPIO PIN	-	-	1.5	
V_{OH}	I/O 输出高电平电压	$V_{DD}=5.0V, I_{IO} =26mA$ 任一 GPIO PIN	3.5	-	-	V
		$V_{DD}=5.0V, I_{IO} =8mA$ 任一 GPIO PIN	4.6	-	-	

输入/输出交流特性的定义和取值分别见下图和本章节的表 5-3-13-3。



Maximum frequency is achieved if $(t_r + t_f) \leq 2/3 T$ and if the duty cycle is (45-55%) when loaded by the specified capacitance.

图 5-3-13-1 I/O AC 特性定义

 表 5-3-13-3 I/O AC 特性⁽¹⁾

符号	参数	条件	最小值	最大值	单位
F_{max}	最大频率	$V_{DD}=3.3V, C=30pF$ 任一 GPIO PIN	-	75	MHz
		$V_{DD}=5.0V, C=30pF$ 任一 GPIO PIN	-	75	
T_r	输出上升时间	$V_{DD}=3.3V, C=30pF$ 任一 GPIO PIN	2.5	10.0	ns
		$V_{DD}=5.0V, C=30pF$ 任一 GPIO PIN			
T_f	输出下降时间	$V_{DD}=3.3V, C=30pF$ 任一 GPIO PIN	1.0	5.0	ns
		$V_{DD}=5.0V, C=30pF$ 任一 GPIO PIN			

1. 设计保证。

5.3.14 NRST 输入特性

NRST 输入驱动程序采用 CMOS 技术。它连接到一个永久上拉电阻 R_{PU} 。

除非另有说明，本章节的表 5-3-14 中给出的参数来自于第 5.3.1 章节的表 5-3-1(常规操作条件)中总结的环境温度和供电电压条件下进行的测试。

 表 5-3-14 NRST pin 特性⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
$V_{IL(NRST)}$	NRST 输入低电平电压	$2.0V < V_{DD} < 5.5V$	-	-	$0.3V_{DD}$	V
$V_{IH(NRST)}$	NRST 输入高电平电压	$2.0V < V_{DD} < 5.5V$	$0.7V_{DD}$	-	-	V
$V_{hys(NRST)}$	NRST 施密特触发器电压迟滞	$2.0V < V_{DD} < 5.5V$	-	-	1570	V
R_{PU}	弱上拉等效电阻	$2.0V < V_{DD} < 5.5V$ $V_{IN} = V_{SS}$	13	16	18	K Ω
$V_{F(NRST)}$	NRST 输入过滤脉冲	-	20.0	-	-	μs

1. 设计保证。

5.3.15 OPAMP 特性

除非另有说明，本章节的表 5-3-15 中给出的参数来自于第 5.3.1 章节的表 5-3-1(常规操作条件)中总结的在环境温度和 V_{DDA} 供电电压条件下进行的测试。

 表 5-3-15 OPAMP 特性⁽²⁾

符号	参数	条件	最小值	典型值	最大值	单位
V_{DDA}	模拟电源电压	$V_{DD} = 3.3V$	2.4	-	5.5	V
$R_{AIN}^{(1)}$	外部输入阻抗	$V_{DDA} = V_{DD}$	-	10^4	-	K Ω
$R_{AOUT}^{(1)}$	OPAMP 输出阻抗	$V_{DDA} = V_{DD}$	-	34.6	-	Ω
$V_{OUT(OPAMP)}$	OPAMP 的输出范围	$V_{DDA} = V_{DD} = 5V$	0.00056	-	$V_{DDA} - 0.02200$	V
V_{icm}	共模输入	$V_{DDA} = V_{DD} = 3.3V$	0.0	-	2.1	V
		$V_{DDA} = V_{DD} = 5V$	0.0	-	3.8	V
Gain	增益	$V_{in} = 21mV, SOPG[2:0] = 000$	-	0.5	-	V/V
		$V_{in} = 21mV, SOPG[2:0] = 001$	-	0.6	-	
		$V_{in} = 21mV, SOPG[2:0] = 010$	-	0.7	-	
		$V_{in} = 21mV, SOPG[2:0] = 011$	-	0.8	-	
		$V_{in} = 21mV, SOPG[2:0] = 100$	-	2.1	-	
		$V_{in} = 21mV, SOPG[2:0] = 101$	-	2.1	-	
		$V_{in} = 21mV, SOPG[2:0] = 110$	-	2.3	-	
$CMRR^{(1)}$	共模抑制比	$V_O = 5.0V$	100	113	-	dB
		$V_O = 5.0V$	75	142	-	dB
$PSRR^{(1)}$	电源抑制比	$V_O = 5.0V$	75	142	-	dB
		$V_O = 5.0V$	75	142	-	dB
R_{Slew_rate}	摆率	SR+, No load	-	2.80	-	V/ μs
		SR-, No load	-	1.04	-	
$PM^{(1)}$	相位裕度	$RL = 1Mohm, CL = 100pF$	45	54	-	deg

符号	参数	条件	最小值	典型值	最大值	单位
		RL=1Mohm,CL=10pF	75	81	-	
V _{offset}	失调电压	V _{in} = 200mV, 未校准	-	3.5	-	mV
		V _{in} = 1.7V, 未校准	-	2.5	-	
		V _{in} = 3.6V, 未校准	-	4.4	-	
		V _{in} = 200mV, 已校准	-	0.8	-	
		V _{in} = 1.7V, 已校准	-	0.9	-	
		V _{in} = 3.6V, 已校准	-	0.3	-	
GBW	OPAMP 增益带宽积	V _{DDA} =V _{DD} = 5V	-	1.2	-	MHz
t _{STAB}	建立时间 (OPAMP 使能至输出稳定(波动小于 0.6%)时间)	V _{DDA} =V _{DD} = 5V, 正向放大模式 (SOPM=0x06); 增益为 20 倍; OPAMP 输入 240mV。	-	6.4	-	μs
I _{DDA(OPAMP)}	OPAMP 从 V _{DDA} 上消耗的电流	V _{DDA} = 5V; 正端输入电压 = 2.5V; 开环模式	-	0.6	-	mA

1. 设计保证。
2. 目前数值基于 25°C 下的测试结果。

5.3.16 ADC 特性

除非另有说明, 本章节的表 5-3-16-1~表 5-3-16-3 中给出的参数来自于第 5.3.1 章节的表 5-3-1(常规操作条件)中总结的在环境温度、f_{PCLK} 频率和 V_{DDA} 供电电压条件下进行的测试。

表 5-3-16-1 ADC 特性

符号	参数	条件	最小值	典型值	最大值	单位
V _{DDA}	模拟电源电压	V _{DDA} =V _{REF+}	2.0	-	5.5 ⁽¹⁾	V
V _{REF+}	正向参考电压	V _{DDA} =5.0V	2.4	-	V _{DDA}	V
f _{ADC}	ADC 时钟频率	f _{ADC} 使用 PLL=48MHz	0.6 ⁽¹⁾	-	27.0	MHz
		f _{ADC} 使用 HSI=18MHz	0.6 ⁽¹⁾	-	18.0	
f _s	采样率	f _{ADC} =27MHz, 12bits	-	-	1.80	MSps
f _{TRIG}	外部触发频率	f _{ADC} =27MHz, 12bits	-	-	1.50	MHz
		f _{ADC} =其他, 12bits	-	-	f _{adc} /18	
V _{AIN}	转换电压范围	V _{DDA} =V _{REF+} =5.0V	V _{SSA}	-	V _{REF+}	V
R _{AIN}	外部输入阻抗	V _{DDA} =V _{REF+} =5.0V, V _{in} =V _{REF+} /2	-	-	20	KΩ
C _{ADC} ⁽¹⁾	内部采样保持电容	-	-	9	-	pF
t _{STAB} ⁽¹⁾	ADC 上电时间	-	0.8	-	-	μs
t _{CAL}	校准时间	f _{ADC} =14MHz	5.35		-	μs

		f_{ADC} =其他	75			$1/f_{ADC}$
t_{LATR}	触发转换延迟	EXTEN=00	4			$1/f_{ADC}$
		EXTEN=01	4			
		EXTEN=10	4			
		EXTEN=11	4			
t_s	采样时间	$f_{ADC}=14MHz, 2.4V < V_{DDA} < 5.5V$	0.179	-	14.607	μs
			2.5	-	240.5	$1/f_{ADC}$
t_{CONV}	总的转换时间(包括采样时间)	$f_{ADC}=14MHz, 12bits$	1.071	-	18.071	μs
		f_{ADC} =其他, 12bits	15	-	253	$1/f_{ADC}$
t_{IDLE}	两次转换之间不需要重新准备的时间间隔	$f_{ADC}=14MHz, SMP=2.5cycle$	1.0	-	-	μs
$I_{VCC_ADC(ADC)}$	ADC 从 V_{VCC_ADC} 上消耗的电流	$f_s=1MSps, adc\ buffer\ on, V_{DDA}=2.7\sim 5.5V, V_{REF+}$ 低于 V_{DDA}	250	460	531	μA
		$f_s=1MSps, adc\ buffer\ on, V_{DDA}=2.3\sim 2.7V, V_{REF+}$ 低于 V_{DDA}	205	217	269	
		$f_s=1MSps, adc\ buffer\ off, V_{DDA}=2.7\sim 5.5V, V_{REF+}$ 低于 V_{DDA}	250	460	531	
$I_{VREF+(ADC)}$	ADC 从 V_{REF+} 上消耗的电流	$f_s=1MSps, adc\ buffer\ on, V_{DDA}=2.7\sim 5.5V, V_{REF+}$ 低于 V_{DDA}	58	111	133	μA
		$f_s=1MSps, adc\ buffer\ off, V_{DDA}=2.7\sim 5.5V, V_{REF+}$ 低于 V_{DDA}	57	109	132	

1. 设计保证。

表 5-3-16-2 最大 ADC RAIN

分辨率	采样周期@48MHz	采样时间@14MHz[ns]	最大 $R_{AIN}(\Omega)$
12bits	2.5	179	1.2K
	4.5	321	1.5K
	8.5	607	1.9K
	13.5	964	2.7K
	20.5	1464	3.1K
	40.5	2893	6.9K
	80.5	5750	11.2K
	120.5	8607	17.0K
	160.5	11464	18.0K
	200.5	14321	19.0K
240.5	17179	20.0K	

表 5-3-16-3 ADC 精度

符号	参数	条件	最小值	典型值	最大值	单位
E_0	失调误差	$f_s=1MSps, adc\ buffer\ on, V_{DDA}=2.7\sim 5.5V, V_{REF+}$ 低于 $V_{DDA}, T_A=25^\circ C$	-12.0	-4.0	-3.0	LSB

		$f_s=1\text{MSps}$, adc buffer on, $V_{DDA}=2.3\sim 2.7\text{V}$, V_{REF+} 低于 V_{DDA} , $T_A=25^\circ\text{C}$	-14.3	-12.3	-7.0	
		$f_s=1\text{MSps}$, adc buffer off, $V_{DDA}=2.3\sim 2.7\text{V}$, V_{REF+} 低于 V_{DDA} , $T_A=25^\circ\text{C}$	-13.4	-12.0	-7.9	
		$f_s=1\text{MSps}$, adc buffer off, $V_{DDA}=2.7\sim 5.5\text{V}$, V_{REF+} 低于 V_{DDA} , $T_A=25^\circ\text{C}$	-12.0	-3.0	-2.0	
EDNL	差分非线性误差	$f_s=1\text{MSps}$, adc buffer on, $V_{DDA}=2.7\sim 5.5\text{V}$, V_{REF+} 低于 V_{DDA} , $T_A=25^\circ\text{C}$	-1.0	2.5	2.5	LSB
		$f_s=1\text{MSps}$, adc buffer on, $V_{DDA}=2.3\sim 2.7\text{V}$, V_{REF+} 低于 V_{DDA} , $T_A=25^\circ\text{C}$	-1.0	2.7	2.7	
		$f_s=1\text{MSps}$, adc buffer off, $V_{DDA}=2.3\sim 2.7\text{V}$, V_{REF+} 低于 V_{DDA} , $T_A=25^\circ\text{C}$	-1.0	0.9	1.5	
		$f_s=1\text{MSps}$, adc buffer off, $V_{DDA}=2.7\sim 5.5\text{V}$, V_{REF+} 低于 V_{DDA} , $T_A=25^\circ\text{C}$	-1.0	0.9	1.6	
EINL	积分非线性误差	$f_s=1\text{MSps}$, adc buffer on, $V_{DDA}=2.7\sim 5.5\text{V}$, V_{REF+} 低于 V_{DDA} , $T_A=25^\circ\text{C}$	-2.9	1.9	2.7	LSB
		$f_s=1\text{MSps}$, adc buffer on, $V_{DDA}=2.3\sim 2.7\text{V}$, V_{REF+} 低于 V_{DDA} , $T_A=25^\circ\text{C}$	-3.0	1.9	2.7	
		$f_s=1\text{MSps}$, adc buffer off, $V_{DDA}=2.3\sim 2.7\text{V}$, V_{REF+} 低于 V_{DDA} , $T_A=25^\circ\text{C}$	-2.1	0.6	2.7	
		$f_s=1\text{MSps}$, adc buffer off, $V_{DDA}=2.7\sim 5.5\text{V}$, V_{REF+} 低于 V_{DDA} , $T_A=25^\circ\text{C}$	-1.9	1.3	2.7	
ENOB	有效位数	$f_s=1\text{MSps}$, adc buffer on, $V_{DDA}=2.7\sim 5.5\text{V}$, V_{REF+} 低于 V_{DDA} , $T_A=25^\circ\text{C}$	10	11	11	bit
		$f_s=1\text{MSps}$, adc buffer on, $V_{DDA}=2.3\sim 2.7\text{V}$, V_{REF+} 低于 V_{DDA} , $T_A=25^\circ\text{C}$	10	10	10	
		$f_s=1\text{MSps}$, adc buffer off, $V_{DDA}=2.3\sim 2.7\text{V}$, V_{REF+} 低于 V_{DDA} , $T_A=25^\circ\text{C}$	10	10	10	
		$f_s=1\text{MSps}$, adc buffer off, $V_{DDA}=2.7\sim 5.5\text{V}$, V_{REF+} 低于 V_{DDA} , $T_A=25^\circ\text{C}$	10	11	11	
SINAD	信噪失真比	$f_s=1\text{MSps}$, adc buffer on, $V_{DDA}=2.7\sim 5.5\text{V}$, V_{REF+} 低于 V_{DDA} , $T_A=25^\circ\text{C}$	62	65	65	dB
		$f_s=1\text{MSps}$, adc buffer on, $V_{DDA}=2.3\sim 2.7\text{V}$, V_{REF+} 低于 V_{DDA} , $T_A=25^\circ\text{C}$	60	61	63	
		$f_s=1\text{MSps}$, adc buffer off, $V_{DDA}=2.3\sim 2.7\text{V}$, V_{REF+} 低于 V_{DDA} , $T_A=25^\circ\text{C}$	60	61	63	
		$f_s=1\text{MSps}$, adc buffer off, $V_{DDA}=2.7\sim 5.5\text{V}$, V_{REF+} 低于 V_{DDA} , $T_A=25^\circ\text{C}$	63	66	66	
SNR	信噪比	$f_s=1\text{MSps}$, adc buffer on, $V_{DDA}=2.7\sim 5.5\text{V}$, V_{REF+} 低于 V_{DDA} , $T_A=25^\circ\text{C}$	60	65	65	dB
		$f_s=1\text{MSps}$, adc buffer on, $V_{DDA}=2.3\sim 2.7\text{V}$, V_{REF+} 低于 V_{DDA} , $T_A=25^\circ\text{C}$	60	61	63	

		$f_s=1\text{MSps}$, adc buffer off, $V_{\text{DDA}}=2.3\sim 2.7\text{V}$, $V_{\text{REF+}}$ 低于 V_{DDA} , $T_A=25^\circ\text{C}$	63	65	65	
		$f_s=1\text{MSps}$, adc buffer off, $V_{\text{DDA}}=2.7\sim 5.5\text{V}$, $V_{\text{REF+}}$ 低于 V_{DDA} , $T_A=25^\circ\text{C}$	63	67	67	
THD	总谐波失真	$f_s=1\text{MSps}$, adc buffer on, $V_{\text{DDA}}=2.7\sim 5.5\text{V}$, $V_{\text{REF+}}$ 低于 V_{DDA} , $T_A=25^\circ\text{C}$	-81	-81	-72	dB
		$f_s=1\text{MSps}$, adc buffer on, $V_{\text{DDA}}=2.3\sim 2.7\text{V}$, $V_{\text{REF+}}$ 低于 V_{DDA} , $T_A=25^\circ\text{C}$	-74	-73	-72	
		$f_s=1\text{MSps}$, adc buffer off, $V_{\text{DDA}}=2.3\sim 2.7\text{V}$, $V_{\text{REF+}}$ 低于 V_{DDA} , $T_A=25^\circ\text{C}$	-76	-63	-62	
		$f_s=1\text{MSps}$, adc buffer off, $V_{\text{DDA}}=2.7\sim 5.5\text{V}$, $V_{\text{REF+}}$ 低于 V_{DDA} , $T_A=25^\circ\text{C}$	-79	-77	-75	
SFDR	无杂散动态范围	$f_s=1\text{MSps}$, adc buffer on, $V_{\text{DDA}}=2.7\sim 5.5\text{V}$, $V_{\text{REF+}}$ 低于 V_{DDA} , $T_A=25^\circ\text{C}$	70	84	84	dB
		$f_s=1\text{MSps}$, adc buffer on, $V_{\text{DDA}}=2.3\sim 2.7\text{V}$, $V_{\text{REF+}}$ 低于 V_{DDA} , $T_A=25^\circ\text{C}$	71	77	77	
		$f_s=1\text{MSps}$, adc buffer off, $V_{\text{DDA}}=2.3\sim 2.7\text{V}$, $V_{\text{REF+}}$ 低于 V_{DDA} , $T_A=25^\circ\text{C}$	62	64	78	
		$f_s=1\text{MSps}$, adc buffer off, $V_{\text{DDA}}=2.7\sim 5.5\text{V}$, $V_{\text{REF+}}$ 低于 V_{DDA} , $T_A=25^\circ\text{C}$	76	80	83	

ADC 的相关参数定义入下图所示:

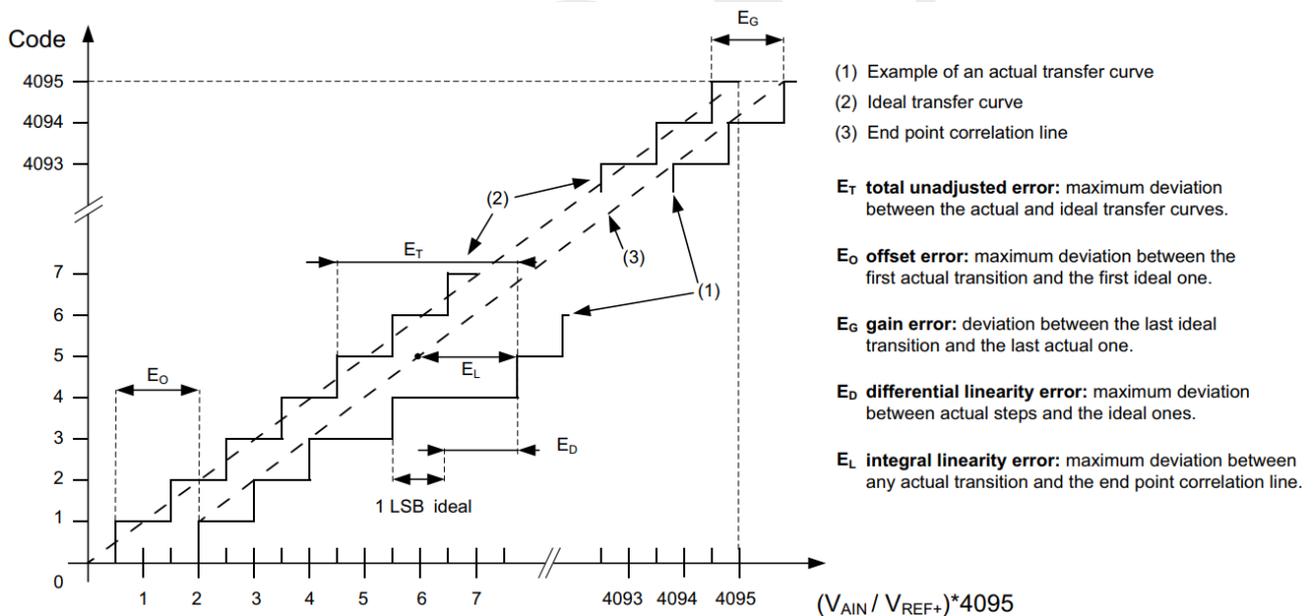


图 5-3-16-1 ADC 精度特征

5.3.17 DAC 特性

除非另有说明, 本章节的表 5-3-17-1~表 5-3-17-2 中给出的参数来自于第 5.3.1 章节的表 5-3-1(常规操作条件)中总结的在环境温度、 f_{PCLK} 频率和 V_{DDA} 供电电压条件下进行的测试。

表 5-3-17-1 DAC 特性⁽²⁾

符号	参数	条件		最小值	典型值	最大值	单位
V _{DDA}	模拟电源电压	1.6V<V _{DD} <6.0V;DAC 输出 buffer 关闭		1.6	-	6.0	V
		1.6V<V _{DD} <6.0V;DAC 输出 buffer 打开		1.7	-	6.0	
V _{REF+}	正向参考电压	1.6V<V _{DD} <6.0V;DAC 输出 buffer 关闭		1.6	-	6.0	V
		1.6V<V _{DD} <6.0V;DAC 输出 buffer 打开		1.7	-	6.0	
R _L ⁽¹⁾	电阻负载	DAC 输出 buffer 打开	连接 V _{SSA}	-	38	-	KΩ
			连接 V _{DDA}	-	38	-	
R _O ⁽¹⁾	输出阻抗	DAC 输出 buffer 关闭		5.9	11.3	16.1	KΩ
C _L ⁽¹⁾	电容负载	DAC 输出 buffer 打开		-	-	50	pF
V _{DAC_OUT}	电压 DAC_OUT 输出	V _{DDA} =5.0V, DAC 输出 buffer 打开		0.008	-	4.410	V
		V _{DDA} =5.0V, DAC 输出 buffer 关闭		0.006	-	4.980	
t _{SETTLING}	设置时间	buffer 打开;code 由 0x000 变为 0xB87;无 CL;无 RL	V _{DDA} =2.2V	-	-	3.76	μs
			V _{DDA} =3.3V	-	-	3.25	
			V _{DDA} =5.0V	-	-	4.18	
		buffer 关闭;code 由 0x000 变为 0xE46;无 CL;无 RL	V _{DDA} =2.2V	-	-	2.82	
			V _{DDA} =3.3V	-	-	2.82	
			V _{DDA} =5.0V	-	-	2.74	
PSRR ⁽¹⁾	V _{DDA} 电源抑制率	buffer 打开		-75	-90	-	dB
SR	摆率	V _{DDA} =5.0V;buffer on;SR+		-	2.05	-	V/μs
		V _{DDA} =5.0V;buffer on;SR-		-	0.74	-	
		V _{DDA} =5.0V;buffer off;SR+		-	3.28	-	
		V _{DDA} =5.0V;buffer off;SR-		-	3.13	-	
I _{leak} ⁽¹⁾	输出漏电流	-		-	1	-	nA
V _{offset}	1 个修调码步长的中间码偏置	V _{REF+} =5.0V		24	-	1914	μV
		V _{REF+} =3.3V		3	-	1842	
I _{DDA(DAC)}	DAC 从 V _{DDA} 上消耗的电流	DAC 输出 buffer 打开	无负载, (0x955 处电流-0x000 处电流)	-	762	-	μA
		DAC 输出 buffer 关闭		-	464	-	
I _{DDA(BUFFER)}	DAC 的 BUFFER 从 V _{DDA} 上消耗的电流	DAC 输出 buffer 打开/关闭		-	156	-	μA

			无负载, (0x955 处电 流差值)	-	454	-	
--	--	--	---------------------------	---	-----	---	--

1. 设计保证。
2. 目前数值基于 25°C 下的测试结果。

表 5-3-17-2 DAC 精度⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
DNL	差分非线性	V _{DD} =5.0V;DAC 输出 buffer 打开; CL=0.1uF;无 RL	-2.0	-	2.0	LSB
		V _{DD} =5.0V;DAC 输出 buffer 关闭; CL=0.1uF;无 RL	-2.0	-	2.0	
INL	积分非线性	V _{DD} =5.0V;DAC 输出 buffer 打 开;CL=0.1uF;无 RL	-13.0	-	13.0	LSB
		V _{DD} =5.0V;DAC 输出 buffer 关闭; CL=0.1uF;无 RL	-13.0	-	13.0	
Offset	在 0x800 代 码处的失调 误差	DAC 输出 buffer 打开;CL=0.1uF;无 RL	-	±4.5	-	LSB
		DAC 输出 buffer 关闭;CL=0.1uF;无 RL	-	±4.3	-	
Offset1	在 0x001 代 码处的失调 误差	DAC 输出 buffer 打开;CL=0.1uF;无 RL	-	±8.5	-	LSB
		DAC 输出 buffer 关闭;CL=0.1uF;无 RL	-	±7.0	-	
TUE	总的未经修 调的误差	DAC 输出 buffer 打开;CL=0.1uF;无 RL	-36.8	-	11.4	LSB
		DAC 输出 buffer 关闭;CL=0.1uF;无 RL	-35.1	-	8.5	
TUECal	校准后总的 未经修调的 误差	DAC 输出 buffer 打开;CL=0.1uF;无 RL	-40.0	-	9.8	LSB
		DAC 输出 buffer 关闭;CL=0.1uF;无 RL	-38.4	-	8.5	
THD	总谐波失真	DAC 输出 buffer 打开;CL=0.1uF;无 RL;f _{out} =1.22Hz;f _s =2KHz;Dots=8192	-	-61	-	dB
		DAC 输出 buffer 关闭;CL=0.1uF;无 RL;f _{out} =1.22Hz;f _s =2KHz;Dots=8192	-	-49	-	

1. 目前数值基于 25°C 下的测试结果。
- 注：DAC 的相关精度参数的定义可参考 ADC 章节的相关参数。

5.3.18 ATK 特性

表 5-3-18-1 ATK 特性⁽³⁾

符号	参数	条件	最小 值	典型 值	最大 值	单位
V _{DDA} ⁽¹⁾	模拟电源电压	2.0V<V _{DD} <5.5V	2.9 ⁽¹⁾	5 ⁽¹⁾	5.5 ⁽¹⁾	V
t _{OC} (TKx)	一个通道转换耗时	TKxTMR[11:0]=0x000; TKxJMPVAL[2:0]=000	16.22	16.60	16.63	μs

符号	参数	条件	最小值	典型值	最大值	单位
		TKxTMR[11:0]=0x800; TKxJMPVAL[2:0]=000	2.93	2.97	2.98	ms
		TKxTMR[11:0]=0xFFF; TKxJMPVAL[2:0]=000	5.84	5.92	5.94	ms
		TKxTMR[11:0]=0x000; TKxJMPVAL[2:0]=100	8.79	8.99	9.10	μs
		TKxTMR[11:0]=0x800; TKxJMPVAL[2:0]=100	1.58	1.60	1.61	ms
		TKxTMR[11:0]=0xFFF; TKxJMPVAL[2:0]=100	2.90	3.20	3.21	ms
		TKxTMR[11:0]=0x000; TKxJMPVAL[2:0]=111	4.94	5.04	5.09	μs
		TKxTMR[11:0]=0x800; TKxJMPVAL[2:0]=111	0.89	0.89	0.90	ms
		TKxTMR[11:0]=0xFFF; TKxJMPVAL[2:0]=111	1.78	1.78	1.79	ms
t _{AC(TKx)}	所有通道转换耗时	TKxTMR[11:0]=0x000; TKxJMPVAL[2:0]=000	380.62	384.83	386.67	μs
		TKxTMR[11:0]=0x800; TKxJMPVAL[2:0]=000	64.56	65.33	65.63	ms
		TKxTMR[11:0]=0xFFF; TKxJMPVAL[2:0]=000	128.72	130.24	130.82	ms
		TKxTMR[11:0]=0x000; TKxJMPVAL[2:0]=100	203.99	207.12	207.73	μs
		TKxTMR[11:0]=0x800; TKxJMPVAL[2:0]=100	34.78	35.329	35.44	ms
		TKxTMR[11:0]=0xFFF; TKxJMPVAL[2:0]=100	69.34	70.52	70.68	ms
		TKxTMR[11:0]=0x000; TKxJMPVAL[2:0]=111	114.97	115.74	117.26	μs
		TKxTMR[11:0]=0x800; TKxJMPVAL[2:0]=111	19.64	19.68	19.80	ms
		TKxTMR[11:0]=0xFFF; TKxJMPVAL[2:0]=111	38.49	39.16	39.22	ms
I _{lkg} ⁽¹⁾	漏电流	Ivdda	-	10	1800	nA
		Ivdd	-	5	900	nA
f _{JMPVAL}	频率调整范围	TKxJMPVAL[2:0]=000	1.34	1.38	1.40	MHz
		TKxJMPVAL[2:0]=001	1.54	1.57	1.59	
		TKxJMPVAL[2:0]=010	2.09	2.15	2.15	

符号	参数	条件	最小值	典型值	最大值	单位
		TKxJMPVAL[2:0]=011	2.39	2.44	2.45	
		TKxJMPVAL[2:0]=100	2.49	2.55	2.59	
		TKxJMPVAL[2:0]=101	2.88	2.93	2.97	
		TKxJMPVAL[2:0]=110	3.86	3.96	3.98	
		TKxJMPVAL[2:0]=111	4.45	4.54	4.57	
D _{JMPVAL}	占空比调整范围	TKxJMPVAL[2:0]=000	50.14	50.17	50.19	%
		TKxJMPVAL[2:0]=001	50.19	50.22	50.24	
		TKxJMPVAL[2:0]=010	50.18	50.29	50.32	
		TKxJMPVAL[2:0]=011	50.18	50.27	50.34	
		TKxJMPVAL[2:0]=100	53.61	53.65	53.85	
		TKxJMPVAL[2:0]=101	53.82	53.83	53.89	
		TKxJMPVAL[2:0]=110	53.99	54.50	54.88	
		TKxJMPVAL[2:0]=111	54.30	54.90	55.20	
L _{cap} ⁽¹⁾⁽²⁾	外部电容范围	-	3.3	-	21.6	pF
T _{spread}	展频周期	TKxSPEAD=1, TKxJMPVAL[2:0]=000	90.9	92.9	94.9	μs
		TKxSPEAD=1, TKxJMPVAL[2:0]=001	90.9	92.9	94.9	
		TKxSPEAD=1, TKxJMPVAL[2:0]=010	59.3	59.7	61.1	
		TKxSPEAD=1, TKxJMPVAL[2:0]=011	59.3	59.7	61.1	
		TKxSPEAD=1, TKxJMPVAL[2:0]=100	45.7	46.6	47.5	
		TKxSPEAD=1, TKxJMPVAL[2:0]=101	45.7	46.6	47.5	
		TKxSPEAD=1, TKxJMPVAL[2:0]=110	29.8	30.0	30.6	
		TKxSPEAD=1, TKxJMPVAL[2:0]=111	29.8	30.0	30.6	
f _{spread}	展频宽度	TKxSPEAD=1, TKxJMPVAL[2:0]=000	0.38	0.38	0.39	MHz
		TKxSPEAD=1, TKxJMPVAL[2:0]=001	0.38	0.38	0.39	
		TKxSPEAD=1, TKxJMPVAL[2:0]=010	0.58	0.58	0.59	

符号	参数	条件	最小值	典型值	最大值	单位
		TKxSPEAD=1, TKxJMPVAL[2:0]=011	0.58	0.58	0.59	
		TKxSPEAD=1, TKxJMPVAL[2:0]=100	0.76	0.80	0.80	
		TKxSPEAD=1, TKxJMPVAL[2:0]=101	0.76	0.80	0.80	
		TKxSPEAD=1, TKxJMPVAL[2:0]=110	1.16	1.20	1.21	
		TKxSPEAD=1, TKxJMPVAL[2:0]=111	1.16	1.20	1.21	
t _{SU} (TKx)	TKx 启动时间		-	804 ⁽¹⁾	-	ns
ITRIM	修调	TKxIVCS=0; Cload = 0pF	0x65	0x6C	0x6E	--
		TKxIVCS=1; Cload = 0pF	0x68	0x6E	0x70	--
I _{start}	TKx 从 V _{DDA} 上消耗的电流	V _{DD} =5.0V, START=1, TKxJMPVAL[2:0]=000	2.69	3.05	3.09	mA
I _{stop}		V _{DD} =5.0V, START=0, TKxJMPVAL[2:0]=000	2.78	3.13	3.19	

1. 设计保证。
2. TKx 通道外接不同电容时, TKx RAM 中的 TK 数值可以参考表 5-3-18-2。
3. 目前数值基于 25°C 下的测试结果。

 表 5-3-18-2 ATK 不同电容对应的 TK 数值⁽⁴⁾

符号	参数 ⁽³⁾	条件	TKxTMR 扫描长度最大值 ⁽¹⁾	RAM 中的 TK 数值	TK 数值差值 ⁽²⁾
TKxRAM Code	TKxJMPVAL[2:0]=000	Cload=3.5pF	1517	15005	327
		Cload=4.0pF		14678	
		Cload=5.0pF	1577	15027	326
		Cload=5.5pF		14701	
		Cload=10.0pF	1776	15025	290
		Cload=10.5pF		14735	
		Cload=15.0pF	1967	15016	255
		Cload=15.5pF		14761	
		Cload=20.0pF	2155	15015	205
		Cload=20.5pF		14810	
		Cload=25.0pF	2330	15022	182
		Cload=25.5pF		14840	
		Cload=30.0pF	2500	15008	169
		Cload=30.5pF		14839	
Cload=35.0pF	2639	15012	145		

符号	参数 ⁽³⁾	条件	TKxTMR 扫描长度最大值 ⁽¹⁾	RAM 中的 TK 数值	TK 数值差值 ⁽²⁾
		Cload=35.5pF		14867	115
		Cload=40.0pF	2841	15002	
		Cload=40.5pF		14887	
		Cload=45.0pF	2967	15000	98
		Cload=45.5pF		14902	
		Cload=50.0pF	3095	15000	85
		Cload=50.5pF		14915	
	TKxJMPVAL[2:0]=111	Cload=3.5pF	4095	12482	242
		Cload=4.0pF	4095	12240	
		Cload=5.0pF	4095	12055	217
		Cload=5.5pF	4095	11838	
		Cload=10.0pF	4095	10991	
		Cload=10.5pF	4095	10848	143
		Cload=15.0pF	4095	10327	
		Cload=15.5pF	4095	10234	93
		Cload=20.0pF	4095	9908	
		Cload=20.5pF	4095	9830	78
		Cload=25.0pF	4095	9618	
		Cload=25.5pF	4095	9568	
		Cload=30.0pF	4095	9408	24
		Cload=30.5pF	4095	9384	
		Cload=35.0pF	4095	9308	14
		Cload=35.5pF	4095	9294	

1. 扫描最大值：指在当前负载电容下，TKxTMR 所能取的最大值，若超过该最大值，则 RAM 中的 TK 数值会因超过 0x3FFF 而发生溢出。
2. TK 数值差值表征按键识别的灵敏度。当该值越大，表明软件越容易识别 TK 按键是否按下，即识别按键事件的灵敏度越高；当该值越小，表明软件越难识别 TK 按键是否按下，即识别按键事件的灵敏度越低。
3. 当 JMPVAL[2:0]值越小，触摸按键时钟频率越低，转换时间越长，识别按键事件的灵敏度越高；当 JMPVAL[2:0]值越大，触摸按键时钟频率越高，转换时间越短，识别按键事件的灵敏度越低。因此，用户可依据实际需求配置 JMPVAL[2:0]。
4. 目前数值基于 25°C 下的测试结果。

5.3.19 LCD/LED 特性

除非另有说明，本章节的表 5-3-19-1~表 5-3-19-2 中给出的参数来自于第 5.3.1 章节的表 5-3-1(常规操作条件)中总结的在环境温度和 V_{DDA} 供电电压条件下进行的测试。

表 5-3-19-1 LCD 特性⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
V_{DD}	电源电压	-	2.5	5	5.5	V
I_{DD}	从 V_{DD} 上消耗的电流	$V_{DD}=5.0V$	-	5.8	6.2	μA

符号	参数	条件	最小值	典型值	最大值	单位
DUTY	占空比	1/4 占空比	-	24.98	-	%
		1/5 占空比	-	19.99	-	
		1/6 占空比	-	16.68	-	
		1/8 占空比	-	12.51	-	
VLCD	COM 引脚最高电压	V _{DD} =5.0V 亮度等级 0	-	2.95	-	V
		V _{DD} =5.0V 亮度等级 4	-	3.94	-	
		V _{DD} =5.0V 亮度等级 7	-	4.93	-	
1/3VLCD	COM 引脚最高电压的 1/3	V _{DD} =5.0V 亮度等级 0	-	0.90	-	V
		V _{DD} =5.0V 亮度等级 4	-	1.23	-	
		V _{DD} =5.0V 亮度等级 7	-	1.54	-	
2/3VLCD	COM 引脚最高电压的 2/3	V _{DD} =5.0V 亮度等级 0	-	1.94	-	V
		V _{DD} =5.0V 亮度等级 4	-	2.63	-	
		V _{DD} =5.0V 亮度等级 7	-	3.26	-	
t _{set} ⁽¹⁾	建立时间	<0.1%	-	-	0.1	ms
t _{change} ⁽¹⁾	变化时间	<0.1%	1.40	3.54	7.00	μs
t _{tran} ⁽¹⁾	传输时间	<0.1%	1.00	1.95	3.00	μs
PSRR ⁽¹⁾	VHS 电源抑制比	Freq=48MHz	-	-	-45	dB
		Freq=24MHz	-	-	-50	
		Freq=18.43MHz	-	-	-55	
		Freq=1Hz	-	-	-140	
	VLS 电源抑制比	Freq=48MHz	-	-	-40	dB
		Freq=24MHz	-	-	-50	
		Freq=18.43MHz	-	-	-50	
		Freq=1Hz	-	-	-140	
	VHC 电源抑制比	Freq=48MHz	-	-	-40	dB
		Freq=24MHz	-	-	-45	
		Freq=18.43MHz	-	-	-50	
		Freq=1Hz	-	-	-140	
	VLC 电源抑制比	Freq=48MHz	-	-	-40	dB
		Freq=24MHz	-	-	-45	
		Freq=18.43MHz	-	-	-45	
		Freq=1Hz	-	-	-110	

1. 目前数值基于 25°C 下的测试结果。

表 5-3-19-2 LED 特性⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位	
V _{DD}	电源电压	-	2.5	5	5.5	V	
I _{DD}	从 V _{DD} 上消耗的电流	亮度等级 0, 恒流驱动	-	0.30	-	mA	
		亮度等级 1, 恒流驱动	-	2.48	-		
		亮度等级 2, 恒流驱动	-	4.97	-		
		亮度等级 3, 恒流驱动	-	9.95	-		
		亮度等级 4, 恒流驱动	-	19.65	-		
		亮度等级 5, 恒流驱动	-	38.95	-		
		亮度等级 6, 恒流驱动	-	82.45	-		
		亮度等级 7, 恒流驱动	-	161.65	-		
DUTY	占空比	1/2 占空比	-	49.62	-	%	
		1/3 占空比	-	33.59	-		
		1/4 占空比	-	25.31	-		
		1/5 占空比	-	20.15	-		
		1/6 占空比	-	16.80	-		
		1/7 占空比	-	14.40	-		
		1/8 占空比	-	12.60	-		
I _{drive}	驱动电流	恒压模式	COM 引脚电压: 2V	-	43.86	-	mA
			COM 引脚电压: 3.5V	-	30.04	-	
			COM 引脚电压: 4V	-	21.44	-	
			COM 引脚电压: 4.6V	-	8.67	-	
		恒流模式	COM 引脚电压: 2.31V	-	23.26	-	
			COM 引脚电压: 3.56V	-	20.94	-	
			COM 引脚电压: 3.96V	-	19.76	-	

1. 目前数值基于 25°C 下的测试结果。

5.3.20 COMP 特性

除非另有说明，本章节的表 5-3-20 中给出的参数来自于第 5.3.1 章节的表 5-3-1(常规操作条件)中总结的在环境温度和 V_{DDA} 供电电压条件下进行的测试。

表 5-3-20 COMP 特性⁽²⁾

符号	参数	条件	最小值	典型值	最大值	单位
V _{DDA}	模拟电源电压	2.0V < V _{DD} < 5.5V	1.6	-	6.0	V

符号	参数	条件	最小值	典型值	最大值	单位
V_{IN}	比较器输入电压范围	$V_{DDA}=V_{DD}=5.0V$	0.0	-	5.3	V
V_{icm1}	CMP 共模输入	$V_{DDA}=5.0V$	0.0	-	4.6	V
$T_{setup1}^{(1)}$	CMP PD 使能后建立时间	PD=0	-	1	42	ns
$T_{respond1}$	CMP 输入变化后响应时间	cip/cin change	29.4	-	36.0	ns
R_{Slew_rate}	摆率	SR+,No load	-	969	-	V/ μ s
		SR-,No load	-	1367	-	
$t_{START}^{(1)}$	比较器启动时间达到传播延迟规范	$V_{DDA}=V_{DD}$	-	-	2	μ s
$t_D^{(1)}$	传播延时	200mV 步长, 100mV 过驱	-	17	35	ns
V_{hys}	比较器迟滞	$V_{DDA}=V_{DD}$	-	22	-	mV
$I_d^{(1)}$	关断电流	PD=1	-	30	-	nA
$I_{DDA}(COMP)$	比较器从 V_{DDA} 上消耗的电流	静态	-	54	-	μ A
		50KHz, $\pm 100mV$ 过驱方波	-	74	-	

1. 设计保证。
2. 目前数值基于 25°C 下的测试结果。

5.3.21 温度传感器特性

表 5-3-21 温度传感器特性

符号	参数	条件	最小值	典型值	最大值	单位
$T_L^{(1)}$	V_{TS} 温度的线性度	$V_{DD}=5.0V$	-	± 1	± 2	$^{\circ}C$
Avg_Slope	平均斜率	$V_{DD}=5.0V$	-1.6872	-1.6368	-1.5466	mV/ $^{\circ}C$
$V_{25^{\circ}C}$	25°C 电压($\pm 5^{\circ}C$)	$V_{DD}=5.0V$	711.56	716.44	743.16	mV
$t_{START}(TS_BUF)^{(1)}$	传感器 buffer 在连续模式下的启动时间	-	-	400	-	ns
$t_{s_temp}^{(1)}$	读温度时, ADC 采样时间	-	2.5	-	239.5	f_{adc}
$I_{DDA}(TS)^{(1)}$	被 ADC 选中时, 温度传感器从 V_{DDA} 上消耗的电流	$V_{DD}=5.0V$	-	26	40	μ A

1. 设计保证。

5.3.22 TIMx 特性

下表中所给参数经过设计保证。有关输入/输出交替功能特性(输出比较、输入捕获、外部时钟、PWM 输出)的详细信息, 请参阅第 5.3.13 章节:I/O 端口特性。

表 5-3-22-1 TIMx⁽¹⁾特性

符号	参数	条件	最小值	最大值	单位
t _{res} (TIM)	定时器分辨率时间	-	1	-	t _{TIMxCLK}
		f _{TIMxCLK} =48MHz	20.83	-	ns
f _{EXT}	定时器 CH1 至 CH4 的外部时钟频率	其他	-	f _{TIMxCLK} /2	MHz
		f _{TIMxCLK} =48MHz	-	24	
Re _{TIM}	定时器分辨率	TIMx	-	16	bit
t _{COUNTER}	16 位计数器时钟周期	-	1	65536	t _{TIMxCLK}
		f _{TIMxCLK} =48MHz	0.02083	1365	μs

1. TIMx 是一个通用术语, 其中 x 代表 1、2、3、4、5、6 或 7。

表 5-3-22-2 IWDG 特性(@LSI=32KHz)

预分频	PR[2:0]bits	最小超时 RLR[11:0]=0x000	最大超时 RLR[11:0]=0xFFF	单位
/4	0	0.125	512	ms
/8	1	0.250	1024	
/16	2	0.500	2048	
/32	3	1.0	4096	
/64	4	2.0	8192	
/128	5	4.0	16384	
/256	6 或 7	8.0	32768	

5.3.23 通信接口特性

I2C 接口特性:

- 标准模式: 比特率达到 100kbit/s。
- 快速模式: 比特率达到 400kbit/s。
- 超快速模式: 比特率达到 1Mbit/s。

表 5-3-23-1 I2C 特性

符号	参数	条件	典型值	单位	
f _{I2CCLK(min)}	I2C 外设正确操作的最低 I2CCLK 频率	标准模式	2.2	MHz	
		快速模式	DNF=0		8.8
			DNF=1		8.8
		超快速模式	DNF=0		22.1
			DNF=1		23.9

除非另有说明，本章节的表 5-3-23-2 中给出的参数来自于第 5.3.1 章节的表 5-3-1(常规操作条件)中总结的在环境温度、f_{PCLKx} 频率和供电电压条件下进行的测试。附加常规条件如下：

- BR[2:0]=010(DIV8)。
- 电容负载 C=30pF。
- 测试点在 CMOS 电平：0.5×V_{DD}。

请参阅第 5.3.13 章节:I/O 端口特性了解更多关于输入/输出交替函数特性(SPI 的 NSS,SCK,MOSI,MISO)的详细信息。

表 5-3-23-2 SPI 特性

符号	参数	条件	最小值	典型值	最大值	单位
f _{SCK(max)}	SPI 正常收发数据的最大时钟	SYSClk=48MHz;DMA 方式(仅发送);主模式	-	-	24	MHz
		SYSClk=48MHz;DMA 方式(仅发送);从模式			8	
		SYSClk=48MHz;DMA 方式(仅接收);主模式			6	
		SYSClk=48MHz;DMA 方式(仅接收);从模式			10	
		SYSClk=48MHz;DMA 方式(收发);主模式			6	
		SYSClk=48MHz;DMA 方式(收发);从模式			8	
t _{SU(NSS)} ⁽¹⁾	NSS 建立时间	Slave 模式	1	-	-	ns
t _{w(SCKH)}	SCK 高电平时间	Master 模式	1 / f _{SCK} / 2 - 1.5	1 / f _{SCK} / 2	1 / f _{SCK} / 2 + 1.5	ns
t _{w(SCKHL)}	SCK 低电平时间	Master 模式				
t _{SU(MI)} ⁽¹⁾	Master 数据输入建立时间	Master 模式	1	-	-	ns
t _{SU(SI)} ⁽¹⁾	Slave 数据输入建立时间	Slave 模式	1	-	-	ns
t _{h(MI)} ⁽¹⁾	Master 数据输入保持时间	Master 模式	3	-	-	ns
t _{h(SI)} ⁽¹⁾	Slave 数据输入保持时间	Slave 模式	1	-	-	ns
t _{a(SO)} ⁽¹⁾	数据输出访问时间	Slave 模式	9	-	54	ns

符号	参数	条件	最小值	典型值	最大值	单位
$t_{dis(SO)}^{(1)}$	数据输出无效时间	Slave 模式	9	-	22	ns
$t_{v(SO)}^{(1)}$	Slave 数据输出有效时间	$2.0V < V_{DD} < 5.5V$	-	11	24	ns
$t_{v(MO)}^{(1)}$	Master 数据输出有效时间	-	-	5	8	ns
$t_{h(SO)}^{(1)}$	Slave 数据输出保持时间	-	5	-	-	ns
$t_{h(MO)}^{(1)}$	Master 数据输出保持时间	-	1	-	-	ns

除非另有说明，本章节的表 5-3-23-3 中给出的参数来自于第 5.3.1 章节的表 5-3-1(常规操作条件)中总结的在环境温度、 f_{PCLKx} 频率和供电电压条件下进行的测试。附加常规条件如下：

- BRR[15:0]=最大波特率。
- 电容负载 $C=30pF$ 。
- 测试点在 CMOS 电平： $0.5 \times V_{DD}$ 。

请参阅第 5.3.13 章节:I/O 端口特性了解更多关于输入/输出交替函数特性(USART 的 NSS,CK,TX,RX)的详细信息。

表 5-3-23-3 USART 特性

符号	参数	条件	最小值	典型值	最大值	单位
f_{CK}	USART 时钟频率	Master 模式	-	-	6	MHz
		Slave 模式	-	-	5 ⁽¹⁾	
$t_{SU(NSS)}^{(1)}$	NSS 建立时间	Slave 模式	Tker+1.4	-	-	ns
$t_{h(NSS)}^{(1)}$	NSS 保持时间	Slave 模式	-1.4	-	-	ns
$t_{W(CKH)}$	CK 高电平时间	Master 模式	$1 / f_{CK} / 2$	$1 / f_{CK} / 2$	$1 / f_{CK} / 2$	ns
$t_{W(CKHL)}$	CK 低电平时间		-10			
$t_{SU(RX)}^{(1)}$	数据输入建立时间	Master 模式	Tker+0.7	-	-	ns
		Slave 模式	Tker+0.6	-	-	
$t_{h(RX)}^{(1)}$	数据输入保持时间	Master 模式	-0.7	-	-	ns
		Slave 模式	-0.6	-	-	
$t_{v(TX)}^{(1)}$	数据输出有效时间	Master 模式	-	127	135	ns
		Slave 模式	-	216	242	
$t_{h(TX)}^{(1)}$	数据输出保持时间	Master 模式	0.03	-	-	ns
		Slave 模式	0.89	-	-	

1. 设计保证。

6 封装信息

TM32G078 提供 LQFP64、LQFP48 两种封装类型，且符合 JEDEC 标准，封装外形及尺寸信息见本章描述。

6.1 LQFP64 封装信息

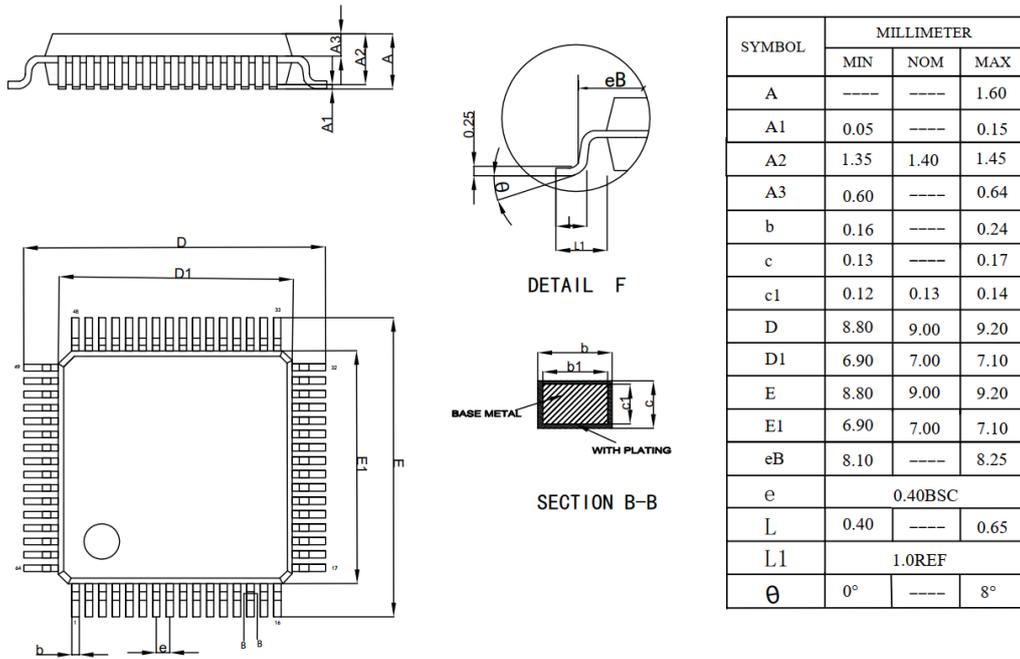


图 6-1 LQFP64-7x7mm 封装外形尺寸数据

6.2 LQFP48 封装信息

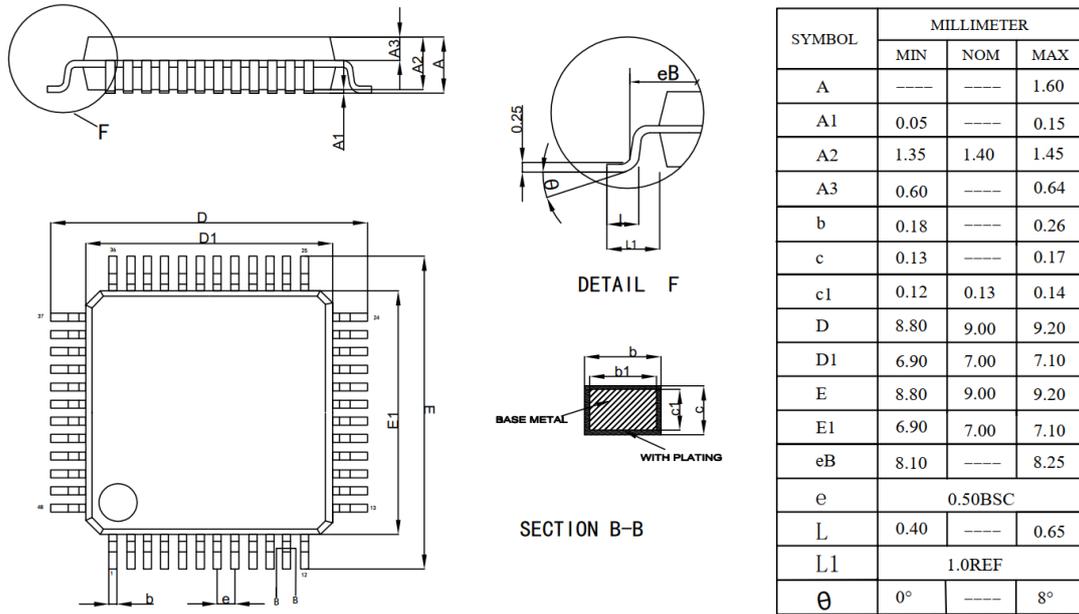


图 6-2 LQFP48-7x7mm 封装外形尺寸数据

7 芯片命名规则

芯片命名规则如下图所示。

32位MCU编码规则

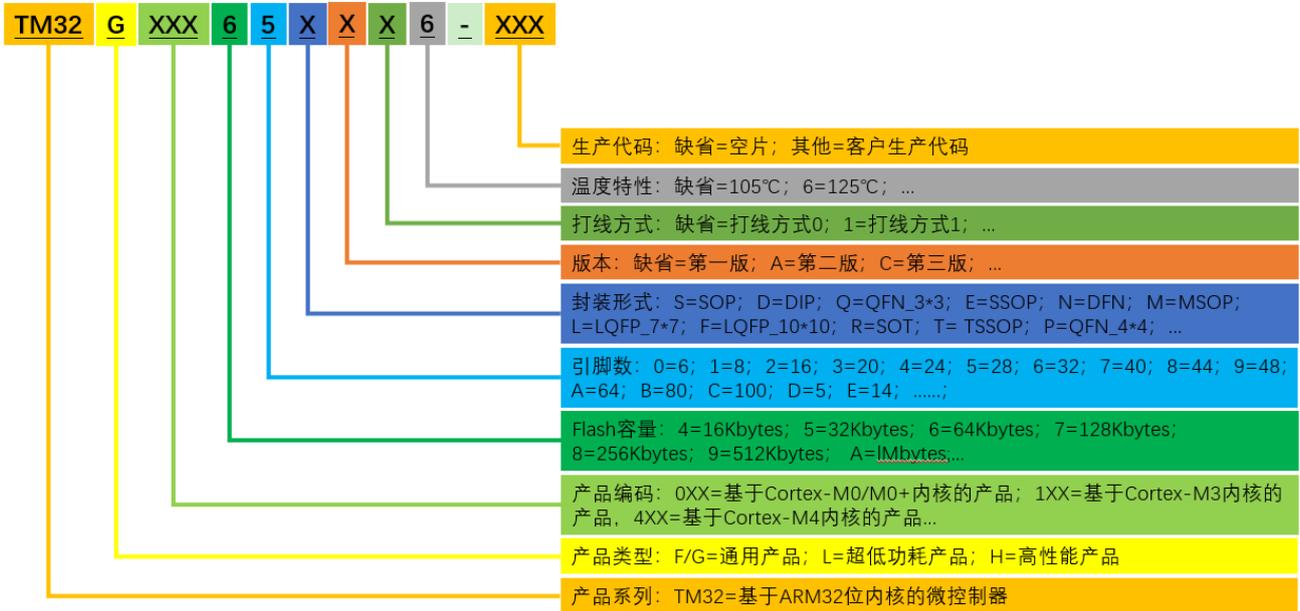


图 7-1 芯片命名规则