

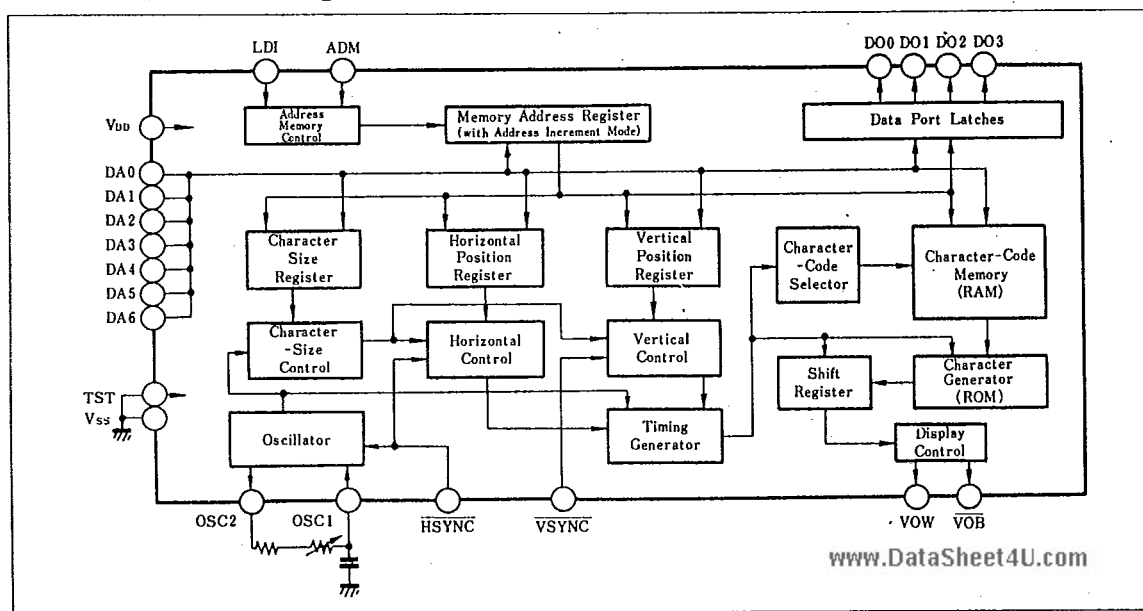
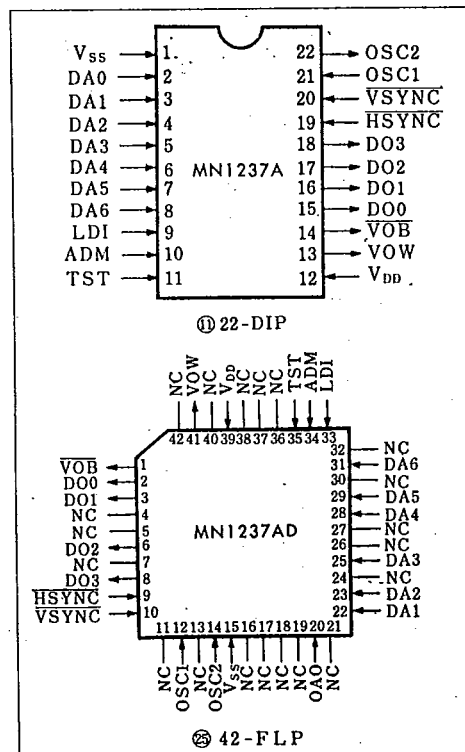
CPM 1.2.2.7-7

■ 端子配置図 / Pin Assignment

Description

特 徵

- ブロック図/Block Diagram

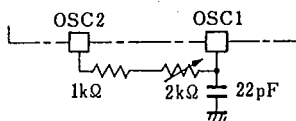


Item	Symbol	Rating	Unit
電源電圧	V_{DD}	$-0.3 \sim +8$	V
入力電圧	V_I	$-0.3 \sim V_{DD} + 0.3$	V
出力電圧	V_O	$-0.3 \sim V_{DD} + 0.3$	V
許容損失	P_D	100	mW
動作周囲温度	T_{opr}	$-20 \sim +70$	$^\circ C$
保存温度	T_{stg}	$-50 \sim +120$	$^\circ C$

■ 動作条件/Operating Conditions ($T_a = 25^\circ C$)

Item	Symbol	Condition	min.	typ.	max.	Unit
電源電圧	V_{DD}	$V_{SS} = 0V$	4.5	5	5.5	V
自動発振 ^{*1}						
自動発振周波数	f_{osc}	$R = 1 \sim 3k\Omega$, $R_{fix} = 1k\Omega$, $C = 22pF$	4.5	5	5.5	MHz

* 1 自動発振推奨回路



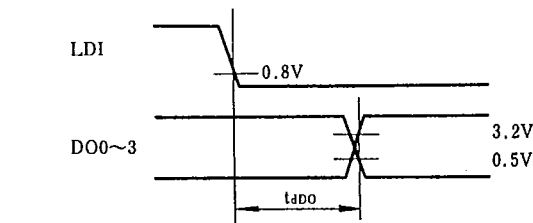
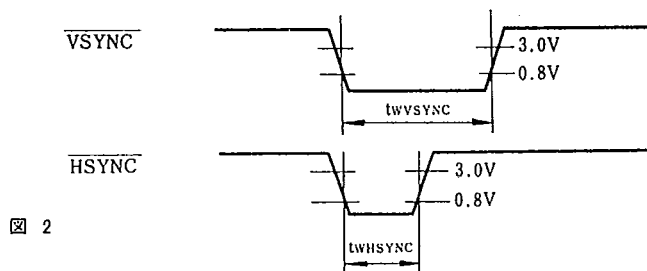
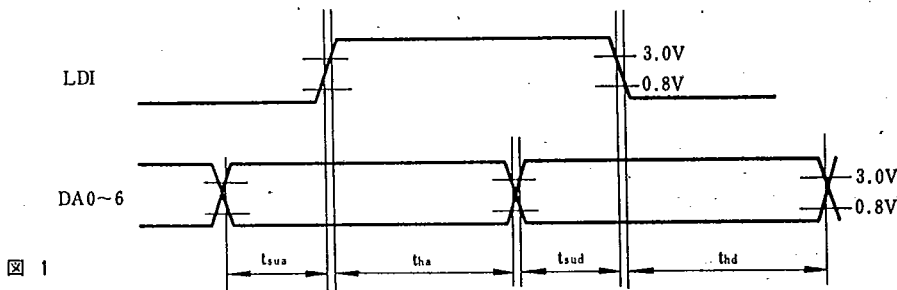
■ 電気的特性/Electrical Characteristics ($V_{DD} = 5V \pm 5\%$, $V_{SS} = 0V$, $T_a = 0 \sim +70^\circ C$)

● DC特性/DC Characteristics

Item	Symbol	Condition	min.	typ.	max.	Unit
電源電流	I _{DD}	V _{DD} =5V, Output terminal open		5	8	mA
消費電力	P _{tot}				40	mW
入力端子1 (DA0~6, ADM, TST)						
入力電圧ハイレベル	V _{IH}	V _{DD} =5V	3			V
入力電圧ローレベル	V _{IL}				0.8	V
入力リーク電流	I _{LI}	V _I =V _{DD}			30	μA
入力端子2 (LDI, HSYNC, VSYNC)						
入力電圧ハイレベル	V _{IHS}	V _{DD} =5V	3			V
入力電圧ローレベル	V _{ILS}				0.8	V
入力リーク電流	I _{LI}	V _I =V _{DD}			30	μA
出力端子 (DO0~3, VOW, VOB)						
出力電圧ハイレベル	V _{OH}	V _{DD} =5V, I _{OH} =300μA	3.2			V
出力電圧ローレベル	V _{OL}	V _{DD} =5V, I _{OL} =2mA			0.5	V

● AC特性/AC Characteristics

Item	Symbol	Condition	min.	typ.	max.	Unit	Note
アドレスセットアップタイム	t_{Sua}	$V_{DD} = 5.0V$, $V_{IH} = 4.0V$, $V_{IL} = 0.8V$, $V_{IHS} = 4.0V$, $V_{ILS} = 0.8V$	4			μs	図1
アドレスホールドタイム	t_{ha}		7			μs	
データセットアップタイム	t_{ud}		4			μs	
データホールドタイム	t_{hd}		8			μs	
VSYNCパルス幅	t_{wVSYNC}	$V_{DD} = 5.0V$	6			μs	図2
HSYNCパルス幅	t_{wHSYNC}		3			μs	
DO0~3出力遅延時間	t_{dDO}	$V_{DD} = 5.0V$	5				



■ 端子説明 / Pin Names

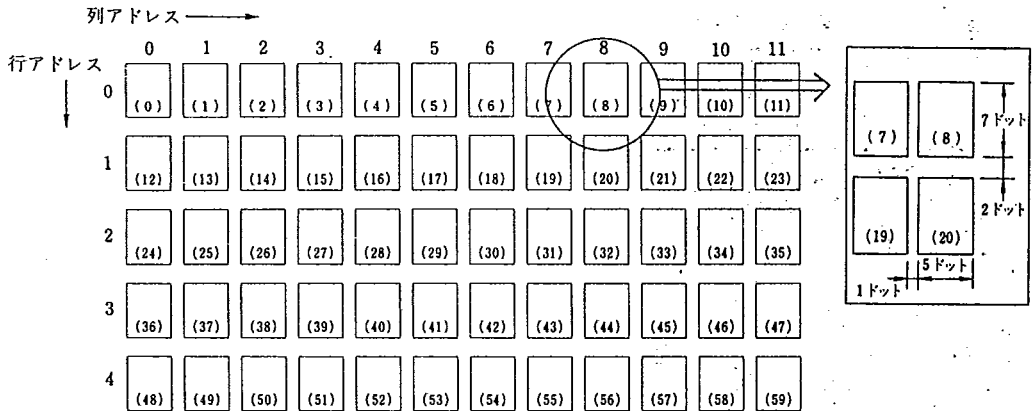
Symbol	端子名	説明
V _{DD}	V _{DD} 電源	V _{DD} 電源電圧に接続。(+ 5 V)
V _{SS}	V _{SS} 電源	V _{SS} 電源電圧に接続。(0V)
OSC1~2	自励発振端子	自励発振周波数を決めるための C, R を接続する端子。
TST	テスト用入力	チップテスト以外には "L" レベルにする。
VSYNC	垂直同期パルス入力	テレビの垂直同期信号を入力する端子。同期信号は "L" レベルアクティブ。
HSYNC	水平同期パルス入力	テレビの水平同期信号を入力する端子。同期信号は "L" レベルアクティブ。
DA0~6	データバス入力	7 ビットのデータ入力端子。 "H" レベルがアクティブ。
ADM	アドレスモード選択入力	アドレスを設定するモードを選択する信号の入力端子。
LDI	ストロブパルス入力	アドレスおよびデータをラッチするためのストロブ信号の入力端子。
VOW	ビデオ信号出力 (W)	ビデオ信号出力端子。 "H" レベルで白信号出力。(文字出力)
VOB	ビデオ信号出力 (B)	ビデオ信号出力端子。 "L" レベルで黒信号出力。(背景出力)
DO0~3	汎用ラッチ付出力	4 ビットの汎用出力端子。

動作説明

1. 画面構成

MN1237A, MN1237AD では、1行12文字×5行で、計60文字の表示ができます。文字の構成は、5×7ドットマトリクス

で、文字と文字の間には1ドットのスペースがあり、行と行の間には2ドットのスペースがあります。



注) わく内の数値(0)～(59)は、表示用メモリのアドレスを示しています。

図 4 画面構成と表示用メモリアドレスとの関係

2. メモリの構成

メモリのアドレスは7ビットで構成されています。
アドレス0 (0000000)から59(0111011)までは、表示データ用のメモリです。画面との対応を図4に示します。

アドレス60(0111100)から66(1000010)までは、表示コントロール用のレジスタです。

図5にメモリマップを示します。

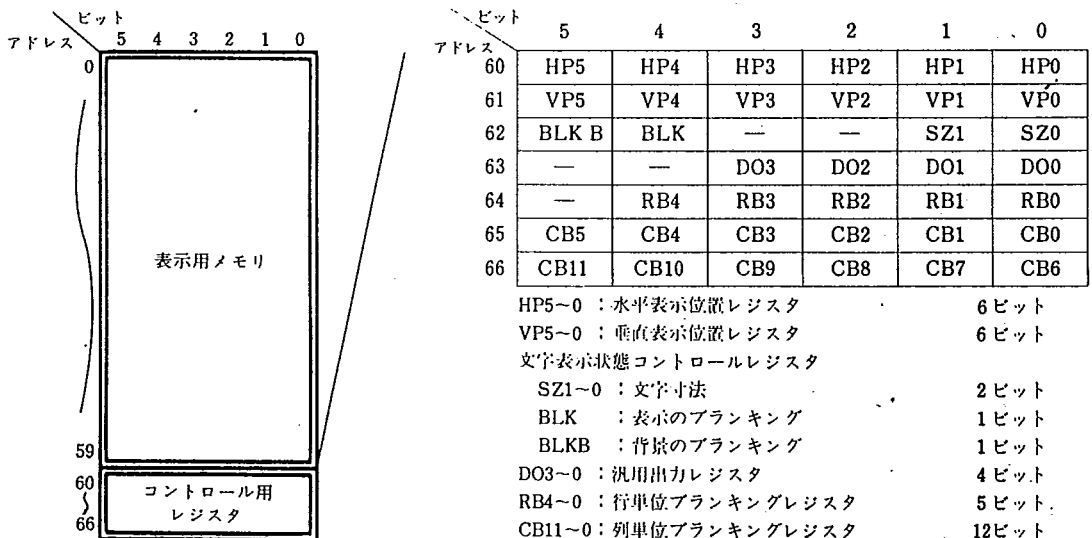


図 5 メモリマップ

補足) MN1237 と MN1227 との相異点

MN1237は、MN1227とピンコンパチブルなCMOS LSIですが、CMOS化に伴いRAMの書込み/読出し時に、プリチャージ方式を用いているので、以下のような状況では、読み出されたRAMのデータにプリチャージが影響する場合があります。

RAMのn番地に文字コードを書込みにゆく状態で、LDI信号の立ち上がりエッジから3μs以内の間にwww.DataSheet4U.comする場合に、表示データがプリチャージの影響を受ける場合があります。

3. キャラクタコードとそのパターン

MN1237A, MN1237ADには、5×7ドットのROM形キャラクタセネレータが内蔵されており、各文字は表1のコードに対応します。

表 1 キャラクタコード一覧表

上位 2ビット ↓ 下位 4ビット	0	1	2
0	A	N	0
1	B	O	1
2	C	P	2
3	D	Q	3
4	E	R	4
5	F	S	5
6	G	T	6
7	H	U	7
8	I	V	8
9	J	W	9
10	K	X	:
11	L	Y	.(ピリオド)
12	M	Z	—
13	(ドット)	?	/
14	■	■	■
15	—	—	—

ROMに登録されている文字パターンを図6に示します。
MN1237A, MN1237ADには、“丸め込み”機能がついてい
ますので、文字の角(かど)に“丸み”がつき、一般の5×7ドット
表示と比較して、より自然な表示ができるようになってい
ます。

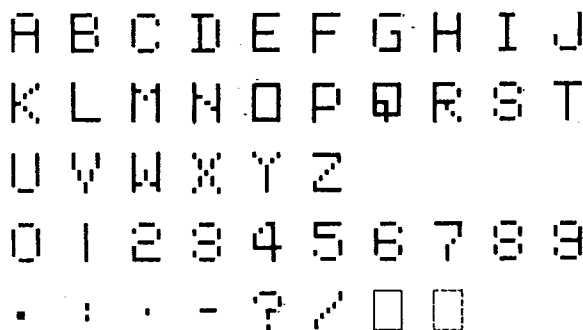


図 6 文字の種類

(ROMに登録されている文字パターン44種類、
1文字：5×7ドット)

4. 表示用メモリの構成

表示用メモリは、60×6ビットのRAMです。
ビット5～0は、文字コードを指定するビットです。
表示用メモリ1ワードの構成を図7に示します。なお、文
字コードは表1に示します。

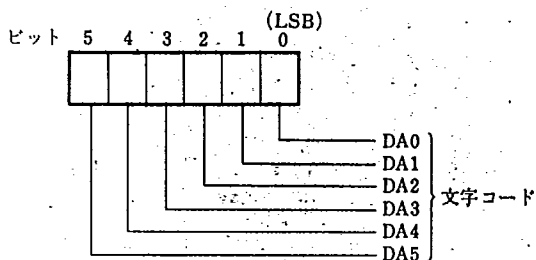


図 7 表示用メモリ1ワードの構成

5. コントロールレジスタ

(1) 水平表示位置レジスタ (HP5～0)

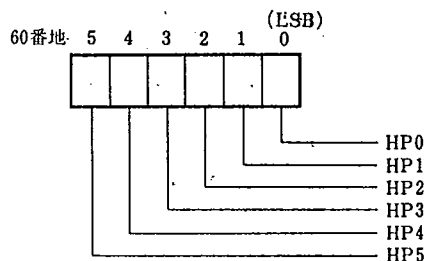


図 8 水平表示位置レジスタ

CRT画面上で、水平方向の表示開始位置を指定するレジ
スタです。

HP5～0= 000000)～(000110)は使用できません。

水平表示開始位置については、図10を参照してください。

(2) 垂直表示位置レジスタ (VP5～0)

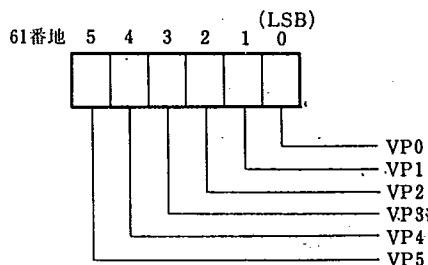


図 9 垂直表示位置レジスタ

CRT画面上で、垂直方向の表示開始位置を指
定するレジスタです。

垂直表示開始位置については、図10を参照し
てください。

水平・垂直表示開始位置

CRT 画面上での水平・垂直方向表示開始位置は、HP5～0 および VP5～0 の値に従って、黒背景の表示開始位置を指定することにより行なわれます。(図10参照)
水平表示開始位置をHL、垂直表示開始位置をVLとすると、次式によりそれぞれ求められます。ただし、発振周波数が f_{osc} (Hz) のときの発振周期を t (s) とし、H は水平同期信号の1周期とします。

$$HL = t \times \{4(HP5 \times 2^5 + HP4 \times 2^4 + HP3 \times 2^3 + HP2 \times 2^2 + HP1 \times 2 + HP0) + A\}$$

$$VL = H \times 4(VP5 \times 2^5 + VP4 \times 2^4 + VP3 \times 2^3 + VP2 \times 2^2 + VP1 \times 2 + VP0)$$

注) A の値は文字寸法(SZ1～0)により、表2のように変わります。

$t = 1/f_{osc}$ f_{osc} は発振周波数 (5MHz typ.)
H = 水平同期信号の周期 (63.5μs typ.)

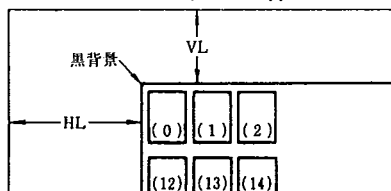


図10 表示開始位置

表2 文字寸法(SZ1～0)とAの対応表

SZ1	SZ0	A
0	0	8
0	1	10
1	0	11
1	1	12

(3) 文字表示状態コントロールレジスタ

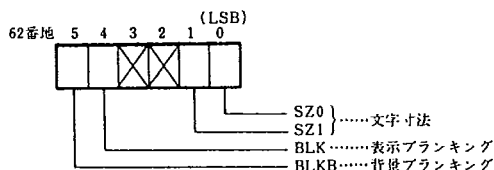


図11 文字表示状態コントロールレジスタ

① 文字寸法 (SZ1～0)

SZ1～0は、文字の寸法を指定するためのビットです。SZ1～0のデータによって、表3に示す4種類の文字寸法のうち1種類を選択できます。

図12に5×7のドットマトリクスの構成を示します。

コード		文字の寸法(1ドットの寸法) H: 水平ライン	
SZ1	SZ0	垂直	水平
0	0	14H (2H)	2μs (0.4μs)
0	1	28H (4H)	4μs (0.8μs)
1	0	42H (6H)	6μs (1.2μs)
1	1	56H (8H)	8μs (1.6μs)

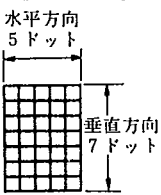


図12

注) ● H は水平ラインを示し、H=63.5(μs)です。

● 水平方向の数値は、発振周波数 f_{osc} = 5 MHz のときの値です。

② 表示ブランキング (BLK)

T-52-33-09

表示画面の状態を指定するためのビットです。BLKが"1"の場合は、他のデータのいかんにかかわらずすべての表示は抑制されます。表示を行なう場合は、BLKを"0"にリセットする必要があります。BLKの電源投入時の状態は不定です。

③ 背景ブランキング (BLKB)

背景の表示状態を指定するためのビットです。BLKBが"1"の場合は、他のデータのいかんにかかわらず背景出力(VOB)は抑制されます。背景を表示する場合はBLKBを"0"にリセットする必要があります。BLKBの電源投入時の状態は不定です。

(4) 汎用出力レジスタ (DO3～0)

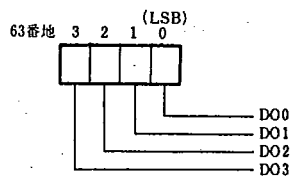


図13 汎用出力レジスタ

これは、4ビットのラッチ付出力で、DO3～0に書込まれたデータが出力端子(DO3～DO0)へ出力されます。

(5) 行単位ブランキングレジスタ (RB4～0)

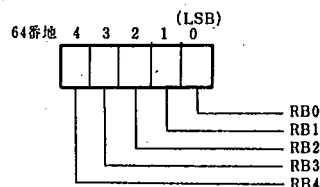


図14 行単位ブランキングレジスタ

行単位の表示状態を指定するためのビットです。RB0～4の中のいずれかに"1"がセットされると、そのビットに対応する行の表示が抑制されます。したがって、表示を行なう場合には、その行に対応するRB0～4のビットを"0"にリセットする必要があります。RB0～4の電源投入時の状態は不定です。

(6) 列単位ブランキングレジスタ (CB11～0)

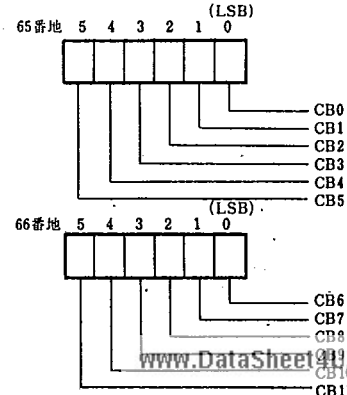


図15 列単位ブランキングレジスタ

6932852 PANASONIC INDL. ELECTRONIC

列単位の表示状態を指定するためのビットです。

CB0~11の中のいずれかに"1"がセットされると、そのビットに対応する列の表示が抑制されます。

したがって、表示を行なう場合には、その列に対応するCB0~11のビットを"0"にリセットする必要があります。

CB0~11の電源投入時の状態は不定です。

6. データの書き込み

MN1237A, MN1237ADには、データをメモリに書き込む方法として、2種類のモードが用意されています。

① 直接アドレスモード

このモードは、ADMが"L"レベルの場合に設定されます。LDI端子に入力される信号が、"L"から"H"に変化するとき、DA6~DA0の7ビットのデータをメモリ・アドレスレジスタにラッチします。LDI端子の信号が"H"から"L"に変化するとき、メモリ・アドレスレジスタによって指定されたアドレスのメモリに、DA5~DA0の6ビットのデータを書込みます。

このタイミングを図16に示します。

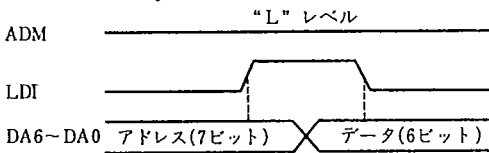


図 16 直接アドレスモードのタイミング

② アドレスインクリメントモード

このモードは、ADMが"H"レベルの場合に設定されます。LDI端子に入力される信号が"L"から"H"に変化するとき、すでにメモリアドレスレジスタにラッチされているデータをインクリメントします。LDI端子の信号が"H"から"L"に変化するとき、インクリメント後のメモリ・アドレスレジスタによって指定されたアドレスのメモリに、DA5~DA0の6ビットのデータを書込みます。このタイミングを図17に示します。

ADM

LDI

DA5~DA0

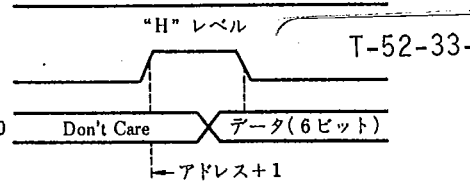


図 17 アドレスインクリメントモードのタイミング

7. 丸め込み機能

丸め込み機能とは、ROM上のキャラクタパターンの状態が、図18のようになっているとき、自動的に対角の中間に1ドットを追加して表示する機能です。これによって、一般の5×7ドット表示よりさらに自然な表示が行なわれます。

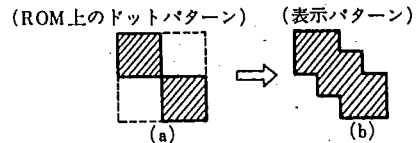
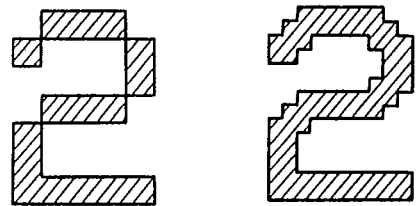


図 18 丸め込み機能



(a) 5×7ドットの場合の表示 (b) MN1237A/ADの表示

図 19 表示例 / Display

■ 応用回路例 / Application Circuit

