



三洋半導体データシート

N

LC877C64C, LC877C56C
LC877C48C, LC877C40C
LC877C32C, LC877C24C

CMOS LSI

ROM64K/56K/48K/40K/32K/24Kバイト,
RAM2048/1536バイト内蔵

8ビット1チップマイクロコンピュータ

概要

LC877C64C/56C/48C/40C/32C/24Cは、最小バスサイクル83.3nsで動作するCPU部を中心にして、64K/56K/48K/40K/32K/24KバイトROM, 2048/1536バイトRAM, LCDコントローラ・ドライバ, 16ビットタイマ/カウンタ(8ビット分割可), 16ビットタイマ/カウンタ(8ビット分割可, 8ビットPWM可), プリスケアラ付き8ビットタイマ×4, 時計用ベースタイマ, 自動転送機能付き同期式SIO, 非同期/同期式SIO, 12ビットPWM×2, 8ビットADコンバータ×12, 小信号検出, 高速クロックカウンタ, システムクロック分周機能, 20要因10ベクタ割り込み機能等を1チップに集積した8ビットマイクロコンピュータである。

特長

■ROM

- ・65536×8ビット (LC877C64C)
- ・57344×8ビット (LC877C56C)
- ・49152×8ビット (LC877C48C)
- ・40960×8ビット (LC877C40C)
- ・32768×8ビット (LC877C32C)
- ・24576×8ビット (LC877C24C)

■RAM

- ・2048×9ビット (LC877C64C/56C)
- ・1536×9ビット (LC877C48C/40C/32C/24C)

■最小命令サイクルタイム

- ・250ns(12MHz) $V_{DD}=4.5\sim5.5V$
- ・300ns(10MHz) $V_{DD}=2.8\sim5.5V$
- ・750ns(4MHz) $V_{DD}=2.2\sim5.5V$

- 本書記載の製品は、極めて高度の信頼性を要する用途（生命維持装置、航空機のコントロールシステム等、多大な人的・物的損害を及ぼす恐れのある用途）に対応する仕様にはなっておりません。そのような場合には、あらかじめ三洋半導体販売窓口までご相談下さい。
- 本書記載の規格値（最大定格、動作条件範囲等）を瞬時たりとも越えて使用し、その結果発生した機器の欠陥について、弊社は責任を負いません。

■ポート

- ・ノーマル耐圧入出力ポート
 - 1ビット単位で入出力指定可能 20 (P1n, P70～P73, P8n)
 - 4ビット単位で入出力指定可能 8 (P0n)
 - (ただし、Nチャネルオープンドレイン出力時はビット単位で入力できる。)
- ・ノーマル耐圧入力ポート 2 (XT1, XT2)
- ・ノーマル耐圧出力ポート 2 (PWM2, PWM3)
- ・LCD表示ポート
 - セグメント出力 32 (S00～S15, S24～S39)
 - コモン出力 4 (COM0～COM3)
 - LCD駆動用バイアス電源 3 (V1～V3)
- 兼用機能
 - 入出力ポート 32 (PAn, PBn, PDn, PEn)
 - 入力ポート 7 (PLn)
- ・発振専用ポート 2 (CF1, CF2)
- ・リセット端子 1 (RES)
- ・電源端子 6 (VSS1～3, VDD1～3)

■LCD表示コントローラ

- ①7種類の表示モードを選択可能(スタティック, 1/2, 1/3, 1/4duty×1/2, 1/3bias)
- ②セグメント出力, コモン出力は汎用入出力ポートに切換え可能

■小信号検出(マイク信号等)

- ①一定レベル以上の振幅を持つパルスをカウント
- ②2ビットのカウンタ

■タイマ

- ・タイマ0: キャプチャレジスタ付きの16ビットのタイマ/カウンタ
 - モード0: 8ビットプログラマブルプリスケアラ付8ビットタイマ
(8ビットキャプチャレジスタ付)×2チャンネル
 - モード1: 8ビットプログラマブルプリスケアラ付8ビットタイマ
(8ビットキャプチャレジスタ付)+8ビットカウンタ(8ビットキャプチャレジスタ付)
 - モード2: 8ビットプログラマブルプリスケアラ付16ビットタイマ
(16ビットキャプチャレジスタ付)
 - モード3: 16ビットカウンタ(16ビットキャプチャレジスタ付)
- ・タイマ1: PWM/トグル出力可能な16ビットのタイマ
 - モード0: 8ビットプリスケアラ付8ビットタイマ(トグル出力付)
+8ビットプリスケアラ付8ビットタイマ/カウンタ(トグル出力付)
 - モード1: 8ビットプリスケアラ付8ビットPWM×2チャンネル
 - モード2: 8ビットプリスケアラ付16ビットタイマ/カウンタ(トグル出力付)
(下位8ビットからもトグル出力可能)
 - モード3: 8ビットプリスケアラ付16ビットタイマ(トグル出力付)
(下位8ビットはPWMとして使用可能)
- ・タイマ4: 6ビットプリスケアラ付8ビットタイマ
- ・タイマ5: 6ビットプリスケアラ付8ビットタイマ
- ・タイマ6: 6ビットプリスケアラ付8ビットタイマ(トグル出力付)
- ・タイマ7: 6ビットプリスケアラ付8ビットタイマ(トグル出力付)
- ・ベースタイマ
 - ①クロックは、サブクロック(32.768kHz水晶発振), システムクロック, タイマ0のプリスケアラ出力から選択。
 - ②5種類の時間での割り込み発生が可能

■高速クロックカウンタ

- ①最高20MHzのクロックをカウントできる(メインクロック10MHz使用時)
- ②リアルタイム出力

■シリアルインタフェース

- ・SI00：8ビット同期式シリアルインタフェース
 - ①LSB先頭/MSB先頭切換え可能
 - ②8ビットボーレートジェネレータ内蔵(最大転送クロック周期4/3tCYC)
 - ③連続自動データ通信(1~256ビット)
- ・SI01：8ビット非同期/同期式シリアルインタフェース
 - モード0：同期式8ビットシリアルIO(2線式または3線式, 転送クロック2~512tCYC)
 - モード1：非同期シリアルIO
 - (半二重, データ8ビット, ストップビット1, ボーレート8~2048tCYC)
 - モード2：バスモード1(スタートビット, データ8ビット, 転送クロック2~512tCYC)
 - モード3：バスモード2(スタート検出, データ8ビット, ストップ検出)

■ADコンバータ：8ビット×12チャンネル

■PWM：周期可変12ビットPWM×2チャンネル

■リモコン受信回路(P73/INT3/T0IN端子と共用)

- ・ノイズ除去機能(ノイズ除去フィルタの時定数選択1/32/128tCYC)

■ウォッチドッグタイマ

- ・RC外付けによるウォッチドッグタイマ
- ・割り込み, リセットの選択可能

■割り込み

- ・20要因, 10ベクタ
 - ①割り込みは低レベル(L), 高レベル(H), 最高レベル(X)の3レベルの多重割り込み制御。割り込み処理中に、同一レベルまたは下位のレベルの割り込み要求が入っても、受け付けない。
 - ②2つ以上のベクタアドレスへの割り込み要求が同時に発生した場合、レベルの高いものが優先される。また、同一レベルでは、飛び先ベクタアドレスの小さい方の割り込みが優先される。

No.	ベクタ	選択レベル	割り込み要因
1	00003H	XまたはL	INT0
2	0000BH	XまたはL	INT1
3	00013H	HまたはL	INT2/T0L
4	0001BH	HまたはL	INT3/ベースタイマ0/ベースタイマ1
5	00023H	HまたはL	T0H
6	0002BH	HまたはL	T1L/T1H
7	00033H	HまたはL	SI00
8	0003BH	HまたはL	SI01
9	00043H	HまたはL	ADC/MIC/T6/T7
10	0004BH	HまたはL	ポート0/T4/T5/PWM2, 3

- ・優先レベル X>H>L
- ・同一レベルではベクタアドレスの小さいものが優先

■サブルーチンスタックレベル：最大1024レベル (LC877C64C/56C)

最大 768レベル (LC877C48C/40C/32C/24C)

(スタックはRAMの中に設定)

■高速乗除算命令内蔵

- | | |
|--------------|---------------|
| ・16ビット×8ビット | (実行時間 5tCYC) |
| ・24ビット×16ビット | (実行時間 12tCYC) |
| ・16ビット÷8ビット | (実行時間 8tCYC) |
| ・24ビット÷16ビット | (実行時間 12tCYC) |

■発振回路

- | | |
|------------------|----------------------------|
| ・RC発振回路(内蔵) | : システムクロック用 |
| ・CF発振回路 | : システムクロック用, Rf内蔵, Rd外付け |
| ・水晶発振回路 | : 低速システムクロック用, Rf内蔵, Rd外付け |
| ・周波数可変RC発振回路(内蔵) | : システムクロック用 |

■システムクロック分周機能

- ・低消費電流動作可能
- ・最小命令サイクルタイムで300ns, 600ns, 1.2μs, 2.4μs, 4.8μs, 9.6μs, 19.2μs, 38.4μs, 76.8μsの選択可能(メインクロック10MHz使用時)

■スタンバイ機能

- ・HALTモード: 命令実行停止, 周辺回路動作継続(シリアル転送の一部機能は停止する)
 - ①発振の停止は自動的には行わない。
 - ②システムリセットまたは割り込みの発生により解除。
- ・HOLDモード: 命令実行停止, 周辺回路動作停止
 - ①CF発振, RC発振, 水晶発振, 周波数可変RC発振のいずれも自動的に停止する。
 - ②HOLDモードを解除するには、次の3つの方法がある。
 - 1) リセット端子に「L」レベルを入力する。
 - 2) INT0, INT1, INT2の少なくとも1つの端子に指定されたレベルを入力する。
 - 3) ポート0で割り込み要因が成立する。
- ・X'tal HOLDモード: 命令実行停止, ベースタイマ以外の周辺回路動作停止
 - ①CF発振, RC発振, 周波数可変RC発振は、自動的に停止する。
 - ②水晶発振は、突入時の状態を維持する。
 - ③X'tal HOLDモードを解除するには、次の4つの方法がある。
 - 1) リセット端子に、「L」レベルを入力する。
 - 2) INT0, INT1, INT2の少なくとも1つの端子に指定されたレベルを入力する。
 - 3) ポート0で割り込み要因が成立する。
 - 4) ベースタイマ回路で割り込み要因が成立する。

■出荷形態

- ・QFP80(14×14) 『鉛フリー仕様品』
- ・TQFP80J(12×12) 『鉛フリー仕様品』

■開発ツール

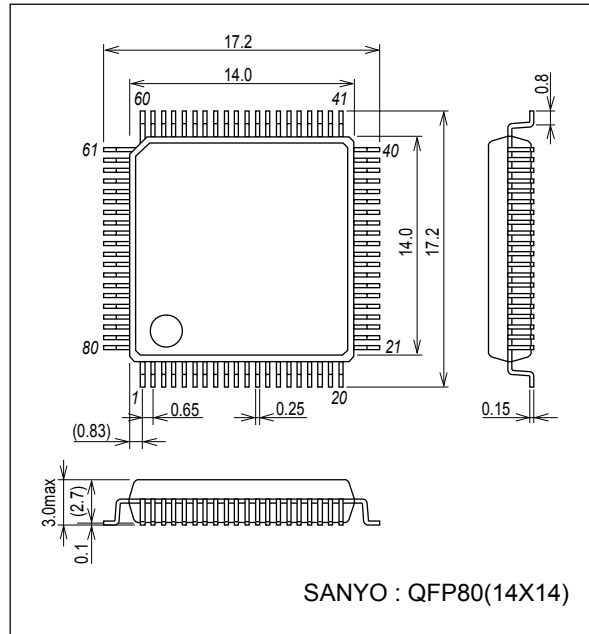
- ・エバチップ : LC87EV690
- ・エミュレータ : EVA62S+ECB876600D+SUB877100+POD80QFP(14×14)
または、POD80SQFP
: ICE-B877300+SUB877100+POD80QFP(14×14)
または、POD80SQFP
- ・フラッシュROM版 : LC87F7CC8A

LC877C64C/56C/48C/40C/32C/24C

外形図

unit:mm (typ)

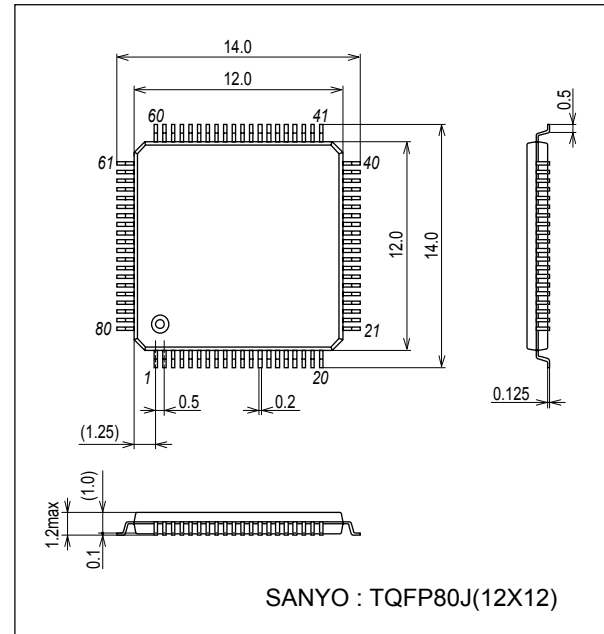
3255



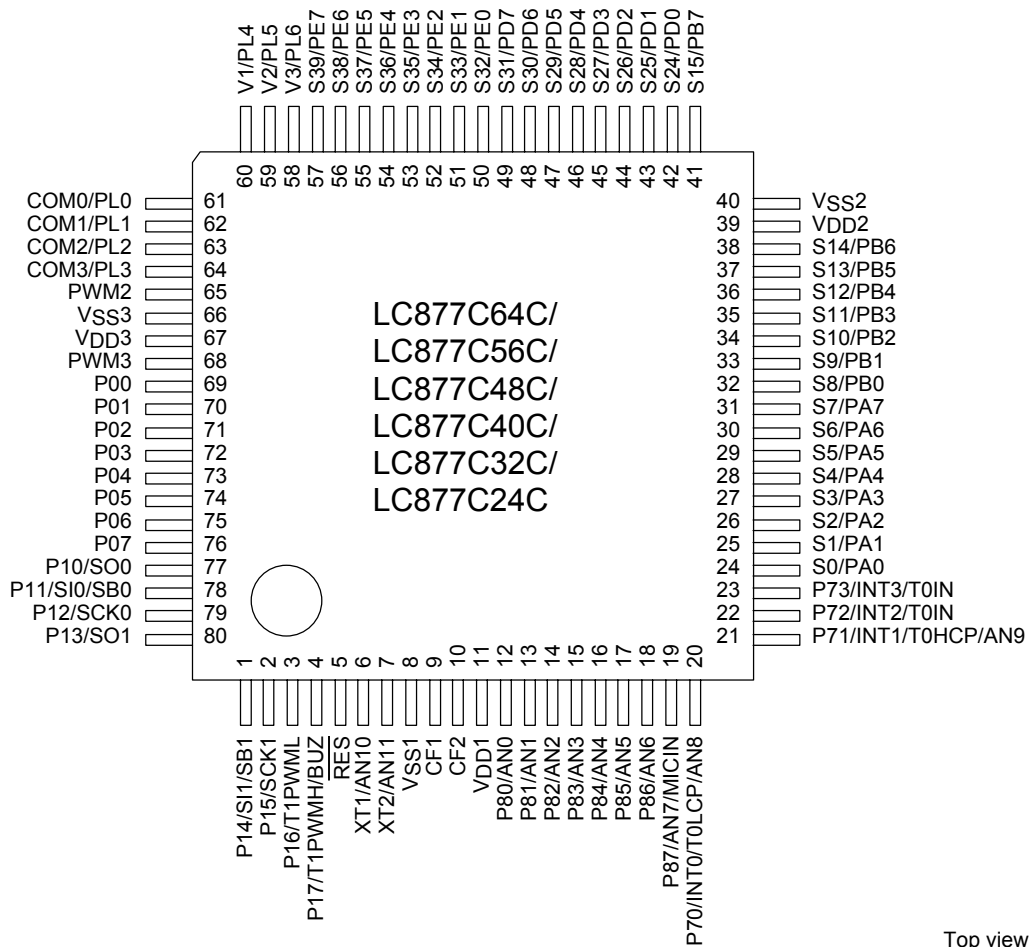
外形図

unit:mm (typ)

3290



ピン配置図

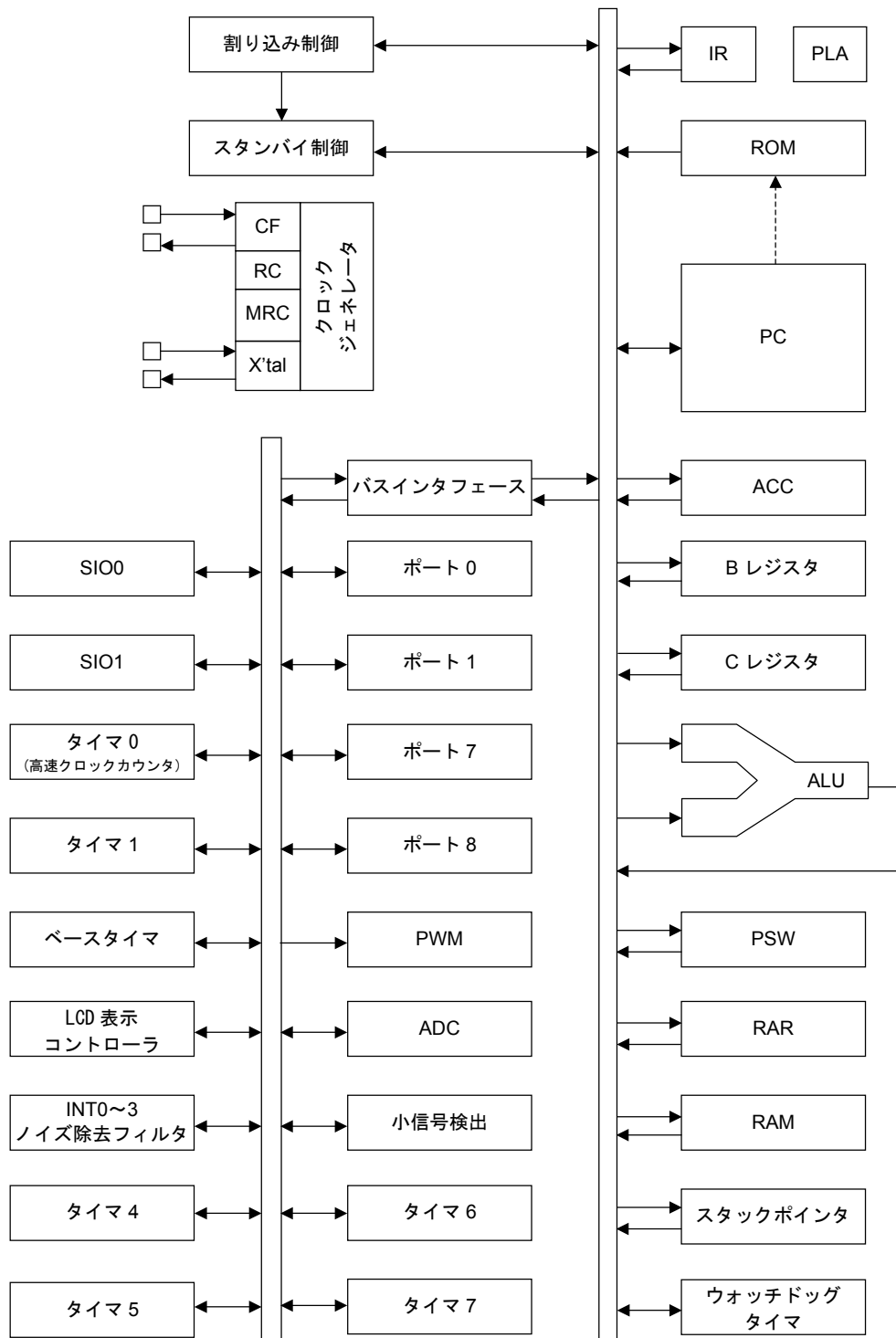


SANYO : QFP80(14×14) 『鉛フリー仕様品』

SANYO : TQFP80J(12×12) 『鉛フリー仕様品』

LC877C64C/56C/48C/40C/32C/24C

システムブロック図



LC877C64C/56C/48C/40C/32C/24C

端子機能表

端子名	入出力	機能説明	オプション																														
VSS1, VSS2, VSS3	—	電源の－端子	なし																														
VDD1, VDD2, VDD3	—	電源の＋端子	なし																														
PORT0 P00～P07	入出力	・8ビットの入出力ポート ・4ビット単位の入出力指定可能 ・4ビット単位のパルアップ抵抗ON/OFF可能 ・HOLD解除入力 ・ポート0割り込み入力 ・兼用機能 P05：クロック出力(システムクロック／サブクロック選択可能) P06：タイマ6トグル出力 P07：タイマ7トグル出力	あり																														
PORT1 P10～P17	入出力	・8ビットの入出力ポート ・1ビット単位の入出力指定可能 ・1ビット単位のパルアップ抵抗ON/OFF可能 ・兼用機能 P10：SI00データ出力 P11：SI00データ入力/バス入出力 P12：SI00クロック入出力 P13：SI01データ出力 P14：SI01データ入力/バス入出力 P15：SI01クロック入出力 P16：タイマ1PWML出力 P17：タイマ1PWMH出力/ブザー出力	あり																														
PORT7 P70～P73	入出力	・4ビットの入出力ポート ・1ビット単位の入出力指定可能 ・1ビット単位のパルアップ抵抗ON/OFF可能 ・兼用機能 P70：INT0入力/HOLD解除入力/タイマ0Lキャプチャ入力 ／ウォッチドッグタイマ用出力 P71：INT1入力/HOLD解除入力/タイマ0Hキャプチャ入力 P72：INT2入力/HOLD解除入力/タイマ0イベント入力 ／タイマ0Lキャプチャ入力 P73：INT3入力(ノイズフィルタ付入力) ／タイマ0イベント入力/タイマ0Hキャプチャ入力 AD変換入力ポート：AN8(P70), AN9(P71) ・インタラプト受付形式 <table><tr><td></td><td>立ち上がり</td><td>立ち下がり</td><td>立ち下がり & 立ち上がり</td><td>Hレベル</td><td>Lレベル</td></tr><tr><td>INT0</td><td>○</td><td>○</td><td>×</td><td>○</td><td>○</td></tr><tr><td>INT1</td><td>○</td><td>○</td><td>×</td><td>○</td><td>○</td></tr><tr><td>INT2</td><td>○</td><td>○</td><td>○</td><td>×</td><td>×</td></tr><tr><td>INT3</td><td>○</td><td>○</td><td>○</td><td>×</td><td>×</td></tr></table>		立ち上がり	立ち下がり	立ち下がり & 立ち上がり	Hレベル	Lレベル	INT0	○	○	×	○	○	INT1	○	○	×	○	○	INT2	○	○	○	×	×	INT3	○	○	○	×	×	なし
	立ち上がり	立ち下がり	立ち下がり & 立ち上がり	Hレベル	Lレベル																												
INT0	○	○	×	○	○																												
INT1	○	○	×	○	○																												
INT2	○	○	○	×	×																												
INT3	○	○	○	×	×																												

次ページへ続く。

LC877C64C/56C/48C/40C/32C/24C

前ページより続く。

端子名	入出力	機能説明	オプション
PORT8 P80～P87	入出力	・8ビットの入出力ポート ・1ビット単位の入出力指定可能 ・兼用機能 AD変換入力ポート：AN0～AN7 小信号検出入力ポート：MICIN(P87)	なし
S0/PA0～ S7/PA7	入出力	・LCD表示用セグメント出力 ・汎用入出力ポート(PA)として使用可能	なし
S8/PB0～ S15/PB7	入出力	・LCD表示用セグメント出力 ・汎用入出力ポート(PB)として使用可能	なし
S24/PD0～ S31/PD7	入出力	・LCD表示用セグメント出力 ・汎用入出力ポート(PD)として使用可能	なし
S32/PE0～ S39/PE7	入出力	・LCD表示用セグメント出力 ・汎用入出力ポート(PE)として使用可能	なし
COM0/PL0～ COM3/PL3	入出力	・LCD表示用コモン出力 ・汎用入力ポート(PL)として使用可能	なし
V1/PL4～ V3/PL6	入出力	・LCD駆動用バイアス電源 ・汎用入力ポート(PL)として使用可能	なし
PWM2	出力	PWM2出力	なし
PWM3	出力	PWM3出力	なし
RES	入力	リセット端子	なし
XT1	入力	・32.768kHz水晶発振子用入力端子 ・兼用機能 汎用入力ポート 使用しない場合はV _{DD1} に接続すること。 AD変換入力ポート：AN10	なし
XT2	入出力	・32.768kHz水晶発振子用出力端子 ・兼用機能 汎用入力ポート 使用しない場合は、発振仕様にしてオープンにすること。 AD変換入力ポート：AN11	なし
CF1	入力	セラミック発振子用入力端子	なし
CF2	出力	セラミック発振子用出力端子	なし

LC877C64C/56C/48C/40C/32C/24C

ポート出力形態

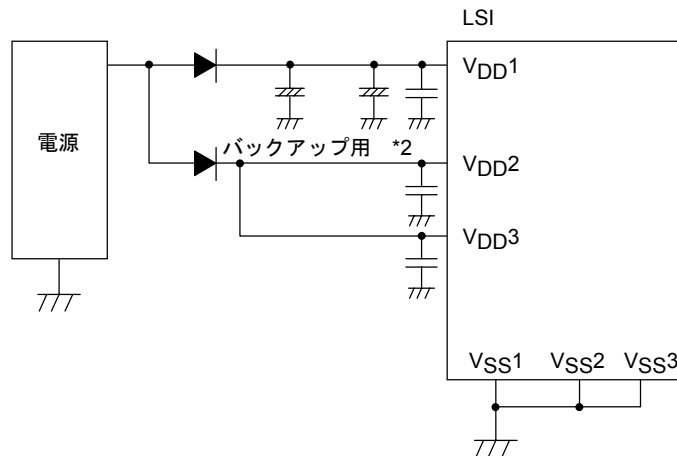
ポートの出力形態とプルアップ抵抗の有無を以下に示す。

なお、入出力ポートでのデータの読み込みは、ポートが出力モード時でも可能である。

ポート名	オプション 切換え単位	オプション 種類	出力形式	プルアップ抵抗
P00～P07	1ビット単位	1	CMOS	プログラマブル(注1)
		2	Nch-オープンドレイン	なし
P10～P17	1ビット単位	1	CMOS	プログラマブル
		2	Nch-オープンドレイン	プログラマブル
P70	—	なし	Nch-オープンドレイン	プログラマブル
P71～P73	—	なし	CMOS	プログラマブル
P80～P87	—	なし	Nch-オープンドレイン	なし
S0/PA0～S15/PB7 S24/PD0～S39/PE7	—	なし	CMOS	プログラマブル
COM0/PL0～COM3/PL3	—	なし	入力専用	なし
V1/PL4～V3/PL6	—	なし	入力専用	なし
PWM2, PWM3	—	なし	CMOS	なし
XT1	—	なし	入力専用	なし
XT2	—	なし	32.768kHz水晶発振子用出力	なし

注1：ポート0のプログラマブルプルアップ抵抗は、4ビット単位(P00～03, P04～07)の制御になる。

- *1 V_{DD1}端子に入るノイズを小さくするために、次のように接続すること。
V_{SS1}端子とV_{SS2}端子とV_{SS3}端子は必ず電氣的にショートすること。



- *2 内部メモリの保持電源はV_{DD1}であるが、V_{DD2}, V_{DD3}をバックアップしない場合、HOLDバックアップ時のポートの「H」レベル出力は不定となり、入力バッファに貫通電流が流れてバックアップ時間が短くなる。
HOLDバックアップ時はポートの状態が「L」レベルになるように設定すること。

LC877C64C/56C/48C/40C/32C/24C

絶対最大定格/Ta=25°C, VSS1=VSS2=VSS3=0V

項目		記号	適用端子・備考	条件	V _{DD} [V]	規格				
						min	typ	max	unit	
最大電源電圧		V _{DD max}	V _{DD} , V _{DD2} , V _{DD3}	V _{DD1} =V _{DD2} =V _{DD3}		-0.3	～	+6.5	V	
LCD用電源電圧		VLCD	V1/PL4, V2/PL5, V3/PL6	V _{DD1} =V _{DD2} =V _{DD3}		-0.3		V _{DD}		
入力電圧		VI	・ポートL ・XT1, XT2, CF1, $\overline{\text{RES}}$			-0.3	～	V _{DD} +0.3		
入出力電圧		VI0(1)	・ポート0, 1, 7, 8 ・ポートA, B, D, E ・PWM2, PWM3			-0.3	～	V _{DD} +0.3		
高レベル出力電流	ピーク出力電流	IOPH(1)	ポート0, 1	・CMOS出力選択 ・適用1端子当り		-10			mA	
		IOPH(2)	ポート71, 72, 73	適用1端子当り		-5				
		IOPH(3)	・ポートA, B, D, E ・PWM2, PWM3	適用1端子当り		-5				
	平均出力電流 (注1-1)	IOMH(1)	ポート0, 1	・CMOS出力選択 ・適用1端子当り		-7.5				
		IOMH(2)	ポート71, 72, 73	適用1端子当り		-3				
		IOMH(3)	・ポートA, B, D, E ・PWM2, PWM3	適用1端子当り		-3				
	合計出力電流	ΣIOAH(1)	・ポート0, 1 ・PWM2, PWM3	適用全端子合計		-25				
		ΣIOAH(2)	ポート7	適用全端子合計		-10				
		ΣIOAH(3)	ポートA, B	適用全端子合計		-25				
		ΣIOAH(4)	ポートD, E	適用全端子合計		-25				
		ΣIOAH(5)	ポートA, B, D, E	適用全端子合計		-45				
	低レベル出力電流	ピーク出力電流	IOPL(1)	ポート0, 1	適用1端子当り					20
			IOPL(2)	ポート7, 8	適用1端子当り					10
			IOPL(3)	・ポートA, B, D, E ・PWM2, PWM3	適用1端子当り					10
平均出力電流 (注1-1)		IOML(1)	ポート0, 1	適用1端子当り				15		
		IOML(2)	ポート7, 8	適用1端子当り				7.5		
		IOML(3)	・ポートA, B, D, E ・PWM2, PWM3	適用1端子当り				7.5		
合計出力電流		ΣIOAL(1)	・ポート0, 1 ・PWM2, PWM3	適用全端子合計				45		
		ΣIOAL(2)	ポート7, 8	適用全端子合計				15		
		ΣIOAL(3)	ポートA, B	適用全端子合計				45		
		ΣIOAL(4)	ポートD, E	適用全端子合計				45		
		ΣIOAL(5)	ポートA, B, D, E	適用全端子合計				80		
許容消費電力		Pdmax	QFP80(14×14)	Ta=-30～+70℃				381	mW	
			TQFP80J(12×12)					325		
動作周囲温度		Topr				-30	～	+70	℃	
保存周囲温度		Tstg				-55	～	+125		

注1-1：平均出力電流は100ms期間の平均値を示す。

LC877C64C/56C/48C/40C/32C/24C

許容動作範囲/ $T_a = -30 \sim +70^{\circ}\text{C}$, $V_{SS1} = V_{SS2} = V_{SS3} = 0\text{V}$

項目	記号	適用端子・備考	条件	規格				
				$V_{DD}[\text{V}]$	min	typ	max	unit
動作電源電圧	$V_{DD}(1)$	$V_{DD1} = V_{DD2} = V_{DD3}$	$0.245\mu\text{s} \leq t_{CYC} \leq 200\mu\text{s}$		4.5		5.5	V
	$V_{DD}(2)$		$0.294\mu\text{s} \leq t_{CYC} \leq 200\mu\text{s}$		2.8		5.5	
	$V_{DD}(3)$		$0.735\mu\text{s} \leq t_{CYC} \leq 200\mu\text{s}$		2.2		5.5	
メモリ保持電源電圧	V_{HD}	V_{DD1}	・HOLDモード時 ・RAM, レジスタ保持		2.0		5.5	
高レベル入力電圧	$V_{IH}(1)$	・ポート0, 8 ・ポートA, B, D, E, L	出力ディセーブル	2.2~5.5	$0.3V_{DD} + 0.7$		V_{DD}	
	$V_{IH}(2)$	・ポート1 ・ポート71, 72, 73 ・ポート70の ポート入力/ 割り込み側	出力ディセーブル	2.2~5.5	$0.3V_{DD} + 0.7$		V_{DD}	
	$V_{IH}(3)$	ポート87の 小信号入力側	出力ディセーブル	2.2~5.5	$0.75V_{DD}$		V_{DD}	
	$V_{IH}(4)$	ポート70のウォッチ ドッグタイマ側	出力ディセーブル	2.2~5.5	$0.9V_{DD}$		V_{DD}	
	$V_{IH}(5)$	XT1, XT2, CF1, $\overline{\text{RES}}$		2.2~5.5	$0.75V_{DD}$		V_{DD}	
低レベル入力電圧	$V_{IL}(1)$	・ポート0, 8 ・ポートA, B, D, E, L	出力ディセーブル	4.0~5.5	V_{SS}		$0.15V_{DD} + 0.4$	
	$V_{IL}(2)$			2.2~4.0	V_{SS}		$0.2V_{DD}$	
	$V_{IL}(3)$	・ポート1 ・ポート71, 72, 73	出力ディセーブル	4.0~5.5	V_{SS}		$0.1V_{DD} + 0.4$	
	$V_{IL}(4)$	・ポート70の ポート入力/ 割り込み側		2.2~4.0	V_{SS}		$0.2V_{DD}$	
	$V_{IL}(5)$	ポート87の 小信号入力側	出力ディセーブル	2.2~5.5	V_{SS}		$0.25V_{DD}$	
	$V_{IL}(6)$	ポート70のウォッチ ドッグタイマ側	出力ディセーブル	2.2~5.5	V_{SS}		$0.8V_{DD} - 1.0$	
	$V_{IL}(7)$	XT1, XT2, CF1, $\overline{\text{RES}}$		2.2~5.5	V_{SS}		$0.25V_{DD}$	
命令サイクル タイム(注2-1)	t_{CYC}			4.5~5.5	0.245		200	μs
				2.8~5.5	0.294		200	
				2.2~5.5	0.735		200	

注2-1: t_{CYC} と発振周波数の関係式は、1/1分周時: $3/F_{mCF}$ 、1/2分周時: $6/F_{mCF}$ 。

次ページへ続く。

LC877C64C/56C/48C/40C/32C/24C

前ページより続く。

項目	記号	適用端子・備考	条件	規格				
				V _{DD} [V]	min	typ	max	unit
外部システム クロック 周波数	FEXCF (1)	CF1	・CF2端子オープン ・システムクロック 分周1/1 ・外部システム クロックの DUTY50±5%	4.5～5.5	0.1		12	MHz
				2.8～5.5	0.1		10	
				2.2～5.5	0.1		4	
			・CF2端子オープン ・システムクロック 分周1/2	4.5～5.5	0.2		24.4	
				2.8～5.5	0.2		20	
				2.2～5.5	0.2		8	
発振周波数 範囲(注2-2)	FmCF (1)	CF1, CF2	12MHzセラミック 発振時 図1参照	4.5～5.5		12		MHz
	FmCF (2)		10MHzセラミック 発振時 図1参照	2.8～5.5		10		
	FmCF (3)		4MHzセラミック 発振時 図1参照	2.2～5.5		4		
	FmRC		内蔵RC発振	2.2～5.5	0.3	1.0	2.0	
	FmMRC		周波数可変RC 発振源発振	2.2～5.5		16		
	FsX' tal	XT1, XT2	32.768kHz 水晶発振時 図2参照	2.2～5.5		32.768		kHz

注2-2：発振定数は表1, 2参照のこと。

電気的特性/Ta=−30～+70℃, V_{SS1}=V_{SS2}=V_{SS3}=0V

項目	記号	適用端子・備考	条件	規格				
				V _{DD} [V]	min	typ	max	unit
高レベル 入力電流	I _{IH} (1)	・ポート0, 1, 7, 8 ・ポートA, B, D, E, L ・PWM2, PWM3	・出力ディセーブル ・プルアップ抵抗オフ ・V _{IN} =V _{DD} (出力Tr. のオフリーク 電流を含む)	2.2～5.5			1	μA
	I _{IH} (2)	RES	V _{IN} =V _{DD}	2.2～5.5			1	
	I _{IH} (3)	XT1, XT2	・入力ポート仕様時 ・V _{IN} =V _{DD}	2.2～5.5			1	
	I _{IH} (4)	CF1	V _{IN} =V _{DD}	2.2～5.5			15	
	I _{IH} (5)	P87/AN7/MICINの 小信号入力側	V _{IN} =VBIS+0.5V (VBISはバイアス電圧)	4.5～5.5	5	10	20	

次ページへ続く。

LC877C64C/56C/48C/40C/32C/24C

前ページより続く。

項目	記号	適用端子・備考	条件	規格				
				V_{DD} [V]	min	typ	max	unit
低レベル 入力電流	$I_{IL}(1)$	・ポート0, 1, 7, 8 ・ポートA, B, D, E, L ・PWM2, PWM3	・出力ディセーブル ・プルアップ抵抗オフ ・ $V_{IN}=V_{SS}$ (出力Tr. のオフリーク 電流を含む)	2.2~5.5	-1			μA
	$I_{IL}(2)$	RES	$V_{IN}=V_{SS}$	2.2~5.5	-1			
	$I_{IL}(3)$	XT1, XT2	・入力ポート仕様時 ・ $V_{IN}=V_{SS}$	2.2~5.5	-1			
	$I_{IL}(4)$	CF1	$V_{IN}=V_{SS}$	2.2~5.5	-15			
	$I_{IL}(5)$	P87/AN7/MICINの 小信号入力側	$V_{IN}=V_{BIS}-0.5V$ (V_{BIS} はバイアス電圧)	4.5~5.5	-20	-10	-5	
高レベル 出力電圧	$V_{OH}(1)$	CMOS出力の ポート0, 1	$I_{OH}=-1.0mA$	4.5~5.5	$V_{DD}-1$			V
	$V_{OH}(2)$		$I_{OH}=-0.4mA$	3.0~5.5	$V_{DD}-0.4$			
	$V_{OH}(3)$		$I_{OH}=-0.2mA$	2.2~5.5	$V_{DD}-0.4$			
	$V_{OH}(4)$	ポート7	$I_{OH}=-0.4mA$	3.0~5.5	$V_{DD}-0.4$			
	$V_{OH}(5)$		$I_{OH}=-0.2mA$	2.2~5.5	$V_{DD}-0.4$			
	$V_{OH}(6)$	・ポートA, B, D, E ・PWM2, PWM3	$I_{OH}=-1.0mA$	4.5~5.5	$V_{DD}-1$			
	$V_{OH}(7)$		$I_{OH}=-0.4mA$	3.0~5.5	$V_{DD}-0.4$			
	$V_{OH}(8)$		$I_{OH}=-0.2mA$	2.2~5.5	$V_{DD}-0.4$			
低レベル 出力電圧	$V_{OL}(1)$	ポート0, 1	$I_{OL}=10mA$	4.5~5.5			1.5	
	$V_{OL}(2)$		$I_{OL}=1.6mA$	3.0~5.5			0.4	
	$V_{OL}(3)$		$I_{OL}=1.0mA$	2.2~5.5			0.4	
	$V_{OL}(4)$	ポート7, 8	$I_{OL}=1.6mA$	3.0~5.5			0.4	
	$V_{OL}(5)$		$I_{OL}=1.0mA$	2.2~5.5			0.4	
	$V_{OL}(6)$	・ポートA, B, D, E ・PWM2, PWM3	$I_{OL}=1.6mA$	3.0~5.5			0.4	
	$V_{OL}(7)$		$I_{OL}=1.0mA$	2.2~5.5			0.4	

次ページへ続く。

LC877C64C/56C/48C/40C/32C/24C

前ページより続く。

項目	記号	適用端子・備考	条件	規格				
				V_{DD} [V]	min	typ	max	unit
LCD出力電圧 偏差	VODLS	S0～S15, S24～S39	$I_O=0\text{mA}$ VLCD, 2/3VLCD, 1/3VLCDレベル出力 図8参照	2.2～5.5	0		± 0.2	V
	VODLC	COM0～COM3	$I_O=0\text{mA}$ VLCD, 2/3VLCD, 1/2VLCD, 1/3VLCDレベル出力 図8参照	2.2～5.5	0		± 0.2	
LCDバイアス 抵抗	RLCD (1)	バイアス抵抗1段当 たりの抵抗値	図8参照	2.2～5.5		60		k Ω
	RLCD (2)	・バイアス抵抗 1 段 当たりの抵抗値 ・分割抵抗 1/2モード	図8参照	2.2～5.5		30		
プルアップ MOS Tr. 抵抗	Rpu	・ポート0, 1, 7 ・ポートA, B, D, E	$V_{OH}=0.9V_{DD}$	4.5～5.5 2.2～4.5	15 18	35 50	80 150	
ヒステリシス 電圧	VHYS (1)	・ポート1, 7 ・RES		2.2～5.5		$0.1V_{DD}$		V
	VHYS (2)	ポート87の 小信号入力側		2.2～5.5		$0.1V_{DD}$		
端子容量	CP	全端子	・被測定端子以外は、 $V_{IN}=V_{SS}$ ・ $f=1\text{MHz}$ ・ $T_a=25^\circ\text{C}$	2.2～5.5		10		pF
入力感度	Vsen	ポート87の 小信号入力側		2.2～5.5	$0.12V_{DD}$			V _{p-p}

LC877C64C/56C/48C/40C/32C/24C

シリアル入出力特性/ $T_a = -30 \sim +70^\circ\text{C}$, $V_{SS1} = V_{SS2} = V_{SS3} = 0\text{V}$

1. SIO0 シリアル入出力特性 (注 4-1-1)

項目			記号	適用端子 ・備考	条件	$V_{DD}[\text{V}]$	規格			
							min	typ	max	unit
シリアルクロック	入力クロック	周期	tSCK(1)	SCK0(P12)	図 6 参照	2.2~5.5	2			tCYC
		低レベルパルス幅	tSCKL(1)				1			
		高レベルパルス幅	tSCKH(1)				1			
			tSCKHA(1)	・連続データ送受信モード ・図 6 参照 ・(注 4-1-2)			4			
	出力クロック	周期	tSCK(2)	SCK0(P12)	・CMOS 出力選択時 ・図 6 参照	2.2~5.5	4/3			tSCK
		低レベルパルス幅	tSCKL(2)				1/2			
		高レベルパルス幅	tSCKH(2)				1/2			tCYC
			tSCKHA(2)	・連続データ送受信モード ・CMOS 出力選択時 ・図 6 参照			tSCKH(2) + 2tCYC		tSCKH(2) + (10/3)tCYC	
シリアル入力	データセットアップ時間		tsDI(1)	SI0(P11) SB0(P11)	・SIOCLK の立ち上がり に対して規定する ・図 6 参照	2.2~5.5	0.03			
	データホールド時間		thDI(1)				0.03			
シリアル出力	入力クロック	出力遅延時間	tdD0(1)	S00(P10) SB0(P11)	・連続データ送受信モード (注 4-1-3)	2.2~5.5			(1/3)tCYC +0.05	μs
			tdD0(2)		・同期式 8 ビットモード (注 4-1-3)				1tCYC +0.05	
	出力クロック		tdD0(3)		(注 4-1-3)				(1/3)tCYC +0.05	

注 4-1-1 : 本規格値は理論値である。使用の状態に合わせて必ずマージンを確保すること。

注 4-1-2 : 連続データ送受信モードでシリアルクロック入力を使用する場合において、連続データ送受信開始時に、シリアルクロックが「H」の状態で SIORUN をセットしてから最初のシリアルクロックの立ち下がりまでの時間を tSCKHA より長くすること。

注 4-1-3 : SIOCLK の立ち下がりに対して規定する。オープンドレイン出力時は出力変化開始までの時間として規定する。図 6 参照。

LC877C64C/56C/48C/40C/32C/24C

2. SI01 シリアル入出力特性 (注 4-2-1)

項目		記号	適用端子 ・備考	条件	V _{DD} [V]	規格			
						min	typ	max	unit
シリアルクロック	入力クロック	周期	tSCK(3)	SCK1 (P15) 図 6 参照	2.2~5.5	2			tCYC
		低レベルパルス幅	tSCKL(3)			1			
		高レベルパルス幅	tSCKH(3)			1			
	出力クロック	周期	tSCK(4)	・CMOS 出力選択時 ・図 6 参照	2.2~5.5	2			tSCK
		低レベルパルス幅	tSCKL(4)			1/2			
		高レベルパルス幅	tSCKH(4)			1/2			
シリアル入力	データセットアップ時間	tsDI(2)	SI1 (P14) SB1 (P14)	・SIOCLK の立ち上がり に対して規定する ・図 6 参照	2.2~5.5	0.03			μs
	データホールド時間	thDI(2)				0.03			
シリアル出力	出力遅延時間	tdD0(4)	SO1 (P13) SB1 (P14)	・SIOCLK の立ち下がり に対して規定する。 ・オープンドレイン出力 時は出力変化開始ま での時間として規定 する。 ・図 6 参照。	2.2~5.5			(1/3) tCYC +0.05	

注 4-2-1：本規格値は理論値である。使用の状態に合わせて必ずマージンを確保すること。

LC877C64C/56C/48C/40C/32C/24C

パルス入力条件/ $T_a = -30 \sim +70^\circ\text{C}$, $V_{SS1} = V_{SS2} = V_{SS3} = 0\text{V}$

項目	記号	適用端子・備考	条件	規格				
				$V_{DD}[\text{V}]$	min	typ	max	unit
高・低レベル パルス幅	tPIH(1) tPIL(1)	INT0 (P70), INT1 (P71), INT2 (P72)	・割り込み要因フラ グをセットできる。 ・タイマ0へのイベン ト入力ができる。	2.2~5.5	1			tCYC
	tPIH(2) tPIL(2)	ノイズ除去フィルタ の時定数が1/1の場 合のINT3 (P73)	・割り込み要因フラ グをセットできる。 ・タイマ0へのイベン ト入力ができる。	2.2~5.5	2			
	tPIH(3) tPIL(3)	ノイズ除去フィルタ の時定数が1/32の場 合のINT3 (P73)	・割り込み要因フラ グをセットできる。 ・タイマ0へのイベン ト入力ができる。	2.2~5.5	64			
	tPIH(4) tPIL(4)	ノイズ除去フィルタ の時定数が1/128の 場合のINT3 (P73)	・割り込み要因フラ グをセットできる。 ・タイマ0へのイベン ト入力ができる。	2.2~5.5	256			
	tPIH(5) tPIL(5)	MICIN (P87)	小信号検出カウンタ をカウントできる。	2.2~5.5	1			
	tPIL(6)	$\overline{\text{RES}}$	リセットできる。	2.2~5.5	200			μs

AD変換特性/ $T_a = -30 \sim +70^\circ\text{C}$, $V_{SS1} = V_{SS2} = V_{SS3} = 0\text{V}$

項目	記号	適用端子・備考	条件	規格				
				$V_{DD}[\text{V}]$	min	typ	max	unit
分解能	N	AN0 (P80) ~ AN7 (P87)		3.0~5.5		8		bit
絶対精度	ET	AN8 (P70), AN9 (P71)	(注6-1)	3.0~5.5			± 1.5	LSB
変換時間	tCAD	AN10 (XT1), AN11 (XT2)	AD変換時間=32×tCYC (ADCR2=0の時) (注6-2)	4.5~5.5	15.62 (tCYC= 0.488 μs)		97.92 (tCYC= 3.06 μs)	μs
				3.0~5.5	23.52 (tCYC= 0.735 μs)		97.92 (tCYC= 3.06 μs)	
			AD変換時間=64×tCYC (ADCR2=1の時) (注6-2)	4.5~5.5	18.82 (tCYC= 0.294 μs)		97.92 (tCYC= 1.53 μs)	
				3.0~5.5	47.04 (tCYC= 0.735 μs)		97.92 (tCYC= 1.53 μs)	
				3.0~5.5	V_{SS}		V_{DD}	V
				3.0~5.5			1	μA
アナログ入力 電圧範囲	VAIN			3.0~5.5				
アナログポート 入力電流	IAINH		$V_{AIN} = V_{DD}$	3.0~5.5				
	IAINL		$V_{AIN} = V_{SS}$	3.0~5.5	-1			

注6-1：絶対精度は量子化誤差($\pm 1/2$ LSB)を除く。

注6-2：変換時間は、変換をスタートさせる命令が出てからアナログ入力値に対する完全なデジタル変換値がレジスタに設定されるまでの時間をさす。

LC877C64C/56C/48C/40C/32C/24C

消費電流特性/Ta=−30〜+70℃, V_{SS1}=V_{SS2}=V_{SS3}=0V

項目	記号	適用端子 ・備考	条件	規格				
				V _{DD} [V]	min	typ	max	unit
通常動作時 消費電流 (注 7-1)	IDDOP (1)	V _{DD1} =V _{DD2} =V _{DD3}	・FmCF=12MHz セラミック発振時 ・FsX' tal=32.768kHz 水晶発振時 ・システムクロックは 12MHz 側 ・内蔵 RC 発振は停止 ・周波数可変 RC 発振は停止 ・1/1 分周時	4.5〜5.5		7	12	mA
	IDDOP (2)		・CF1=10MHz セラミック発振時 ・FsX' tal=32.768kHz 水晶発振時 ・システムクロックは 10MHz 側 ・内蔵 RC 発振は停止 ・周波数可変 RC 発振は停止 ・1/1 分周時	4.5〜5.5		5.5	9	
	IDDOP (3)		・FmCF=4MHz セラミック発振時 ・FsX' tal=32.768kHz 水晶発振時 ・システムクロックは 4MHz 側 ・内蔵 RC 発振は停止 ・周波数可変 RC 発振は停止 ・1/1 分周時	3.0〜3.6		3.1	5.6	
	IDDOP (4)		・FmCF=0Hz (発振停止) ・FsX' tal=32.768kHz 水晶発振時 ・内蔵 RC 発振は停止 ・システムクロックは内蔵 RC 発振 ・1/2 分周時	2.8〜3.0		2.2	3.8	
	IDDOP (5)		・FmCF=0Hz (発振停止) ・FsX' tal=32.768kHz 水晶発振時 ・内蔵 RC 発振は停止 ・システムクロックは周波数可変 RC 発振で 1MHz 設定 ・1/2 分周時	4.5〜5.5		2.5	4	
	IDDOP (6)		・FmCF=0Hz (発振停止) ・FsX' tal=32.768kHz 水晶発振時 ・内蔵 RC 発振は停止 ・システムクロックは 32.768kHz 側 ・内蔵 RC 発振は停止 ・周波数可変 RC 発振は停止 ・1/2 分周時	3.0〜3.6		1.2	2.5	
	IDDOP (7)		・FmCF=0Hz (発振停止) ・FsX' tal=32.768kHz 水晶発振時 ・内蔵 RC 発振は停止 ・システムクロックは 32.768kHz 側 ・内蔵 RC 発振は停止 ・周波数可変 RC 発振は停止 ・1/2 分周時	2.2〜3.0		0.9	1.8	
	IDDOP (8)		・FmCF=0Hz (発振停止) ・FsX' tal=32.768kHz 水晶発振時 ・内蔵 RC 発振は停止 ・システムクロックは 32.768kHz 側 ・内蔵 RC 発振は停止 ・周波数可変 RC 発振は停止 ・1/2 分周時	4.5〜5.5		0.55	2.1	
	IDDOP (9)		・FmCF=0Hz (発振停止) ・FsX' tal=32.768kHz 水晶発振時 ・内蔵 RC 発振は停止 ・システムクロックは 32.768kHz 側 ・内蔵 RC 発振は停止 ・周波数可変 RC 発振は停止 ・1/2 分周時	3.0〜3.6		0.3	1.4	
	IDDOP (10)		・FmCF=0Hz (発振停止) ・FsX' tal=32.768kHz 水晶発振時 ・内蔵 RC 発振は停止 ・システムクロックは 32.768kHz 側 ・内蔵 RC 発振は停止 ・周波数可変 RC 発振は停止 ・1/2 分周時	2.2〜3.0		0.2	1	
	IDDOP (11)		・FmCF=0Hz (発振停止) ・FsX' tal=32.768kHz 水晶発振時 ・内蔵 RC 発振は停止 ・システムクロックは 32.768kHz 側 ・内蔵 RC 発振は停止 ・周波数可変 RC 発振は停止 ・1/2 分周時	4.5〜5.5		1.2	3.5	
	IDDOP (12)		・FmCF=0Hz (発振停止) ・FsX' tal=32.768kHz 水晶発振時 ・内蔵 RC 発振は停止 ・システムクロックは 32.768kHz 側 ・内蔵 RC 発振は停止 ・周波数可変 RC 発振は停止 ・1/2 分周時	3.0〜3.6		0.65	2.2	
	IDDOP (13)		・FmCF=0Hz (発振停止) ・FsX' tal=32.768kHz 水晶発振時 ・内蔵 RC 発振は停止 ・システムクロックは 32.768kHz 側 ・内蔵 RC 発振は停止 ・周波数可変 RC 発振は停止 ・1/2 分周時	2.2〜3.0		0.4	1.6	
	IDDOP (14)		・FmCF=0Hz (発振停止) ・FsX' tal=32.768kHz 水晶発振時 ・内蔵 RC 発振は停止 ・システムクロックは 32.768kHz 側 ・内蔵 RC 発振は停止 ・周波数可変 RC 発振は停止 ・1/2 分周時	4.5〜5.5		27	65	μA
	IDDOP (15)		・FmCF=0Hz (発振停止) ・FsX' tal=32.768kHz 水晶発振時 ・内蔵 RC 発振は停止 ・システムクロックは 32.768kHz 側 ・内蔵 RC 発振は停止 ・周波数可変 RC 発振は停止 ・1/2 分周時	3.0〜3.6		11	45	
	IDDOP (16)		・FmCF=0Hz (発振停止) ・FsX' tal=32.768kHz 水晶発振時 ・内蔵 RC 発振は停止 ・システムクロックは 32.768kHz 側 ・内蔵 RC 発振は停止 ・周波数可変 RC 発振は停止 ・1/2 分周時	2.2〜3.0		7	32	
HALT モード 消費電流 (注 7-1)	IDDHALT (1)		・HALT モード ・FmCF=12MHz セラミック発振時 ・FsX' tal=32.768kHz 水晶発振時 ・システムクロックは 12MHz 側 ・内蔵 RC 発振は停止 ・周波数可変 RC 発振は停止 ・1/1 分周時	4.5〜5.5		2.5	5.3	mA

注7-1：消費電流は出力Tr. および内蔵ブルアップ抵抗に流れる電流を含まない。

次ページへ続く。

LC877C64C/56C/48C/40C/32C/24C

前ページより続く。

項目	記号	適用端子 ・備考	条件	規格				
				V _{DD} [V]	min	typ	max	unit
HALT モード 消費電流 (注 7-1)	IDDHALT (2)	V _{DD1} =V _{DD2} =V _{DD3}	・HALT モード ・FmCF=10MHz セラミック発振時	4.5~5.5		2	4.2	mA
	IDDHALT (3)		・FsX' tal=32.768kHz 水晶発振時 ・システムクロックは 10MHz 側	3.0~3.6		1.1	2.3	
	IDDHALT (4)		・内蔵 RC 発振は停止 ・周波数可変 RC 発振は停止 ・1/1 分周時	2.8~3.0		0.7	1.5	
	IDDHALT (5)		・HALT モード ・FmCF=4MHz セラミック発振時	4.5~5.5		1.2	2.6	
	IDDHALT (6)		・FsX' tal=32.768kHz 水晶発振時 ・システムクロックは 4MHz 側	3.0~3.6		0.65	1.4	
	IDDHALT (7)		・内蔵 RC 発振は停止 ・周波数可変 RC 発振は停止 ・1/1 分周時	2.2~3.0		0.38	0.88	
	IDDHALT (8)		・HALT モード ・FmCF=0Hz (発振停止)	4.5~5.5		0.28	1	
	IDDHALT (9)		・FsX' tal=32.768kHz 水晶発振時 ・システムクロックは内蔵 RC 発振	3.0~3.6		0.15	0.7	
	IDDHALT (10)		・周波数可変 RC 発振は停止 ・1/2 分周時	2.2~3.0		0.1	0.5	
	IDDHALT (11)		・HALT モード ・FmCF=0Hz (発振停止)	4.5~5.5		1	2.9	
	IDDHALT (12)		・FsX' tal=32.768kHz 水晶発振時 ・システムクロックは周波数可変 RC 発振で 1MHz 設定	3.0~3.6		0.55	1.8	
	IDDHALT (13)		・内蔵 RC 発振は停止 ・1/2 分周時	2.2~3.0		0.35	1.4	
	IDDHALT (14)		・HALT モード ・FmCF=0MHz (発振停止)	4.5~5.5		19	50	μA
	IDDHALT (15)		・FsX' tal=32.768kHz 水晶発振時 ・システムクロックは 32.768kHz 側	3.0~3.6		6.2	30	
	IDDHALT (16)		・内蔵 RC 発振は停止 ・周波数可変 RC 発振は停止 ・1/2 分周時	2.2~3.0		3.6	20	
	IDDHALT (16)		・周波数可変 RC 発振は停止 ・1/2 分周時	2.2~3.0		3.6	20	
HOLD モード 消費電流	IDDHOLD (1)	V _{DD1}	・HOLD モード	4.5~5.5		0.025	10	μA
	IDDHOLD (2)		・CF1=V _{DD} またはオープン (外部クロック時)	3.0~3.6		0.015	7	
	IDDHOLD (3)			2.2~3.0		0.009	6	
時計 HOLD モード 消費電流	IDDHOLD (4)		・時計 HOLD モード	4.5~5.5		16	45	
	IDDHOLD (5)		・CF1=V _{DD} またはオープン (外部クロック時)	3.0~3.6		5.5	25	
	IDDHOLD (6)		・FsX' tal=32.768kHz 水晶発振時	2.2~3.0		3	15	

注7-1：消費電流は出力Tr. および内蔵プルアップ抵抗に流れる電流を含まない。

LC877C64C/56C/48C/40C/32C/24C

メイン・システム・クロック発振回路特性例

メイン・システム・クロック発振回路特性例は、当社指定の発振特性評価用基板を用いて、発振子メーカーによって安定に発振することを確認した回路定数と、この回路定数を外付けしたときの特性例である。

表1 セラミック発振子を使用したメイン・システム・クロック発振回路特性例

公称周波数	メーカー名	発振子名	回路定数				動作電圧 範囲 [V]	発振安定時間		備考
			C1 [pF]	C2 [pF]	Rf1 [Ω]	Rd1 [Ω]		typ [ms]	max [ms]	
12MHz	村田製作所	CSTCE12M0G52-R0	(10)	(10)	OPEN	470	4.5~5.5	0.05	0.15	C1, C2 内蔵品
10MHz	村田製作所	CSTCE10M0G52-R0	(10)	(10)	OPEN	1.0k	2.8~5.5	0.05	0.15	C1, C2 内蔵品
		CSTLS10M0G53-B0	(15)	(15)	OPEN	680	2.8~5.5	0.05	0.15	C1, C2 内蔵品
4MHz	村田製作所	CSTCR4M00G53-R0	(15)	(15)	OPEN	3.3k	2.2~5.5	0.05	0.15	C1, C2 内蔵品
		CSTLS4M00G53-B0	(15)	(15)	OPEN	3.3k	2.2~5.5	0.05	0.15	C1, C2 内蔵品

発振安定時間は、 V_{DD} が動作電圧下限を上回ってから、発振が安定するまでに必要な時間である。
(図4参照)

サブ・システム・クロック発振回路特性例

サブ・システム・クロック発振回路特性例は、当社指定の発振特性評価用基板を用いて、発振子メーカーによって安定に発振することを確認した回路定数と、この回路定数を外付けしたときの特性例である。

表2 水晶発振子を使用したサブ・システム・クロック発振回路特性例

公称周波数	メーカー名	発振子名	回路定数				動作電圧 範囲 [V]	発振安定時間		備考
			C3 [pF]	C4 [pF]	Rf2 [Ω]	Rd2 [Ω]		typ [s]	max [s]	
32.768kHz	セイコーエプソン	MC-306	18	18	OPEN	560k	2.2~5.5	1.3	3.0	適用CL値 12.5pF

発振安定時間は、サブクロック発振回路を開始させる命令を実行後、発振が安定するまでに必要な時間と、HOLDモードを解除後、発振が安定するまでに必要な時間である。(図4参照)

(注意) ・回路パターンの影響を受けるので、発振に関わる部品はできるだけパターン長を伸ばさないように近くに配置すること。

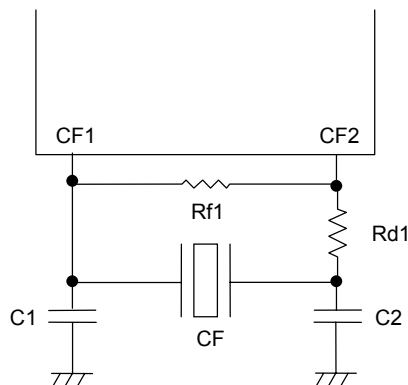


図1 CF 発振回路

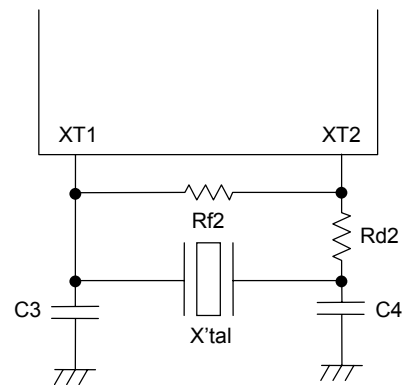


図2 XT 発振回路

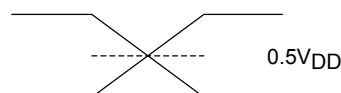
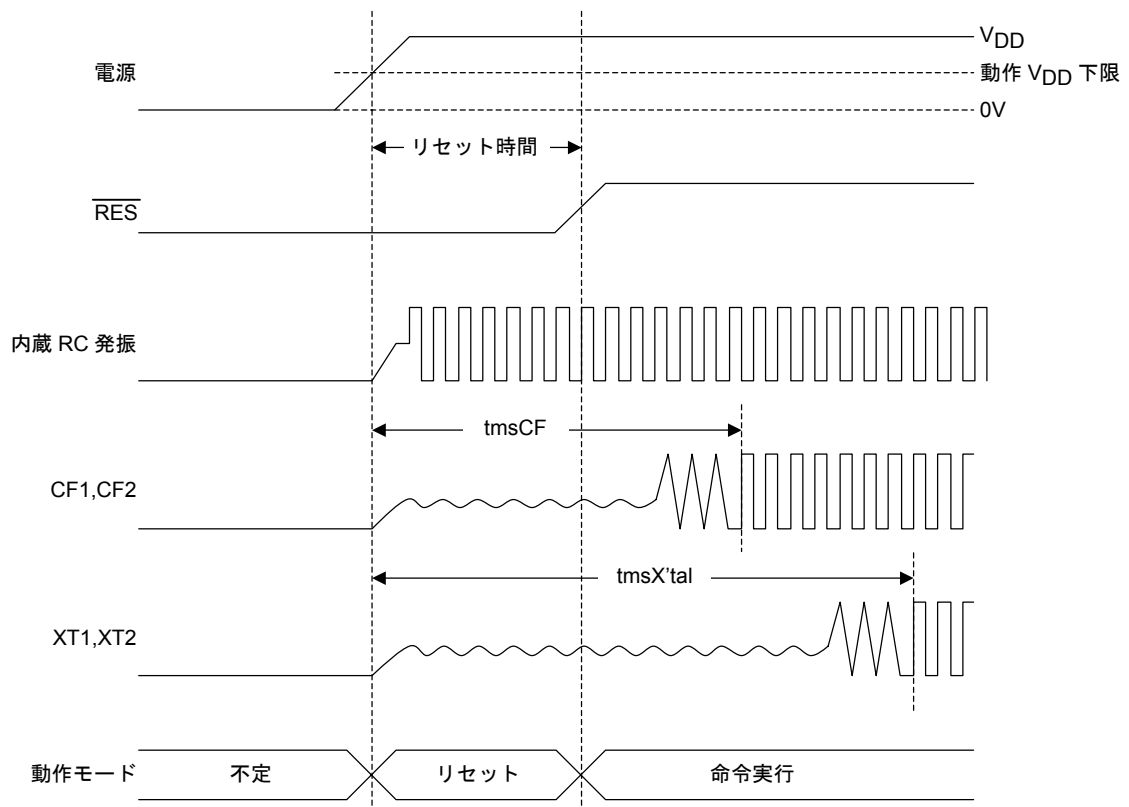
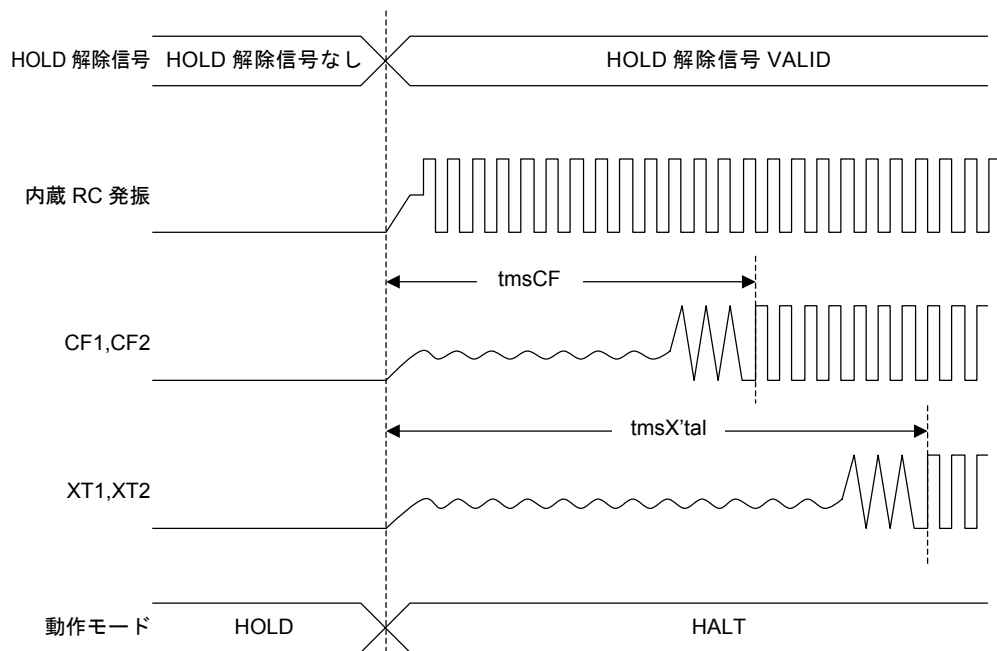


図3 ACタイミング測定点

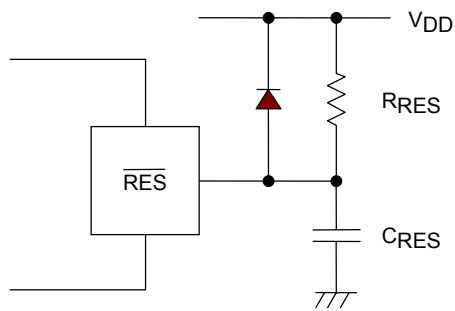


リセット時間と発振安定時間



HOLD 解除信号と発振安定時間

図4 発振安定時間



(注意) 電源が動作電源電圧の下限を上回ったあとに
200 μs までは必ずリセットがかかるように
 C_{RES} , R_{RES} の値を決めること。

図5 リセット回路

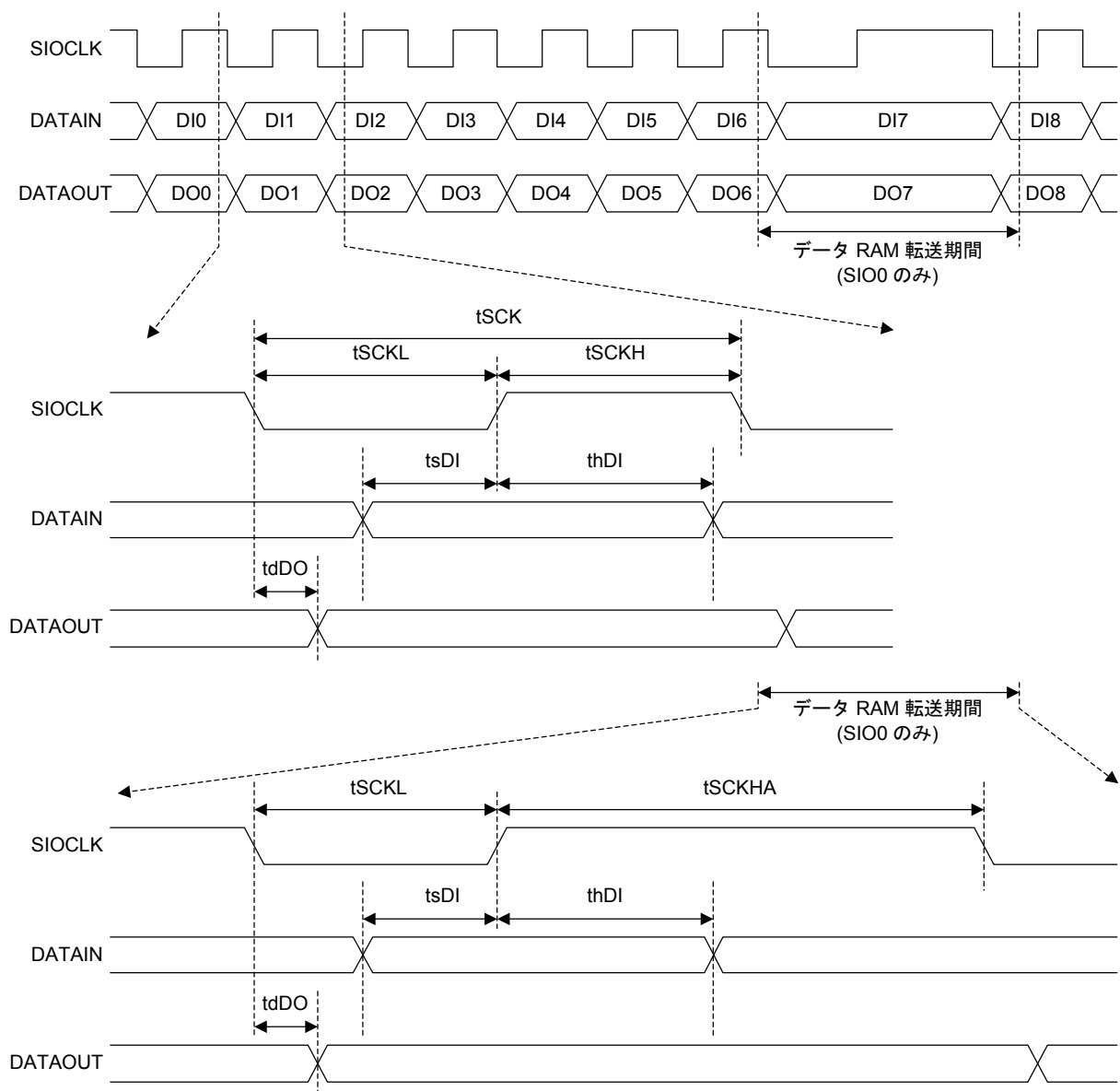


図6 シリアル入出力波形

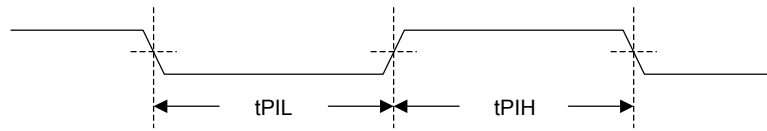


図7 パルス入力タイミング波形

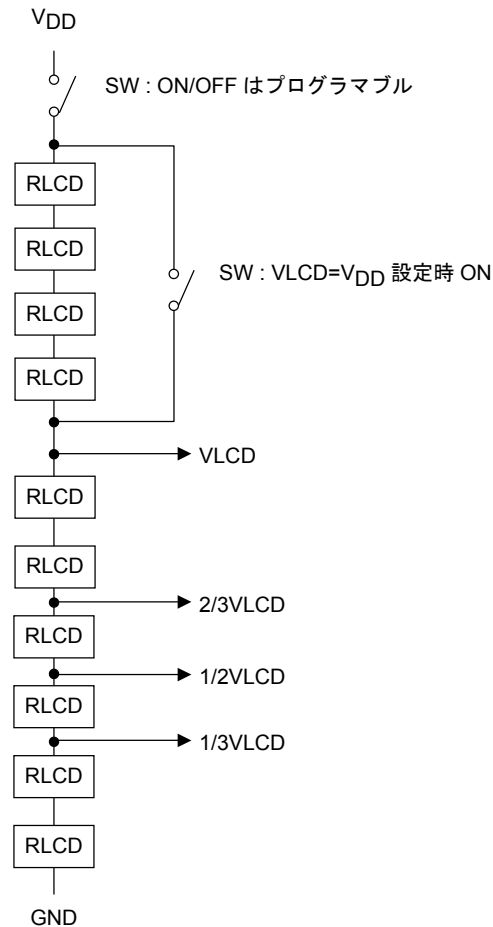


図8 LCDバイアス抵抗

- 本書記載の製品は、定められた条件下において、記載部品単体の性能・特性・機能などを規定するものであり、お客様の製品（機器）での性能・特性・機能などを保証するものではありません。部品単体の評価では予測できない症状・事態を確認するためにも、お客様の製品で必要とされる評価・試験を必ず行って下さい。
- 弊社は、高品質・高信頼性の製品を供給することに努めております。しかし、半導体製品はある確率で故障が生じてしまいます。この故障が原因となり、人命にかかわる事故、発煙・発火事故、他の物品に損害を与えてしまう事故などを引き起こす可能性があります。機器設計時には、このような事故を起こさないような、保護回路・誤動作防止回路等の安全設計、冗長設計・機構設計等の安全対策を行って下さい。
- 本書記載の製品が、外国為替及び外国貿易法に定める規制貨物（役務を含む）に該当する場合、輸出する際に同法に基づく輸出許可が必要です。
- 弊社の承諾なしに、本書の一部または全部を、転載または複製することを禁止します。
- 本書に記載された内容は、製品改善および技術改良等により将来予告なしに変更することがあります。したがって、ご使用の際には、「納入仕様書」でご確認下さい。
- この資料の情報（掲載回路および回路定数を含む）は一例を示すもので、量産セットとしての設計を保証するものではありません。また、この資料は正確かつ信頼すべきものであると確信しておりますが、その使用にあたって第三者の工業所有権その他の権利の実施に対する保証を行うものではありません。