

SANYO**三洋半導体開発ニュース**

No. N 6734

O2000

LC864016B / 12B / 08B

CMOS LSI

暫定規格

ROM16K / 12K / 8K バイト

RAM256 バイト, CRT 表示用 RAM528 バイト内蔵

8ビット1チップマイクロコンピュータ**概要**

LC864016B / 12B / 08B は、最小バスサイクルタイム 0.5 μ s で動作する CPU 部を核に、16K / 12K / 8K バイト ROM, 256 バイト RAM, 528 バイト CRT 表示用 RAM, キャプション / OSD 機能 (クローズドキャプション機能の実現には LA7945 等のフロントエンド IC が必要), 16 ビットタイマ / カウンタ, 10 チャンネル $\times$ 7 ビット PWM, 4 チャンネル $\times$ 4 ビット AD コンバータ, 8 ビット同期式シリアルインタフェース, 2 系統の入出力端子を内蔵した I²C バス対応シリアルインタフェース, 11 要因 9 ベクタ割り込み機能等を 1 チップに集積したクローズドキャプション TV 制御用 8 ビットマイクロコンピュータです。

特長

■ ROM

幅広いプログラム ROM バリエーション : 16K / 12K / 8K バイト

- 16384 $\times$ 8 ビット (LC864016B)
- 12288 $\times$ 8 ビット (LC864012B)
- 8192 $\times$ 8 ビット (LC864008B)

■ RAM

- 256 $\times$ 8 ビット
- 528 $\times$ 8 ビット (CRT 表示用)

■ CRT 表示用 RAM

フルビデオ RAM 32 文字 $\times$ 16 行 : 528 $\times$ 8 ビット

注意: 本製品は I²C バス・インタフェース回路を部分的に内蔵しています。ソフトウェアと組み合わせで I²C バス・インタフェースを利用することができます。

I²C バス・インタフェースを利用する場合には、プログラム ROM コードをご発注頂く時に、事前にその旨ご申告下さい。申告に基づき、以下の特典が受けられます。

Purchase of SANYO I²C components conveys a license under the Philips I²C Patents Rights to use these components in an I²C system, provided that the system conforms to the I²C Standard Specification as defined by Philips.

■本書記載の製品は、極めて高度の信頼性を要する用途(生命維持装置、航空機のコントロールシステム等、多大な人的・物的損害を及ぼす恐れのある用途)に対応する仕様にはなっていません。そのような場合には、あらかじめ三洋電機販売窓口までご相談下さい。

■本書記載の規格値(最大定格、動作条件範囲等)を瞬時たりとも越えて使用し、その結果発生した機器の欠陥について、弊社は責任を負いません。

■ OSD 機能

- ・FCC オプション機能実現を可能
 - 1) テキストモード
 - 2) カラー文字表示
 - 3) 小文字表示
 - 4) イタリック文字表示

■ LC864000 シリーズ表示機能について

	項 目	FCC 規格	LC864000	備 考	LC864000 シリーズ機能
1.	テキストモード	オプション		15 行表示	
2.	キャプションモード 1) ロール・アップ 2) ポップ・オン 3) ペイント・オン 4) カラー表示 5) イタリック文字表示 6) アンダーライン表示 7) フラッシュ表示	オプション		最大 4 行表示 最大 4 行表示 最大 4 行表示	・最大表示文字数：32 文字 × 16 行 ・キャラクタ色：8 色 ・全背景色出力可：8 色 ・ラウンディング ・キャラクタジェネレータ ROM： 6 × 9 ドット × 128 文字 112 文字：キャプション・スタンダード(固定) 16 文字：任意設定可
3.	OSD モード 1) 8 行 / 16 行 表示切り換え 2) 標準 / 2 倍 / 4 倍文字表示 3) バックグラウンド色 4) フリンジ (文字縁取り)	— — — —		8 色 8 色	

*キャプションモードを使用する際には、LA7945 等のデータスライサを御使用ください。

■ 内蔵端子

- ・R, G, B, BL 出力端子内蔵
- ・外部 RGB 信号入力可能 (RI, GI, BI, BLI)

■ バスサイクルタイム / 命令サイクルタイム

LC864016B / 12B / 08B は 1 命令サイクルタイムに ROM を 2 回読み出す構成のために当社の 4 ビットマイコン (LC66000 シリーズ) に比較して同じ命令サイクルタイムでも約 1.7 倍の処理能力を持ちます。

バスサイクルタイムは ROM の読み出し速度を表します。

バスサイクルタイム	命令サイクルタイム	システムクロック発振源	発振周波数	電源電圧
0.5μs	1.0μs	セラミック (CF) 発振	12MHz	4.5 ~ 5.5V
7.5μs	15.0μs	内蔵 RC 発振	800kHz	4.5 ~ 5.5V

■ ポート

- ・入出力ポート : 3 ポート (20 本)
- ニブル単位で入出力指定可能なポート : 1 ポート (8 本)
- ビット単位で入出力指定可能なポート : 2 ポート (12 本)
- 15V 耐圧ポート : 1 ポート (4 本)
- ・入力ポート : 2 ポート (8 本)
- ・15V 耐圧出力ポート : 1 ポート (6 本)

■ AD コンバータ

- ・4 チャンネル × 4 ビット AD コンバータ

■ シリアルインタフェース

- ・I²C バス対応シリアルインタフェース
- ・8 ビットシリアルインタフェース(LSB / MSB 先頭切り換え可能)
- ・8 ビットボーレートジェネレータ内蔵

■ 10 チャンネル× 7 ビット PWM 出力

- ・PWM 専用出力端子内蔵
- ・スタティック出力可能 (プログラマブル)

■ タイマ

- ・タイマ 0 : 16 ビットタイマ / カウンタ
 - 2 ビットプリスケアラ + 8 ビットプログラマブルプリスケアラ内蔵
 - モード 0 : プログラマブルプリスケアラ付き 8 ビットタイマ × 2 チャンネル
 - モード 1 : プログラマブルプリスケアラ付き 8 ビットタイマ + 8 ビットカウンタ
 - モード 2 : プログラマブルプリスケアラ付き 16 ビットタイマ
 - モード 3 : 16 ビットカウンタ
 - タイマの分解能は tCYC 固定。
- ・ベースタイマ : クロック選択機能
 - システムクロック、タイマ 0 のプログラマブルプリスケアラ出力より選択

■ リモコン受信回路 (P73 / INT3 / T0IN 端子と共用)

- ・ノイズ除去機能
- ・極性切り換え機能

■ ウォッチドッグタイマ

- ・RC 外付けによるウォッチドッグタイマ
- ・割り込み、システムリセットの選択可能

■ 割り込み

- ・11 要因 9 ベクタ
 - (1) 外部割り込み INT0
 - (2) 外部割り込み INT1
 - (3) 外部割り込み INT2, タイマ / カウンタ T0L (下位 8 ビット)
 - (4) 外部割り込み INT3, ベースタイマ
 - (5) タイマ / カウンタ T0H (上位 8 ビット)
 - (6) シリアルインタフェース 0 (SIO0)
 - (7) I²C
 - (8) キャプション / OSD (垂直同期信号割り込み)
 - (9) ポート 0
- ・割り込み優先レジスタ内蔵

マイコンの割り込みは低レベル, 高レベル, 最高レベルの 3 レベルの多重割り込みが可能です。外部割り込み INT2, タイマ / カウンタ T0L (下位 8 ビット) から、ポート 0 の 7 つの割り込み要因は、割り込み優先レジスタにより低レベル, 高レベルの割り込み優先が指定できます。

また、外部割り込み INT0, INT1 は、低レベル, 最高レベルの割り込み優先が指定できます。

■ サブルーチンスタックレベル

- ・最大 128 レベル (スタックは RAM の中に設定)

■ 高速乗除算命令内蔵

- ・16 ビット × 8 ビット (実行時間 : 7 命令サイクルタイム)
- ・16 ビット ÷ 8 ビット (実行時間 : 7 命令サイクルタイム)

■ 3 種類の発振回路

- RC 発振回路(内蔵) : システムクロック用
- CF 発振回路 : システムクロック用
- LC 発振回路 : CRT 同期用

■ スタンバイ機能

• HALT モード

命令の実行を停止するモードであり、リセットまたは割り込みの発生により解除可能です。

• HOLD モード

CF 発振、RC 発振を停止するモードです。HOLD モードを解除するには、次の3つの方法があります。

- 1) リセット端子に 'L' レベルを入力する。
- 2) P70 / INT0 端子または P71 / INT1 端子に指定されたレベルを入力する。
- 3) ポート 0 で割り込み条件が成立する。

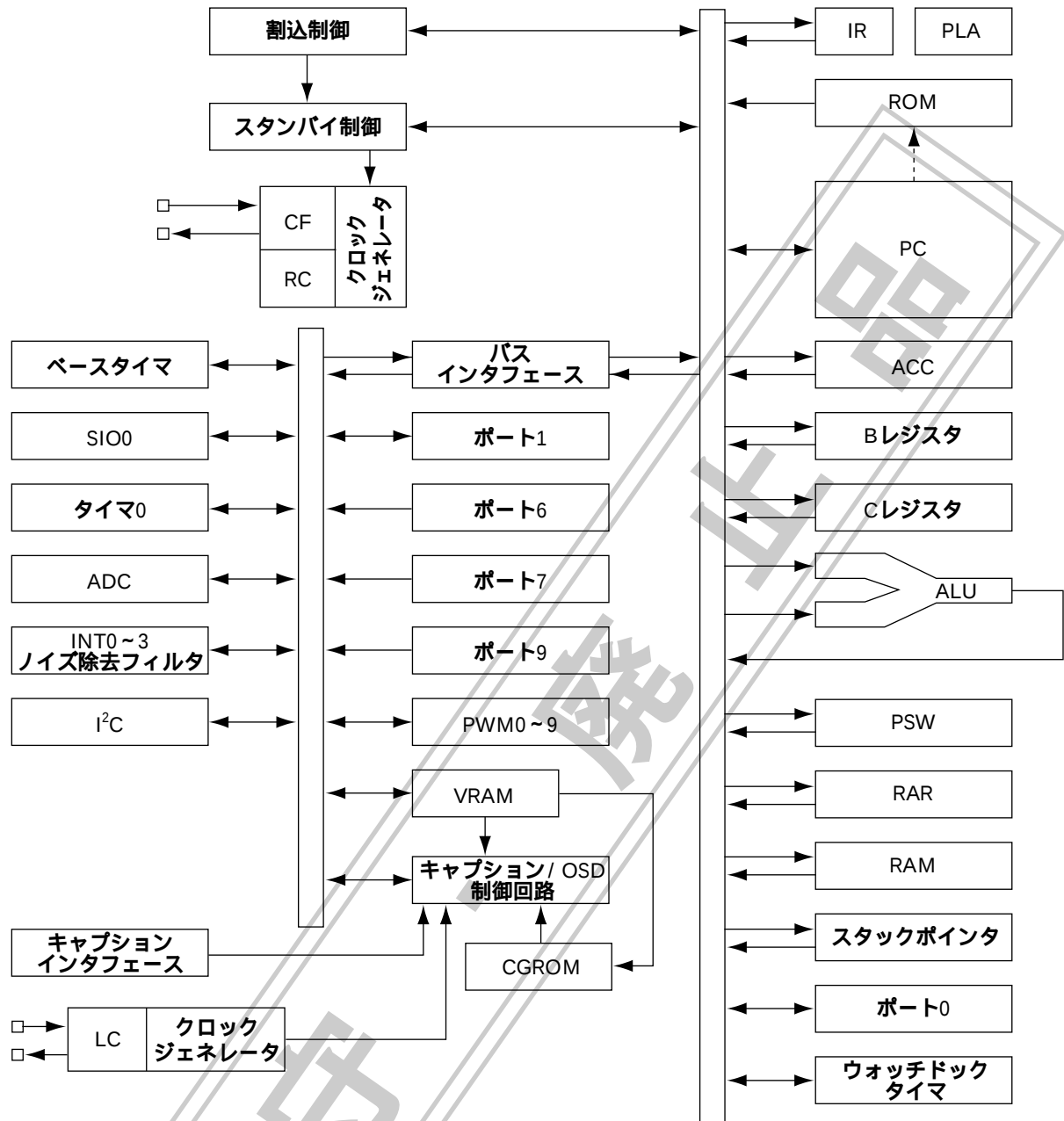
■ 出荷形態

- DIP52S

■ 開発ツール

- エバチップ : LC864098
- 窓付き EPROM : LC86E4032
- ワンタイム : LC86P4032
- エミュレータ : EVA86000(本体) + ECB864000(エバチップボード) + POD864000(ポッド)

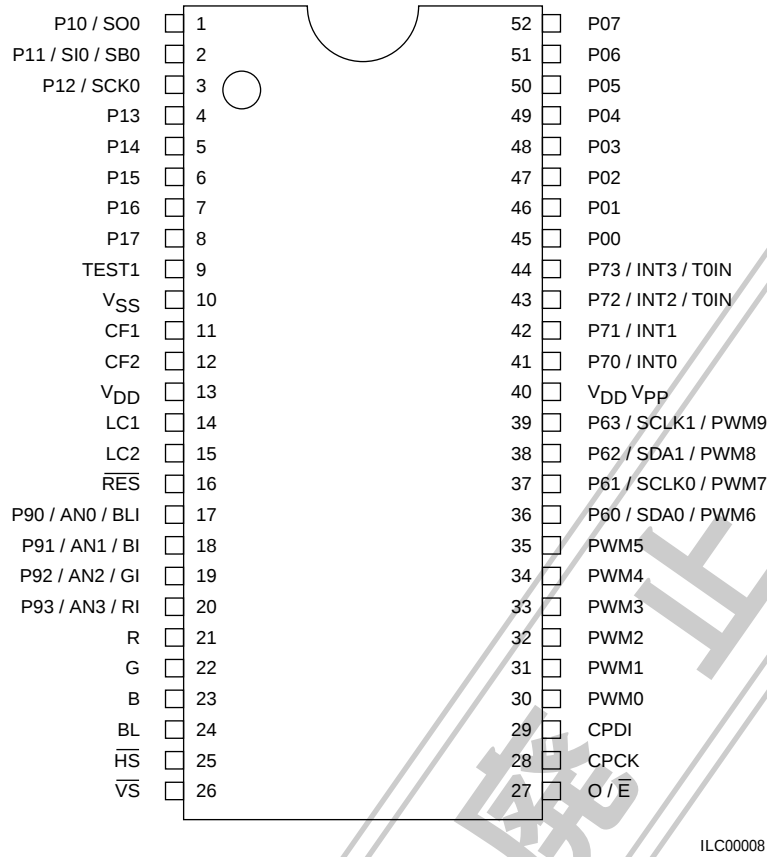
システムブロック図



ILC00033

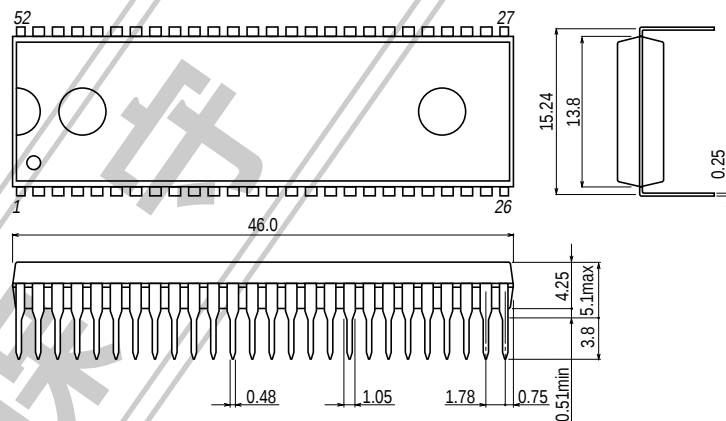
LC864016B/12B/08B

端子配列



外形図 3128

(unit : mm)

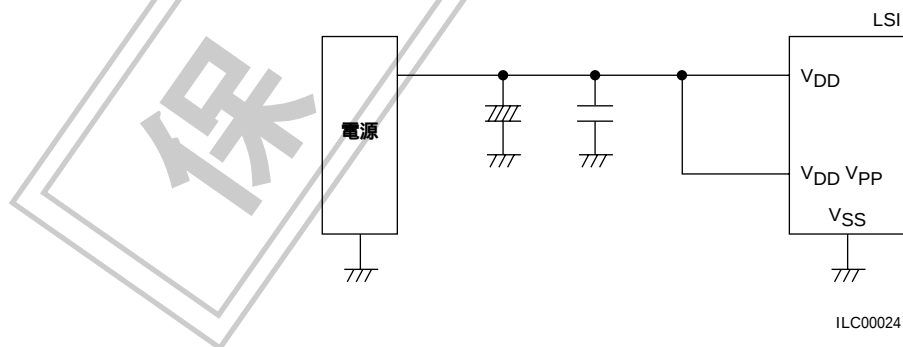


SANYO : DIP52S(600mil)

端子機能

端子名	番号	入出力	機能説明	オプション
TEST1	9	出力	テスト端子 (オープンで使用)	
VSS	10	-	電源の - 端子	
CF1	11	入力	セラミック発振子用入力端子	
CF2	12	出力	セラミック発振子用出力端子	
VDD	13	-	電源の + 端子	
LC1	14	入力	LC 発振回路入力端子	
LC2	15	出力	LC 発振回路出力端子	
RES	16	入力	リセット端子	
R	21	出力	RGB 映像出力の赤(R)出力端子	
G	22	出力	RGB 映像出力の緑(G)出力端子	
B	23	出力	RGB 映像出力の青(B)出力端子	
BL	24	出力	ファストブランキング (fast blanking) 制御記号 TV の映像信号とキャプション / OSD の映像信号の切り換え	
HS	25	入力	水平同期信号入力端子 (Horizontal Sync signal)	
VS	26	入力	垂直同期信号入力端子 (Vertical Sync signal)	
O / E	27	入力	フィールド制御端子 (キャプションデータスライサと接続)	
CPCK	28	入力	キャプションクロック入力端子 (キャプションデータスライサと接続)	
CPDI	29	入力	キャプションデータ入力端子 (キャプションデータスライサと接続)	
PWM0 ~ PWM5	30 ~ 35	出力	PWM0 ~ 5 の専用出力端子 15V 耐圧	
VDDVPP *1	40	-	電源の + 端子	
ポート 0 P00 ~ P07	45 ~ 52	入出力	8 ビットの入出力ポート 4 ビット単位の入出力指定可能 HOLD 解除入力 割り込み入力	プルアップ抵抗 有 / 無 出力形式 CMOS / Nch-OD
ポート 1 P10 ~ P17	1 ~ 8	入出力	8 ビットの入出力ポート 1 ビット単位の入出力指定可能 端子機能 P10 SIO0 データ出力 P11 SIO0 データ入力 / バス入出力 P12 SIO0 クロック入出力	出力形式 CMOS / Nch-OD

*1 VDD 端子と VDDVPP 端子は電氣的にショートしてください。



端子名	番号	入出力	機能説明	オプション																																													
ポート 6	36 ~ 39	入出力	4 ビットの入出力ポート																																														
P60 ~ P63			1 ビット単位の入出力指定可能 15V 耐圧 端子機能 <table><tr><td>P60</td><td>I²C データ入出力 / PWM6 出力</td></tr><tr><td>P61</td><td>I²C クロック出力 / PWM7 出力</td></tr><tr><td>P62</td><td>I²C データ入出力 / PWM8 出力</td></tr><tr><td>P63</td><td>I²C クロック出力 / PWM9 出力</td></tr></table>		P60	I ² C データ入出力 / PWM6 出力	P61	I ² C クロック出力 / PWM7 出力	P62	I ² C データ入出力 / PWM8 出力	P63	I ² C クロック出力 / PWM9 出力																																					
P60	I ² C データ入出力 / PWM6 出力																																																
P61	I ² C クロック出力 / PWM7 出力																																																
P62	I ² C データ入出力 / PWM8 出力																																																
P63	I ² C クロック出力 / PWM9 出力																																																
ポート 7	41 42 ~ 44	入出力 入力	4 ビットの入力ポート	プルアップ抵抗 有 / 無																																													
P70 P71 ~ P73			端子機能 <table><tr><td>P70</td><td>INT0 入力 / HOLD 解除入力 / ウォッチドッグタイマ用 Nch-Tr 出力</td></tr><tr><td>P71</td><td>INT1 入力 / HOLD 解除入力</td></tr><tr><td>P72</td><td>INT2 入力 / タイマ 0 イベント入力</td></tr><tr><td>P73</td><td>INT3 入力 (ノイズ除去フィルタ付入力) / タイマ 0 イベント入力</td></tr></table> インタラプト受付形式、ベクタアドレス <table><tr><td></td><td>立 ち 上 が り</td><td>立 ち 下 が り</td><td>立 ち 上 が り</td><td>立 ち 下 が り</td><td>H レ ベ ル</td><td>L レ ベ ル</td><td>ベ ク タ</td></tr><tr><td>INT0</td><td>○</td><td>○</td><td>×</td><td>○</td><td>○</td><td>○</td><td>03H</td></tr><tr><td>INT1</td><td>○</td><td>○</td><td>×</td><td>○</td><td>○</td><td>○</td><td>0BH</td></tr><tr><td>INT2</td><td>○</td><td>○</td><td>○</td><td>×</td><td>×</td><td>×</td><td>13H</td></tr><tr><td>INT3</td><td>○</td><td>○</td><td>○</td><td>×</td><td>×</td><td>×</td><td>1BH</td></tr></table>		P70	INT0 入力 / HOLD 解除入力 / ウォッチドッグタイマ用 Nch-Tr 出力	P71	INT1 入力 / HOLD 解除入力	P72	INT2 入力 / タイマ 0 イベント入力	P73	INT3 入力 (ノイズ除去フィルタ付入力) / タイマ 0 イベント入力		立 ち 上 が り	立 ち 下 が り	立 ち 上 が り	立 ち 下 が り	H レ ベ ル	L レ ベ ル	ベ ク タ	INT0	○	○	×	○	○	○	03H	INT1	○	○	×	○	○	○	0BH	INT2	○	○	○	×	×	×	13H	INT3	○	○	○	×
P70	INT0 入力 / HOLD 解除入力 / ウォッチドッグタイマ用 Nch-Tr 出力																																																
P71	INT1 入力 / HOLD 解除入力																																																
P72	INT2 入力 / タイマ 0 イベント入力																																																
P73	INT3 入力 (ノイズ除去フィルタ付入力) / タイマ 0 イベント入力																																																
	立 ち 上 が り	立 ち 下 が り	立 ち 上 が り	立 ち 下 が り	H レ ベ ル	L レ ベ ル	ベ ク タ																																										
INT0	○	○	×	○	○	○	03H																																										
INT1	○	○	×	○	○	○	0BH																																										
INT2	○	○	○	×	×	×	13H																																										
INT3	○	○	○	×	×	×	1BH																																										
ポート 9	17 ~ 20	入力	4 ビットの入力ポート																																														
P90 ~ P93			端子機能 AD 変換入力ポート (4 本) 外部 RGB 映像信号入力ポート <table><tr><td>P90</td><td>BLI</td><td>外部 RGB 映像信号入力</td></tr><tr><td>P91</td><td>BI</td><td>外部 RGB 映像信号入力</td></tr><tr><td>P92</td><td>GI</td><td>外部 RGB 映像信号入力</td></tr><tr><td>P93</td><td>RI</td><td>外部 RGB 映像信号入力</td></tr></table>		P90	BLI	外部 RGB 映像信号入力	P91	BI	外部 RGB 映像信号入力	P92	GI	外部 RGB 映像信号入力	P93	RI	外部 RGB 映像信号入力																																	
P90	BLI	外部 RGB 映像信号入力																																															
P91	BI	外部 RGB 映像信号入力																																															
P92	GI	外部 RGB 映像信号入力																																															
P93	RI	外部 RGB 映像信号入力																																															

リセット期間中の端子の状態

端子名	入出力モード	オプションでプルアップオプション有 指定時のプルアップ抵抗の状態
ポート 0, 7	入力	固定プルアップ抵抗有り
ポート 1	入力	プログラマブルプルアップ抵抗 OFF

LC864016B/12B/08B

1. 絶対最大定格 / Ta=25 , VSS=0V

項目	記号	適用端子・備考	条件	VDD[V]	規格			
					min	typ	max	unit
最大電源電圧	VDDMAX	VDD, VDDVPP	VDD=VDDVPP		- 0.3	~	+ 7.0	V
入力電圧	VI(1)	・ポート 71, 72, 73, 9 ・RES, HS, VS, CPCK ・CPDI, O / E			- 0.3	~	VDD + 0.3	
出力電圧	VO(1)	R, G, B, BL			- 0.3	~	VDD + 0.3	
	VO(2)	PWM0 ~ PWM5			- 0.3	~	15	
入出力電圧	VI/O(1)	ポート 0, 1, 70			- 0.3	~	VDD + 0.3	
	VI/O(2)	ポート 6			- 0.3	~	15	
高レベル出力電流	ピーク出力電流	IOPH(1)	ポート 0, 1	ブルアップ MOS Tr. 出力 適用 1 端子当り	- 2			mA
		IOPH(2)	ポート 0, 1	CMOS 出力 適用 1 端子当り	- 4			
		IOPH(3)	R, G, B, BL	CMOS 出力 適用 1 端子当り	- 5			
	合計出力電流	Σ IOAH(1)	ポート 1	適用全端子合計	- 10			
		Σ IOAH(2)	ポート 0	適用全端子合計	- 10			
		Σ IOAH(3)	R, G, B, BL	適用全端子合計	- 12			
低レベル出力電流	ピーク出力電流	IOPL(1)	ポート 0, 1	適用 1 端子当り			20	
		IOPL(2)	ポート 70	適用 1 端子当り			30	
		IOPL(3)	・R, G, B, BL ・ポート 6 ・PWM0 ~ PWM5	適用 1 端子当り			5	
	合計出力電流	Σ IOAL(1)	ポート 0	適用全端子合計			40	
		Σ IOAL(2)	ポート 1, 70	適用全端子合計			40	
		Σ IOAL(3)	R, G, B, BL	適用全端子合計			12	
		Σ IOAL(4)	・ポート 6 ・PWM0 ~ PWM5	適用全端子合計			30	
許容消費電力	Pdmax	DIP52S	Ta= - 30 ~ + 70				430	mW
動作周囲温度	Topg				- 30	~	70	
保存周囲温度	Tstg				- 55	~	150	

LC864016B/12B/08B

2. 許容動作範囲 / Ta = - 30 ~ + 70 , VSS=0V

項目	記号	適用端子・備考	条件	規格				
				VDD[V]	min	typ	max	unit
動作電源電圧	VDD	VDD	0.98μs tCYC tCYC 1.02μs		4.5		5.5	V
メモリ保持電源電圧	VHD	VDD	HOLD モード時 RAM, レジスタ保持		2.0		5.5	
高レベル入力電圧	VIH(1)	ポート0(シュミット)	出力ディセーブル	4.5 ~ 5.5	0.6VDD		VDD	
	VIH(2)	・ポート1(シュミット) ・ポート6 ・ポート72, 73 ・HS, VS, O / E ・CPCK, CPDI ・ポート9 外部 RGB, BL 入力	出力ディセーブル	4.5 ~ 5.5	0.75VDD		VDD	
	VIH(3)	・ポート70 ポート入力 / 割り込み側 ・ポート71 ・RES (シュミット)	出力 Nch Tr. オフ	4.5 ~ 5.5	0.75VDD		VDD	
	VIH(4)	ポート70 ウォッチドッグタイマ側	出力 Nch Tr. オフ	4.5 ~ 5.5	VDD - 0.5		VDD	
	VIH(5)	ポート9 ポート入力		4.5 ~ 5.5	0.7VDD		VDD	
低レベル入力電圧	VIL(1)	ポート0(シュミット)	出力ディセーブル	4.5 ~ 5.5	VSS		0.2VDD	
	VIL(2)	・ポート1(シュミット) ・ポート6 ・ポート72, 73 ・HS, VS, O / E ・CPCK, CPDI ・ポート9 外部 RGB, BL 入力	出力ディセーブル	4.5 ~ 5.5	VSS		0.25VDD	
	VIL(3)	・ポート70 ポート入力 / 割り込み側 ・ポート71 ・RES(シュミット)	Nch Tr. オフ	4.5 ~ 5.5	VSS		0.25VDD	
	VIL(4)	ポート70 ウォッチドッグタイマ側	Nch Tr. オフ	4.5 ~ 5.5	VSS		0.6VDD	
	VIL(5)	ポート9 ポート入力		4.5 ~ 5.5	VSS		0.3VDD	
命令サイクルタイム	tCYC(1)		OSD 機能	4.5 ~ 5.5	0.98	1	1.02	μs
	tCYC(2)		OSD 機能無し	4.5 ~ 5.5	0.98		30	
発振周波数範囲 (注1)	FmCF	CF1, CF2	12MHz セラミック発振時 図1参照	4.5 ~ 5.5	11.76	12	12.24	MHz
	FmLC	LC1, LC2	12.5MHz LC 発振 図2参照	4.5 ~ 5.5	11		13.2	
	FmRC		内蔵 RC 発振	4.5 ~ 5.5	0.4	0.8	2.0	
発振安定時間 (注2)	tmsCF	CF1, CF2	12MHz セラミック発振時 図4参照	4.5 ~ 5.5		0.02	0.2	ms

(注1) 発振定数は表1, 2参照のこと。なお、LC 発振周波数はセラミック発振周波数 ± 100kHz を避けること。

www.Data LC 発振特性は図3を参考のこと。

(注2) 発振安定時間は、電源印加後、HOLD モード解除後、メインクロック発振停止解除後、発振が安定するのに必要な時間です。図4参照のこと。

LC864016B/12B/08B

3. 電気的特性 / Ta = - 30 ~ + 70 , VSS=0V

項目	記号	適用端子・備考	条件	規格				
				VDD[V]	min	typ	max	unit
高レベル入力電流	I _{IH} (1)	・ポート1 ・プルアップ MOS Tr. 無しのポート0	出力ディセーブル プルアップ MOS Tr. オフ V _{IN} =V _{DD} (出力 Tr. のオフリーク電流を含む)	4.5 ~ 5.5			1	μA
	I _{IH} (2)	・プルアップ MOS Tr. 無しのポート7 ・Nch-MOS Tr. off 時のポート6 ・ポート9 ・ $\overline{\text{RES}}$ ・ $\overline{\text{HS}}$, $\overline{\text{VS}}$, O / $\overline{\text{E}}$ ・CPCK, CPDI	V _{IN} =V _{DD}	4.5 ~ 5.5			1	
低レベル入力電流	I _{IL} (1)	・ポート1 ・プルアップ MOS Tr. 無しのポート0	出力ディセーブル プルアップ MOS Tr. オフ V _{IN} =V _{SS} (出力 Tr. のオフリーク電流を含む)	4.5 ~ 5.5	- 1			
	I _{IL} (2)	・プルアップ MOS Tr. 無しのポート7 ・Nch-MOS Tr. off 時のポート6 ・ポート9	V _{IN} =V _{SS}	4.5 ~ 5.5	- 1			
	I _{IL} (3)	・ $\overline{\text{RES}}$ ・ $\overline{\text{HS}}$, $\overline{\text{VS}}$, O / $\overline{\text{E}}$ ・CPCK, CPDI	V _{IN} =V _{SS}	4.5 ~ 5.5	- 1			
高レベル出力電圧	V _{OH} (1)	・CMOS 出力の ポート0, 1	I _{OH} = - 1.0mA	4.5 ~ 5.5	V _{DD} - 1			V
	V _{OH} (2)	・R, G, B, BL	I _{OH} = - 0.1mA	4.5 ~ 5.5	V _{DD} - 0.5			
低レベル出力電圧	V _{OL} (1)	ポート0, 1	I _{OL} =10mA	4.5 ~ 5.5			1.5	
	V _{OL} (2)	ポート0, 1	・I _{OL} =1.6mA ・ポート0, 1の合計電流 は40mA以下の時	4.5 ~ 5.5			0.4	
	V _{OL} (3)	・ポート6 ・R, G, B, BL ・PWM0 ~ PWM5	・I _{OL} =3.0mA ・全端子の1本当たりの I _{OL} は3mA以下の時	4.5 ~ 5.5			0.4	
	V _{OL} (4)	ポート70	I _{OL} =1mA	4.5 ~ 5.5			0.4	
プルアップ MOS Tr. 抵抗	R _{pu}	・ポート0, 1 ・ポート7	V _{OH} =0.9V _{DD}	4.5 ~ 5.5	13	38	80	kΩ
出力オフリーク電流	I _{OFF} (1)	・ポート6 ・PWM0 ~ PWM5	V _{OUT} =13.5V	4.5 ~ 5.5			5	μA
ヒステリシス電圧	V _{HIS}	・ポート0, 1 ・ポート6, 7 ・ $\overline{\text{RES}}$ ・ $\overline{\text{HS}}$, $\overline{\text{VS}}$, O / $\overline{\text{E}}$ ・CPCK, CPDI	出力ディセーブル	4.5 ~ 5.5		0.1V _{DD}		V
端子容量	CP	全端子	・f=1MHz ・被測定端子以外は、 V _{IN} =V _{SS} ・Ta=25	4.5 ~ 5.5		10		pF

LC864016B/12B/08B

4. シリアル入出力特性 / Ta = - 30 ~ + 70 , VSS=0V

項目		記号	適用端子・備考	条件	規格				
					VDD[V]	min	typ	max	unit
シリアルクロック入力	周期	tCKCY(1)	• SCK0	・図 6 参照	4.5 ~ 5.5	2			tCYC
	低レベルパルス幅	tCKL(1)	• SCLK0, SCLK1		4.5 ~ 5.5	1			
	高レベルパルス幅	tCKH(1)			4.5 ~ 5.5	1			
	周期	tCKCY(2)	• SCK0	・オープンドレイン出力時は 1kΩ のプルアップ抵抗を外付けする。 ・図 6 参照	4.5 ~ 5.5	2			
	低レベルパルス幅	tCKL(2)	• SCLK0, SCLK1		4.5 ~ 5.5		1 / 2tCKCY		
	高レベルパルス幅	tCKH(2)			4.5 ~ 5.5		1 / 2tCKCY		
シリアル入力	デ・タセットアップ時間	tICK	• SI0 • SB0 • SDA0 • SDA1	・SCK0, SCLK0, SCLK1 の立ち上がりに対して規定する。 ・図 6 参照	4.5 ~ 5.5	0.1			μs
	デ・タホールド時間	tICKI			4.5 ~ 5.5	0.1			
シリアル出力	シリアルクロックが外部クロック時の出力遅延時間	tCKO(1)	• SO0 • SB0 • SDA0 • SDA1	・SCK0, SCLK0, SCLK1 の立ち下がりに対して規定する。 ・オープンドレイン出力時は 1kΩ のプルアップ抵抗を外付けする。 ・図 6 参照	4.5 ~ 5.5			7 / 12tCYC + 0.2	
	シリアルクロックが内部クロック時の出力遅延時間	tCKO(2)	• SO0 • SB0 • SDA0 • SDA1	・SCK0, SCLK0, SCLK1 の立ち下がりに対して規定する。 ・オープンドレイン出力時は 1kΩ のプルアップ抵抗を外付けする。 ・図 6 参照	4.5 ~ 5.5			1 / 3tCYC + 0.2	

LC864016B/12B/08B

5. パルス入力条件 / Ta = - 30 ~ + 70 , VSS=0V

項目	記号	適用端子・備考	条件	VDD[V]	規格			
					min	typ	max	unit
高・低レベル パルス幅	tPIH(1) tPIL(1)	・INT0, INT1 ・INT2 / TOIN	・割り込み要因フラグ をセットできる。 ・タイマ / カウンタ0が パルスカウントできる。	4.5 ~ 5.5	1			tCYC
	tPIH(2) tPIL(2)	ノイズ除去フィルタの 時定数が1 / 1 の 場合の INT3 / TOIN	・割り込み要因フラグ をセットできる。 ・タイマ / カウンタ0が パルスカウントできる。	4.5 ~ 5.5	2			
	tPIH(3) tPIL(3)	ノイズ除去フィルタの 時定数が1 / 16 の 場合の INT3 / TOIN	・割り込み要因フラグ をセットできる。 ・タイマ / カウンタ0が パルスカウントできる。	4.5 ~ 5.5	32			
	tPIL(4)	RES	リセットできる。	4.5 ~ 5.5	200			μs
	tPIH(5) tPIL(5)	HS, VS	表示位置の制御ができる。 HS, VSのアクティブエッジ は、1tCYC 以上離れて いること。図8 参照	4.5 ~ 5.5	2			tCYC
立上がり / 立下がり 時間	tTHL, tTLH	HS	図8 参照	4.5 ~ 5.5			500	ns

6.AD 変換特性 / Ta = - 30 ~ + 70 , VSS=0V

項目	記号	適用端子・備考	条件	VDD[V]	規格			
					min	typ	max	unit
分解能						4		bit
絶対精度						± 1 / 4	± 1 / 2	LSB
コンパレート 変換時間	tCAD	Vref 選択後、変換 結果確定まで	1 ビット変換時間 = 2 × tCYC				1.96	μs
リファレンス電流	IREF		(ラダー抵抗を規定する)			1.0	2.0	mA
アナログ入力 電圧範囲	VAIN	AN0 ~ AN3			VSS		VDD	V
アナログポート 入力電流	IAINH		VAIN=VDD				1	μA
	IAINL		VAIN=VSS		- 1			

LC864016B/12B/08B

7. 消費電流特性 / Ta = - 30 ~ + 70 , VSS=0V

項目	記号	適用端子・備考	条件	VDD[V]	規格			
					min	typ	max	unit
通常動作時消費電流 (注4)	IDDOP(1)	VDD	・FmCF=12MHz セラミック発振時 ・FmLC=12.5MHz LC 発振時 ・システムクロックは12MHz側 ・内蔵RC発振は停止	4.5 ~ 5.5		15	25	mA
HALT モード消費電流 (注4)	IDDHALT(1)	VDD	・HALT モード ・FmCF=12MHz セラミック発振時 ・FmLC=0Hz (発振停止) ・システムクロックは12MHz側 ・内蔵RC発振は停止	4.5 ~ 5.5		5	10	mA
	IDDHALT(2)	VDD	・HALT モード ・FmCF=0MHz (発振停止) ・FmLC=0Hz (発振停止) ・システムクロックは内蔵RC	4.5 ~ 5.5		400	800	μA
HOLD モード消費電流 (注4)	IDDHOLD(1)	VDD	・HOLD モード ・全発振停止	4.5 ~ 5.5		0.05	20	μA
	IDDHOLD(2)							

(注4) 消費電流は出力 Tr. およびプルアップ MOS Tr. に流れる電流を含まない。

表1 セラミック発振保証定数 (メインクロック)

発振の種類	メ - カ	発振子	C1	C2
12MHz セラミック発振	ムラタ	CSA12.0MTZ	33pF	33pF
		CSA12.0MT	33pF	33pF
		CST12.0MT	内蔵	
	京セラ	KBR-12.0M	22pF	22pF

C1 , C2 はK公差 (± 10%) SL 特性を使用すること。

表2 LC 発振推奨定数 (OSD クロック)

発振の種類	L	C3	C4
12.5MHz LC 発振	12μH	16pF	16pF

- (注意) ・回路パタ - ンの影響を受けるので、発振に関わる部品はできるだけパタ - ン長を伸ばさないように近くに配置すること。
 ・上記以外の発振子を用いた場合には、特性を保証できない。

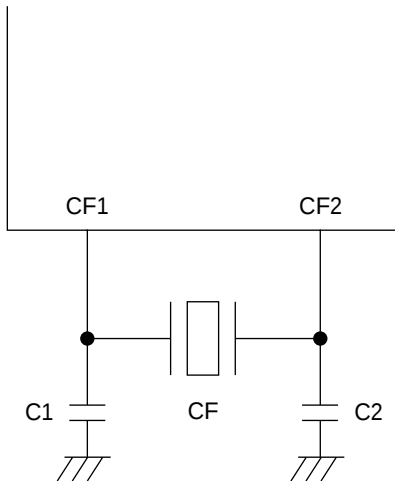


図1 メインクロック（セラミック発振）

ILC00054

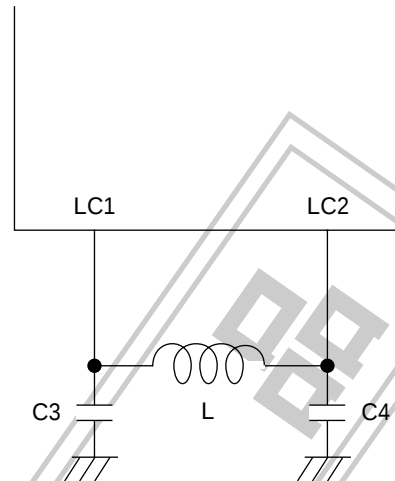
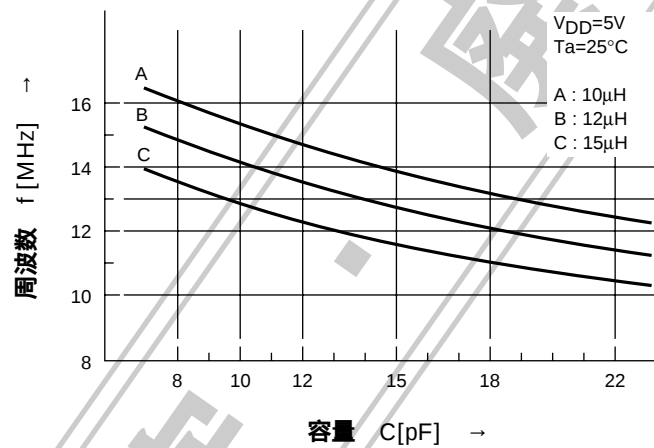


図2 OSDクロック（LC発振）

ILC00055



この特性曲線は参考値であり、特性の保証を行うものではない。

図3 LC発振周波数特性

ILC00056

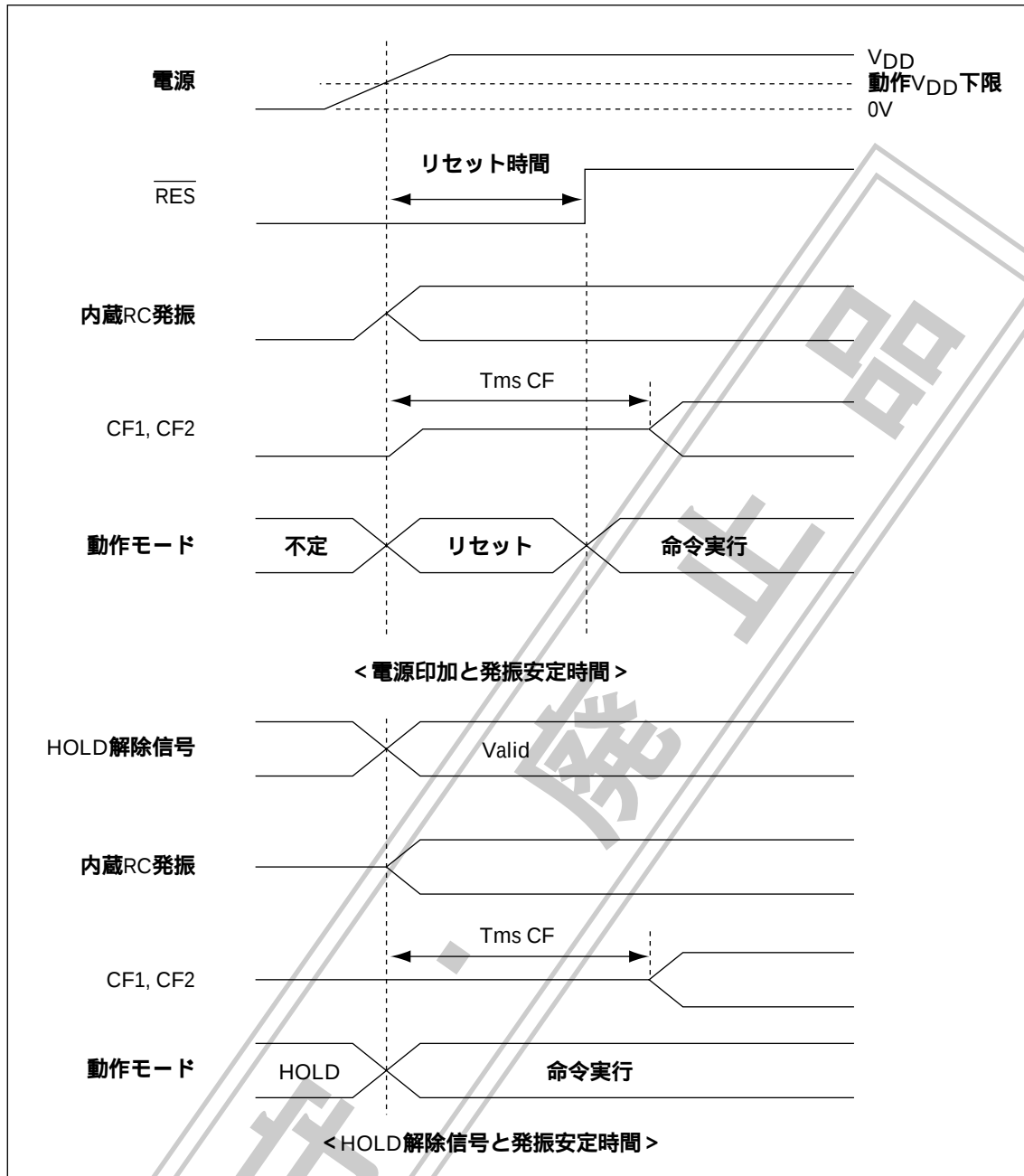
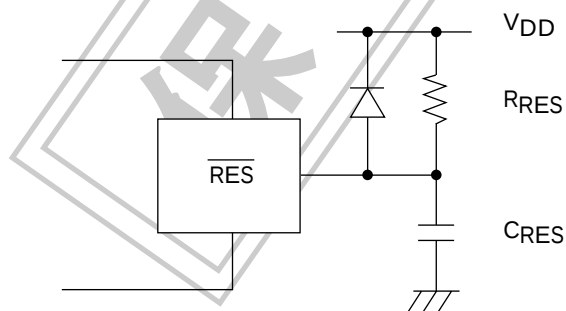


図4 発振安定時間

ILC00049



(注意) リセット時間が $200\mu\text{s}$ 以上になるように
 R_{RES} , C_{RES} の値を決めること。

図5 リセット回路

ILC00050

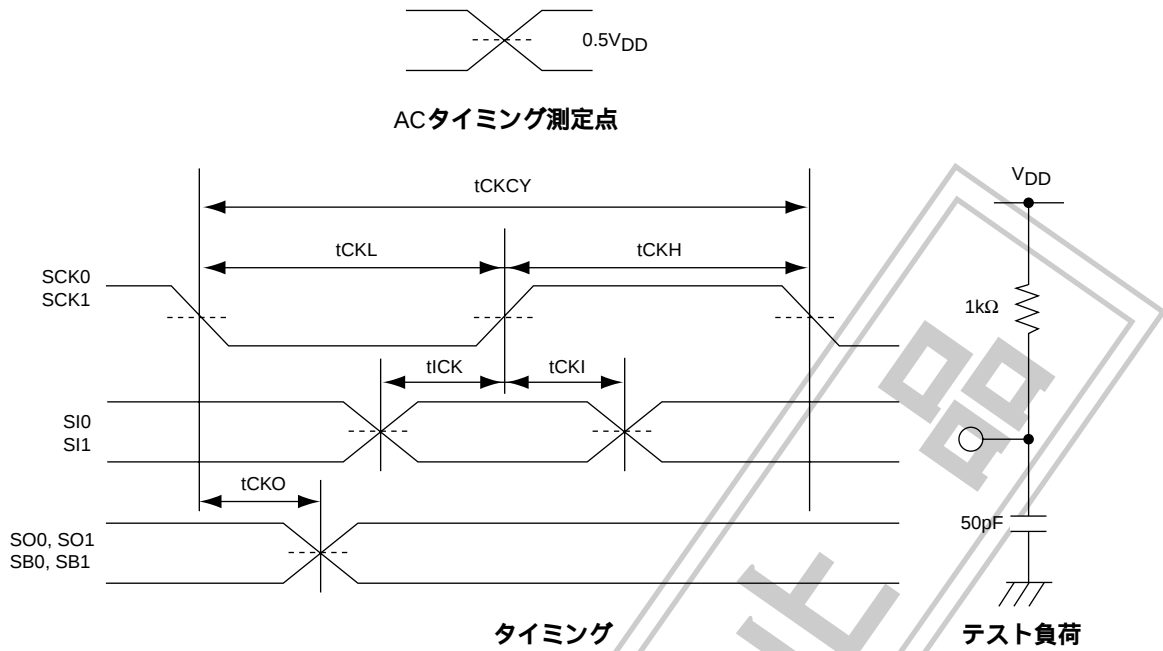


図6 シリアル入出力テスト条件

ILC00077

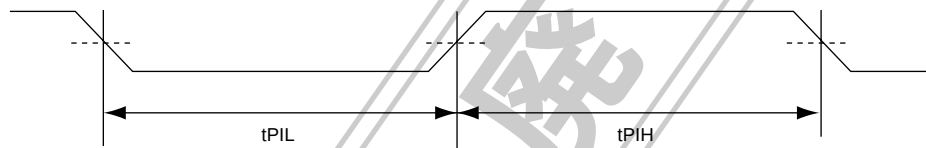


図7 パルス入力タイミング条件1

ILC00078

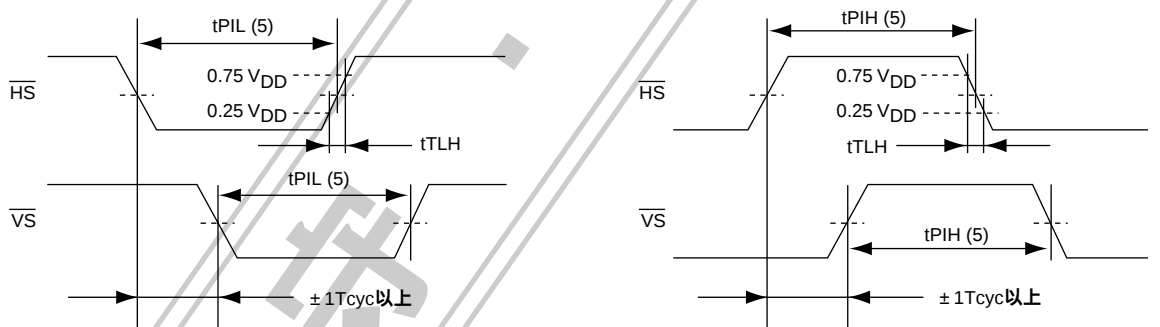


図8 パルス入力タイミング条件2

ILC00079

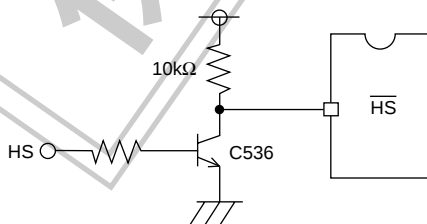


図9 推奨インターフェース回路

ILC00080

- 本書記載の製品は、定められた条件下において、記載部品単体の性能・特性・機能などを規定するものであり、お客様の製品（機器）での性能・特性・機能などを保証するものではありません。部品単体の評価では予測できない症状・事態を確認するためにも、お客様の製品で必要とされる評価・試験を必ず行って下さい。
- 弊社は、高品質・高信頼性の製品を供給することに努めております。しかし、半導体製品はある確率で故障が生じてしまいます。この故障が原因となり、人命にかかわる事故、発煙・発火事故、他の物品に損害を与えてしまう事故などを引き起こす可能性があります。機器設計時には、このような事故を起こさないような、保護回路・誤動作防止回路等の安全設計、冗長設計・機構設計等の安全対策を行って下さい。
- 本書記載の製品が、外国為替及び外国貿易法に定める規制貨物（役務を含む）に該当する場合、輸出する際に同法に基づく輸出許可が必要です。
- 弊社の承諾なしに、本書の一部または全部を、転載または複製することを禁止します。
- 本書に記載された内容は、製品改善および技術改良等により将来予告なしに変更することがあります。したがって、ご使用の際には、「納入仕様書」でご確認下さい。
- この資料の情報（掲載回路および回路定数を含む）は一例を示すもので、量産セットとしての設計を保証するものではありません。また、この資料は正確かつ信頼すべきものであると確信しておりますが、その使用にあたって第三者の工業所有権その他の権利の実施に対する保証を行うものではありません。