HY15S41

User's Guide

Mixed Signal Microcontroller

Table of Contents

1. 閱讀導覽 5

1.1. 關於這份操作手冊 5

1.2. 名詞定義,Terms and Definition 6

2. 中央處理器, CPU 8

2.1. 處理器核心, CPU Core 8

2.2. 記憶體,Memory 9

3. 震盪器、時脈源與功耗管理 19

3.1. 震盪器 19

3.2. CPU及週邊電路時脈源 20

3.3. 暫存器說明-工作時脈源控制器 23

4. 復位,RESET 25

4.1. 復位事件說明 25

4.2. 狀態暫存器 26

4.3. 暫存器說明-復位狀態 28

5. 中斷,INTERRUPT 29

5.1. 暫存器說明-中斷 30

6. 硬體乘法器 34

7. 輸入/輸出埠,I/O 35

7.1. PORT相關暫存器介紹 37

7.2. 輸入/輸出埠 1,I/O Port1 38

7.3. 輸入/輸出埠 4 ,I/O Port4 38

7.4. 暫存器說明-PORT 39

8. 看門狗,WATCH DOG 42

8.1. WDT 使用說明 42

8.2. WDT控制暫存器列表與說明： 44

9. 計數器A1,TIMER-A1 45

9.1. 暫存器說明-TMA1 47

10. 16-BIT計數器B,TMB（16-BIT TIMERB） 49

10.1. TMB四種計數模式 51

10.2. PWM脈衝寬度調變 57

10.3. TMB1 控制暫存器列表與說明： 75

11. 電源系統,POWER SYSTEM 79

11.1. VDDA 使用說明 79

11.2. 暫存器說明-PWR 80

12. 類比數位轉換器,ΣΔADC 82

12.1. ΣΔADC使用說明 85

12.2. 類比通道輸入特性 88

12.3. 絕對溫度感測器,TPS 90

暫存器說明-ΣΔADC 92

13. 同步串列通訊介面,INTER-INTEGRATED CIRCUIT SERIAL INTERFACE 97

13.1. 數據傳輸速率計算 99

13.2. 計時功能(Time-Out) 99

13.3. I^2C串列介面通訊流程圖 99

13.4. I^2C暫存器說明 106

14. 非同步串列通訊介面,ENHANCED UNIVERSAL ASYNCHRONOUS RECEIVER TRANSMITTER 110

14.1. EUART使用說明 111

14.2. 串列傳輸鮑率發生器（BRG） 112

14.3. 硬體同位元檢查 114

14.4. EUART非同步模式 114

14.5. 暫存器說明-UART 120

15. 內建EPROM, BUILD-IN EPROM 123

15.1. 暫存器說明-BIE 124

16. 修訂記錄 125

1. 閱讀導覽

1.1. 關於這份操作手冊

本文件所述的應用訊息及其他類似內容敘述僅為提供使用者便利，紘康對於內容的使用與因而引起的後果並不負擔相關責任。規格內容隨時可被更新訊息所替代，使用者有責任必需承擔並確保應用符合規範。

未經紘康授權，不得將紘康產品使用于生命維持系統中作為關鍵器件。紘康有不需事先通知即可修改產品的權力，產品最新訊息，請參考我們的網站：

http://www.hycontek.com

注意:

- 本說明書中的內容，隨著產品的改進，有可能不經過預告而更改。請客戶及時到本公司網站下載更新。
- 本規格書中的圖形、應用電路等，因第三方工業所有權引發的問題，本公司不承擔其責任。
- 本產品在單獨應用的情況下，本公司保證它的性能、典型應用和功能符合說明書中的條件。當使用在客戶的產品或設備中，以上條件我們不作保證，建議客戶做充分的評估和測試。
- 請注意輸入電壓、輸出電壓、負載電流的使用條件，使 IC 內的功耗不超過封裝的容許功耗。對於客戶在超出說明書中規定額定值使用產品，即使是瞬間的使用，由此所造成的損失，本公司不承擔任何責任。
- 本產品雖內置防靜電保護電路，但請不要施加超過保護電路性能的過大靜電。
- 本規格書中的產品，未經書面許可，不可使用在要求高可靠性的電路中。例如健康醫療器械、防災器械、車輛器械、車載器械及航空器械等對人體產生影響的器械或裝置，不得作為其部件使用。
- 本公司一直致力於提高產品的品質和可靠度，但所有的半導體產品都有一定的失效概率，這些失效概率可能會導致一些人身事故、火災事故等。當設計產品時，請充分留意冗餘設計，採用安全指標，這樣可以避免事故的發生。
- 本規格書中內容，未經本公司許可，嚴禁用於其他目的之轉載或複製。

1.2. 名詞定義,Terms and Definition

1.2.1. 常用詞彙索引

1MW	1MegaWord	
1KB	1KiloByte	
ADC	Analog to Digital Converter	類比數位轉換器
Bit	bit	位元
BOR	Brown-Out Reset	
BSR	Bank Select Register	
Byte	Byte	位元組
CCP	Capture and Compare	擷取器與比較器
CPU	Central Processing Unit	中央處理器
DAC	Digital-to-Analog Converter	數位類比轉換器
DM	Data Memory	資料記憶體
ECAP	Enhance Comparator	增強型比較器
FSR	File Select Register	間接定址指標暫存器
GPR	General Purpose Register	一般用途暫存器
HAO	High Accuracy Oscillator	高精度震盪器
LNOP	Low Noise OP AMP	低雜訊放大器
LPO	Low Power Oscillator	低功率消耗震盪器
LSB	Least Significant Bit	最低有效位元
MEM	Memory	記憶體
MPM	Main Program Memory	
MSB	Most Significant Bit	最高有效位元
OTP	One Time Program-EPROM	一次性寫入記憶體
PC	Program Counter	程式計數器
PPF	PWM and PFD	脈波寬度調整器與頻率輸出調整器
ΣΔADC	Sigma-Delta ADC	類比數位轉換器
SR	Special Register	
SRAM	Static Random Access Memory	靜態隨機存取記憶體
STK	Stack	堆疊
WDT	Watch Dog Timer	看門狗計時器
WREG	Work Register	工作暫存器

1.2.2. 暫存器相關字彙

[ ]	Register length	暫存器長度
<>	Register value	暫存器內容
ABC[7:0]	ABC register had 0 to 7bit	ABC 暫存器總共有 8 位元
ABC<111>	ABC register had 3bit and value had 111 of binary	ABC 暫存器總共有 3 位元，內容為二進制 111
ABC<11x>	x: can be neglected, it can be set as 1 or 0	ABC 暫存器總共有 3 位元，內容為二進制。可為 110 或 111

rw	Read/Write	可讀可寫
r	Read only	唯讀
r0	Read as 0	讀值只有 0
r1	Read as 1	讀值只有 1
w	Write only	唯寫
w0	Write as 0	寫入值只有 0
w1	Write as 1	寫入值只有 1
h0	cleared by Hardware	硬體置<0>
h1	set by Hardware	硬體置<1>
u0	cleared by User	使用者設置<0>
u1	set by User	使用者設置<1>
-	Not use	未使用
!	users are forbidden to change	使用者禁止變更
u	unchanged	無法改變
x	unknown	未知
d	depends on condition	依照設定條件

2. 中央處理器, CPU

2.1. 處理器核心, CPU Core

中央處理器的核心CPU Core(H08)為了使其有較高的執行效率，採用了Harvard architecture理念，將程式記憶體與資料記憶體分別獨立且程式記憶體的位址，增加了使用者撰寫程式的便利性。

CPU 特色包含：

- 程式記憶體與資料記憶體各自獨立設計架構，使得指令執行速度提升且提高 CPU 效率。
- 最多 66 個操作指令包含 16-bit 查表、8x8 硬體乘法器、資料記憶體區塊切換與堆疊控制
- 一個指令完成暫存器 A 至暫存器 B 的資料搬移且不改變工作暫存器(Work register)的資料
- 一個指令完成最長 16-bit 的 FSR 暫存器資料搬移與定址 1MW 程式記憶體的查表指令。
- 資料記憶體的操作包含程式計數器(PC)、狀態暫存器(Status)與堆疊暫存器(Stack)的資料搬移。
- 處理器核心為精簡版 H08C(兼容 H08A)核心。

2.2. 記憶體,Memory

記憶體的構成分為兩種，一為程式記憶體由 OTP 構成另一為資料記憶體由 SRAM 構成。在不同型號的產品上，所規劃的記憶體大小會不一樣，故閱讀各產品的說明書時必須特別留意該產品的規格說明。

程式記憶體：

主記憶體區(Main Program Memory,MPM)

程式計數器(Program Counter,PC)

堆疊(Stack,STK)

資料記憶體：

特殊暫存器(Special Register,SR)

一般暫存器(General Purpose Register,GPR)

記憶體相關暫存器摘要：(x：表示由多個暫存器組成)

PC[11:0]	PCHSR[2:0],PCLATH[3:0],PCLATL[7:0]
TOS[10:0]	TOSH[2:0],TOSL[7:0]
FSRx[8:0]	FSRxH[8],FSRxL[7:0]
INDFx	INDF0[7:0],INDF1[7:0]
POINCx	POINC0[7:0], POINC1[7:0]
PODECx	PODEC0[7:0], PODEC1[7:0]
PRINCx	PRINC0[7:0], PRINC1[7:0]
PLUSWx	PLUSW0[7:0], PLUSW1[7:0]
STKCN	STKFL[0],STKOV[0],STKUN[0],SKPRT[2:0]
PSTAT	SKERR[0]
BSRCN	BSR[0]

2.2.1. 程式記憶體,Program Memory

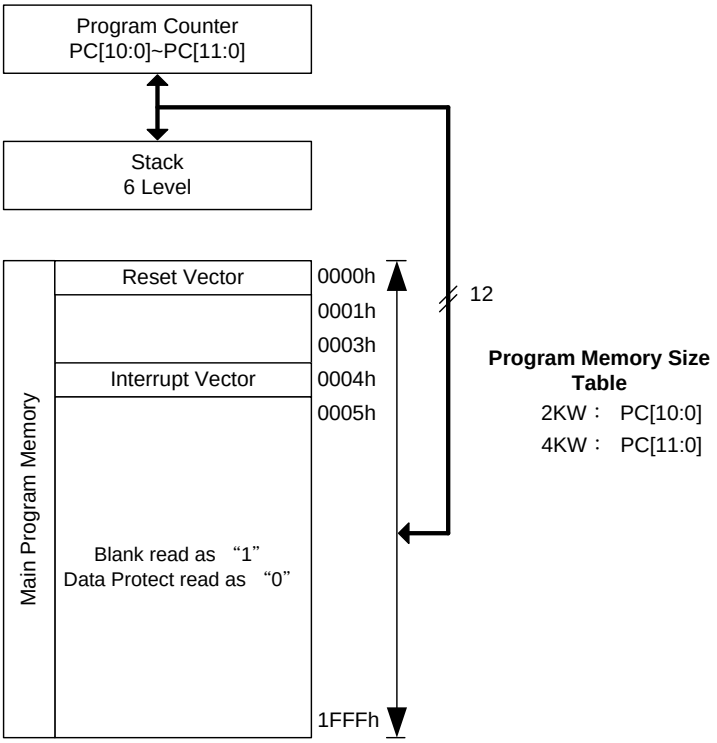


圖 2-1 程式記憶體架構圖

2.2.1.1. 主記憶體,MPM

主記憶體架構如下：

- 中斷服務向量位置(Interrupt Vector)
- 復位向量位置(Reset Vector)

定址能力由 0x0000h 至 0x1FFFh，總計容量為 8192 位元，依不同型號產品大小會有所不同。

晶片在未進行程式寫入時，所有位址的資料型態均為 1；寫入後，位址將依寫入的資料型態呈現 1 或 0。必需注意，程式開發時若模擬軟體(HYIDE)的組譯選項有設置燒錄保護功能，則晶片在燒錄所能讀出的位址資料型態皆為 0。

2.2.1.2. 程式計數器,PC

程式計數器 PC 由位移暫存器 PCSR、緩衝暫存器 PCLAT 組成，如圖 2-2。

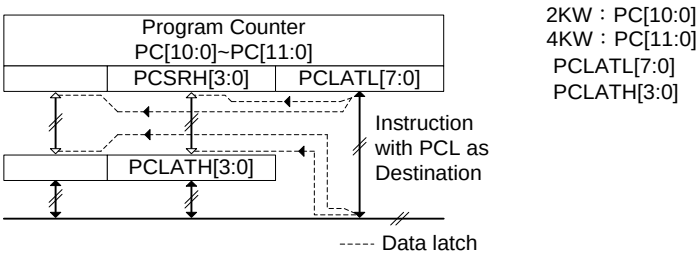


圖 2-2 程式計數器架構圖

程式計數器 PC[11:0]在開發工具所使用的晶片具有 12 位元的資料長度，由兩個特殊暫存器 PCSRH [3:0]與 PCLATL [7:0]組成。其中 PCLATL[7:0]與 PCLATH[3:0] 可直接讀/寫，而 PCSRH [3:0]無法直接讀/寫，必須透過緩衝暫存器 PCLATH[3:0]做間接讀/寫。

- ◆ 讀取 PC[11:0]，必須先讀取 PCLATL[7:0]接著讀取 PCLATH[3:0]才能取得正確資料，順序反之則將讀取到不正確的資料。
- ◆ 寫入 PC[11:0]，必須先寫入 PCLATH[3:0]最後再寫 PCLATL[7:0]，順序反之會寫入不正確的資料。

2.2.1.3. 堆疊,STK

堆疊 STK 主要由堆疊指標控制暫存器 STKCN、堆疊錯誤旗標 SKERR(Stack Error)與堆疊錯誤復位控制器 SKRST 組成。

當堆疊發生溢位與欠位時可能導致程式有不預期的執行結果，必要時可透過設置重新啓動晶片。在程式開發過程中，透過軟體設置可將堆疊復位控制位元SKRST[1]設置<1>，當堆疊發生欠位或溢位時會產生復位信號並將SKERR置<1>後重新啓動晶片。

- ● 滿位：STKFL 置<1>，PC[11:0]不受影響。
- ● 欠位：STKUN 置<1>，PC[11:0]移至 0x00000h 位置堆疊指標 SKPRT 指向 0 Level。若 SKRST 設置<1>，則欠位後會產生復位信號且 SKERR 置<1>，復位後 STKUN 置<0>。
- ● 溢位：STKOV 置<1>，PC[11:0]不受影響但 SKPRT 仍停滯於最後一層且會壓入新的數值，即滿位後會保存最近一次壓入的資料。若 SKRST 設置<1>，則溢位後產生復位信號且 SKERR 置<1>，復位後 STKOV 置<0>。
- ● 錯誤：SKERR 置<1>，晶片已發生堆疊錯誤。若 SKRST 設置<1>，則溢位後產生復位信號且 SKERR 置<1>，復位後 STKUN、STKOV 置<0>。

[1]SKRST 為堆疊錯誤產生復位信號控制位元，無法直接讀/寫只能在程式發展階段透過開發軟體的設置。即程式開發階段必須選定是否在堆疊錯誤時產生復位信號，若選定復位則晶片供電後該位元即被設置 1，反之設置<0>。

2.2.1.4. 暫存器說明-程式憶體控制器

"-"no use,"*"read/write,"w"write,"r"read,"r0"only read 0,"r1"only read 1,"w0"only write 0,"w1"only write 1											
"$"for event status,"."unimplemented bit,"x"unknown,"u"unchanged,"d"depends on condition											
Address	**File Name**	**Bit7**	**Bit6**	**Bit5**	**Bit4**	**Bit3**	**Bit2**	**Bit1**	**Bit0**	**A-RESET**	**R/W**
018h	SKCN	SKFL	SKUN	SKOV	-	-	SKPRT[2:0]			000. .000	u$$. .$$$
01Ah	PCLATH	-	-	-	-	PC[11]	PC[10]	PC[9]	PC[8]	…. .0000	…. 0000
01Bh	PCLATL	PC Low Byte for PC<7:0>								0000 0000	0000 0000
02Ch	PSTAT	POR	PD	TO	IDL	RST	SKERR	MCO	-	$000 $00.	uu$u u$u.

表 2-1 程式憶體控制暫存器

STKCN: 堆疊控制器

位元	名稱	描述
Bit7	STKFL	堆疊滿位旗標 <0>未發生。 <1>已發生。
Bit6	STKUN	堆疊欠位旗標 <0>未發生。 <1>已發生。
Bit5	STKOV	堆疊溢位旗標 <0>未發生。 <1>已發生。
Bit3~0	SKPRT[3:0]	堆疊指標暫存器 <000>第 0 層，TOS[10:0]=0x0000h ⋮ <110>第 6 層 <111>第 7 層

PCLATH：程式計數器高位元組，**PC[11:8]**

PCLATL: 程式計數器低位元組，**PC[7:0]**

PSTAT: 狀態暫存器

位元	名稱	描述
Bit2	SKERR	堆疊錯誤產生復位旗標 <0>未發生。 <1>已發生。

2.2.2. 資料記憶體,DM

資料記憶體 DM 由特殊暫存器 Specially Register,SR 與一般暫存器 General Purpose Register,GPR 組成，且以每 256byte 為一個區塊。128byte 的特殊暫存器與 128byte 一般暫存器如圖 2-3。

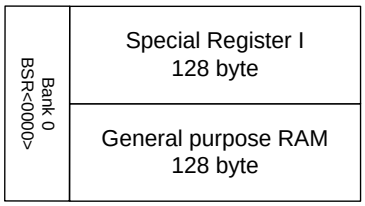


圖 2-3 資料記憶體架構圖

2.2.2.1. 記憶體與指令

H08 指令集可分為 A(兼容 H08C)、B 兩版本其在記憶體運用有很大的差異性，例如定址能力、硬體乘法器、查表指令、支援功能與參數的定義，在此僅說明指令記憶體參數的定義。詳細的指令參數說明請參見指令集,Instruction 章節。

指令集中帶有位址運算功能的指令至多會有 "f"、"d"、"a" 等三個參數。

"f" 是指資料(Data)或資料暫存器位址(Data Memory Address)。

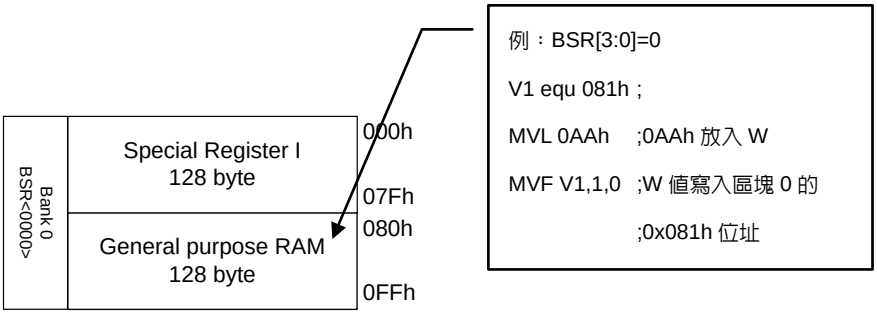
"d" 是指運算後的資料要存放地方。d=0 存於 WREG register、d=1 存於 Data Memory Register。

"a" 是指定記憶體操作的區塊；a=0 操作於區塊 0、a=1 操作於 BSR[3:0]指定區塊。

2.2.2.2. 區塊選擇控制暫存器

資料記憶體規劃為每 256byte 為一個區塊即 000h～0FFh 為一區塊，若欲讀/寫位址 0FFh 以後的資料暫存器，則需正確的設置區塊控制暫存器 BSR[3:0]與指令的參數"a"，說明如下：

- 當 a = 0 時，無論 BSR[0]的指定何區塊，指令對資料記憶體的讀/寫只會在區塊 0。
- 當 a = 1 時，H08C CPU Core 的指令，對資料記憶體的讀/寫會依照 BSR[0]所指定的區塊。



範例 2-4 區塊選擇器範例程式與資料記憶體關係

2.2.2.3. 特殊暫存器

特殊暫存器包含 CPU Core 與週邊功能的相關暫存器，主要有控制功能暫存器與資料傳回暫存器。若對資料暫存器內未定義的位址或位址用之位元進行讀取，所讀取到的資料為 0。

在特殊暫存器中專用於搭配指令的暫存器亦有數個，但在此只介紹兩種常用的暫存器一為工作暫存器 WREG，另一為間接定址暫存器 FSR。其餘在此未介紹的特殊暫存器將分散於各章節做詳盡的說明。

2.2.2.3.1. 工作暫存器,WREG

工作暫存器簡稱 W 為搭配指令使用最為頻繁的暫存器，舉凡資料搬移、運算與判斷等等。

2.2.2.3.2. 間接定址暫存器,FSR 與 INDF

FSR 間接定址暫存器由指標暫存器 FSR0[7:0]、FSR1[7:0]、FSR2[7:0]與索引暫存器 INDF0[7:0]、INDF1[7:0]、INDF2[7:0]組成，由於功能相當故只針對 FSR0 做說明。

FSR0[8:0]可分為 FSR0H[1:0]與 FSR0L[7:0]兩個暫存器，不需設置 BSR[4:0]即能定址不同區塊的位址；且透過特殊指令，可達到使用一個指令即可寫入 16-bit 資料。

INDF0[7:0]為索引暫存器，即是可讀取 FSR0[8:0]所指向資料記憶體位址的資料。

值得注意的是 H08C 指令集支援加強型索引暫存器，功能描述如下：

- POINC0[7:0]: 當透過指令讀/寫 POINC0[7:0]暫存器時會發生以下事件
  - 先傳回目前 FSR0[8:0]所指到位址的內容。
  - 然後指標暫存器 FSR0[8:0]的數值加一指向下一個位址。
- PODEC0[7:0]: 當透過指令讀/寫 PODEC0[7:0]暫存器時會發生以下事件
  - 先傳回目前 FSR0[9:0]所指到位址的內容。
  - 然後指標暫存器 FSR0[9:0]的數值減一指向上一個位址。
- PRINC0[7:0]: 當透過指令讀/寫 PRINC0[7:0]暫存器時會發生以下事件
  - 先將指標暫存器 FSR0[8:0]的數值加一指向下一個位址。
  - 再傳回目前 FSR0[8:0]所指到位址的內容。

- PLUSW0 [7:0]: 當透過指令讀/寫 PLUSW0 [7:0]暫存器時會發生以下事件
  - 先將指標暫存器 FSR0[8:0]的數值加上工作暫存器 W 的內容。
  - 再傳回目前 FSR0[9:0]所指到位址的內容。其中 W 的內容為帶有符號位的數值即 ±128d。

2.2.2.3.3. 一般暫存器, General Purpose Register

一般暫存器 GPR 為使用者進行資料儲存、運算、旗標設置等等自由規劃區域。

2.2.2.4. 暫存器說明-資料記憶體控制器

"-"no use,"*"read/write,"w"write,"r"read,"r0"only read 0,"r1"only read 1,"w0"only write 0,"w1"only write 1											
"$"for event status,"."unimplemented bit,"x"unknown,"u"unchanged,"d"depends on condition											
Address	**File Name**	**Bit7**	**Bit6**	**Bit5**	**Bit4**	**Bit3**	**Bit2**	**Bit1**	**Bit0**	**A-RESET**	**R/W**
000h	INDF0	Contents of FSR0 to address data memoryvalue of FSR0 not changed								xxxx xxxx	*,*,*,*,*,*,*
001h	POINC0	Contents of FSR0 to address data memoryvalue of FSR0 post-incremented								xxxx xxxx	*,*,*,*,*,*,*
002h	PODEC0	Contents of FSR0 to address data memoryvalue of FSR0 post-decremented								xxxx xxxx	*,*,*,*,*,*,*
003h	PRINC0	Contents of FSR0 to address data memoryvalue of FSR0 pre-incremented								xxxx xxxx	*,*,*,*,*,*,*
004h	PLUSW0	Contents of FSR0 to address data memoryvalue of FSR0 offset by W								xxxx xxxx	*,*,*,*,*,*,*
005h	INDF1	Contents of FSR1 to address data memoryvalue of FSR0 not changed								xxxx xxxx	*,*,*,*,*,*,*
006h	POINC1	Contents of FSR1 to address data memoryvalue of FSR0 post-incremented								xxxx xxxx	*,*,*,*,*,*,*
007h	PODEC1	Contents of FSR1 to address data memoryvalue of FSR0 post-decremented								xxxx xxxx	*,*,*,*,*,*,*
008h	PRINC1	Contents of FSR0 to address data memoryvalue of FSR1 pre-incremented								xxxx xxxx	*,*,*,*,*,*,*
009h	PLUSW1	Contents of FSR1 to address data memoryvalue of FSR0 offset by W								xxxx xxxx	*,*,*,*,*,*,*
00Ah	INDF2	Contents of FSR2 to address data memoryvalue of FSR2 not changed								xxxx xxxx	uuuu uuuu
00Bh	POINC2	Contents of FSR2 to address data memoryvalue of FSR2 post-incremented								xxxx xxxx	uuuu uuuu
00Ch	PODEC2	Contents of FSR2 to address data memoryvalue of FSR2 post-decremented								xxxx xxxx	uuuu uuuu
00Dh	PRINC2	Contents of FSR2 to address data memoryvalue of FSR2 pre-incremented								xxxx xxxx	uuuu uuuu
00Eh	PLUSW2	Contents of FSR2 to address data memoryvalue of FSR2 offset by W								xxxx xxxx	uuuu uuuu
010h	FSR0L	Indirect Data Memory Address Pointer 0 Low Byte,FSR0[7:0]								xxxx xxxx	*,*,*,*,*,*,*
012h	FSR1L	Indirect Data Memory Address Pointer 0 Low Byte,FSR0[7:0]								xxxx xxxx	*,*,*,*,*,*,*
014h	FSR2L	Indirect Data Memory Address Pointer 0 Low Byte,FSR2[7:0]								xxxx xxxx	uuuu uuuu

表 2-2 資料記憶體控制暫存器

INDFx/POINCx/PODECx/PRINCx/PLUSWx: 不同功能性的索引暫存器**(x=0**、**1**、**2**）

INDFx[7:0]: 詳見 2.2.2.3.2 間接定址暫存器,FSR 與 INDF 說明

POINCx[7:0]: 詳見 2.2.2.3.2 間接定址暫存器,FSR 與 INDF 說明

PODECx[7:0]: 詳見 2.2.2.3.2 間接定址暫存器,FSR 與 INDF 說明

PRINCx[7:0]: 詳見 2.2.2.3.2 間接定址暫存器,FSR 與 INDF 說明

PLUSWx[7:0]: 詳見 2.2.2.3.2 間接定址暫存器,FSR 與 INDF 說明

FSRx: 間接定址的指標暫存器**(x=0**、**1**、**2**）

FSRxL[7:0]: 詳見 2.2.2.3.2 間接定址暫存器,FSR 與 INDF 說明

WREG: 工作暫存器

WREG[7:0]: 詳見 2.2.2.3.1 工作暫存器,WREG 說明

BSRCN: 記憶體區塊讀**/**寫控制暫存器

位元	名稱	描述
Bit0	BSR[0]	記憶體讀/寫區塊指標暫存器 <0>區塊 0，位址 0x000h~0x0FFh <1>區塊 1，位址 0x100h~0x1FFh。

2.2.1. 暫存器列表-資料記憶體

"-"no use,"*"read/write,"w"write,"r"read,"r0"only read 0,"r1"only read 1,"w0"only write 0,"w1"omly write 1

"$"for event status,"."unimplemented bit,"x"unknown,"u"unchanged,"d"depends on condition

Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	ARST	IRST	R/W
000h	INDF0	Contents of FSR0 to address data memoryvalue of FSR0 not changed								xxxx xxxx	uuuu uuuu	*,*,*,*,*,*,*,*
001h	POINC0	Contents of FSR0 to address data memoryvalue of FSR0 post-incremented								xxxx xxxx	uuuu uuuu	*,*,*,*,*,*,*,*
002h	PODEC0	Contents of FSR0 to address data memoryvalue of FSR0 post-decremented								xxxx xxxx	uuuu uuuu	*,*,*,*,*,*,*,*
003h	PRINC0	Contents of FSR0 to address data memoryvalue of FSR0 pre-incremented								xxxx xxxx	uuuu uuuu	*,*,*,*,*,*,*,*
004h	PLUSW0	Contents of FSR0 to address data memoryvalue of FSR0 offset by W								xxxx xxxx	uuuu uuuu	*,*,*,*,*,*,*,*
005h	INDF1	Contents of FSR1 to address data memoryvalue of FSR1 not changed								xxxx xxxx	uuuu uuuu	*,*,*,*,*,*,*,*
006h	POINC1	Contents of FSR1 to address data memoryvalue of FSR1 post-incremented								xxxx xxxx	uuuu uuuu	*,*,*,*,*,*,*,*
007h	PODEC1	Contents of FSR1 to address data memoryvalue of FSR1 post-decremented								xxxx xxxx	uuuu uuuu	*,*,*,*,*,*,*,*
008h	PRINC1	Contents of FSR1 to address data memoryvalue of FSR1 pre-incremented								xxxx xxxx	uuuu uuuu	*,*,*,*,*,*,*,*
009h	PLUSW1	Contents of FSR1 to address data memoryvalue of FSR1 offset by W								xxxx xxxx	uuuu uuuu	*,*,*,*,*,*,*,*
00Ah	INDF2	Contents of FSR2 to address data memoryvalue of FSR2 not changed								xxxx xxxx	uuuu uuuu	*,*,*,*,*,*,*,*
00Bh	POINC2	Contents of FSR2 to address data memoryvalue of FSR2 post-incremented								xxxx xxxx	uuuu uuuu	*,*,*,*,*,*,*,*
00Ch	PODEC2	Contents of FSR2 to address data memoryvalue of FSR2 post-decremented								xxxx xxxx	uuuu uuuu	*,*,*,*,*,*,*,*
00Dh	PRINC2	Contents of FSR2 to address data memoryvalue of FSR2 pre-incremented								xxxx xxxx	uuuu uuuu	*,*,*,*,*,*,*,*
00Eh	PLUSW2	Contents of FSR2 to address data memoryvalue of FSR2 offset by W								xxxx xxxx	uuuu uuuu	*,*,*,*,*,*,*,*
010h	FSR0L	Indirect Data Memory Address Pointer 0 Low Byte,FSR0[7:0]								xxxx xxxx	uuuu uuuu	*,*,*,*,*,*,*,*
012h	FSR1L	Indirect Data Memory Address Pointer 0 Low Byte,FSR1[7:0]								xxxx xxxx	uuuu uuuu	*,*,*,*,*,*,*,*
014h	FSR2L	Indirect Data Memory Address Pointer 0 Low Byte,FSR2[7:0]								xxxx xxxx	uuuu uuuu	*,*,*,*,*,*,*,*
016h	TOSH	-	-	-	-	TOS[11:8]				..xx xxxx	..uu uuuu	-,-,-,*,*,*,*,*
017h	TOSL	Top-of-Stack Low Byte (TOS<7:0>)								xxxx xxxx	uuuu uuuu	*,*,*,*,*,*,*,*
018h	SKCN	SKFL	SKUN	SKOV	-	-	SKPRT[2:0]			000. 0000	u$$. $$$$	rw 0,rw 0,rw 0,- *,*,*,*
01Ah	PCLATH	-	-	-	-	PC[11:8]				..00 0000	..00 0000	*,*,*,*,*,*,*,*
01Bh	PCLATL	PC Low Byte for PC<7:0>								0000 0000	0000 0000	*,*,*,*,*,*,*,*
01Dh	TBLPTRH	-	-	-	-	TBLPTR[11:8]				..xx xxxx	..uu uuuu	-,-,*,*,*,*,*,*
01Eh	TBLPTRL	Program Memory Table Pointer Low Byte (TBLPTR<7:0>)								xxxx xxxx	uuuu uuuu	*,*,*,*,*,*,*,*
01Fh	TBLDH	Program Memory Table Latch High Byte								xxxx xxxx	uuuu uuuu	*,*,*,*,*,*,*,*
020h	TBLDL	Program Memory Table Latch Low Byte								xxxx xxxx	uuuu uuuu	*,*,*,*,*,*,*,*
021h	PRODH	Product Register of Multiply High Byte								xxxx xxxx	uuuu uuuu	*,*,*,*,*,*,*,*
022h	PRODL	Product Register of Multiply Low Byte								xxxx xxxx	uuuu uuuu	*,*,*,*,*,*,*,*
023h	INTE0	GIE	TA1CIE	ADIE	WDTIE	TB1IE			E0IE	0000 0000	0uuu uuuu	*,*,*,*,*,*,*,*
024h	INTE1	TA1IE		TXIE	RCIE	I2CERIE	I2CIE			0000 0000	uuuu uuuu	*,*,*,*,*,*,*,*
026h	INTF0	-	TA1CIF	ADIF	WDTIF	TB1IF			E0IF	.000 0000	.uuu uuuu	*,*,*,*,*,*,*,*
027h	INTF1	TA1IF		TXIF	RCIF	I2CERIF	I2CIF			0000 0000	uuuu uuuu	*,*,*,* r,r,*,*
029h	WREG	Working Register								xxxx xxxx	uuuu uuuu	*,*,*,*,*,*,*,*
02Bh	MSTAT	-	-	-	C	DC	N	OV	Z	...x xxxx	...u uuuu	-,-,-,*,*,*,*,*
02Ch	PSTAT	POR	PD	TO	IDL	-	SKERR	-	-	$000 $00.	uu$u u$u.	rw0,rw0,rw0,rw0 rw0,rw0,rw0,-
02Eh	BIECN	1	-	-	-	-	-	BIEWR	BIERD	1... $000	1... $uuu	r1,-,-,- r,*,*,*
030h	BIEARL	-	-	BIE Address Register as BIEAL[5:0]						xxxx xxxx	uuuu uuuu	*,*,*,*,*,*,*,*
031h	BIEDRH	BIE High Byte Data Register								xxxx xxxx	uuuu uuuu	*,*,*,*,*,*,*,*
032h	BIEDRL	BIE Low Byte Data Register								xxxx xxxx	uuuu uuuu	*,*,*,*,*,*,*,*
033h	PWRCN	ENBGR	LDOC[2:0]			LDOM[0]	LDOM	ENLDO	CSFON	0000 0000	uuuu u00u	*,*,*,* *,w r0,w r0,*
034h	OSCCN0	OSCS[1:0]		DHS[1:0]		DMS[2:0]			CUPS	0000 0000	uuuu uuuu	*,*,*,*,*,*,*,*
035h	OSCCN1	CCOPT		DADC[1:0]		DTMB[1:0]		TMBS	-	0000 0000	uuuu uuuu	*,*,*,*,*,*,*,-
036h	OSCCN2						HAOM[1:0]		ENHAO	0000 0001	uuuu uu01	*,*,*,*,*,*,*,*
037h	WDTCN					ENWDT	DWDT[2:0]			0000 0000	uuuu $000	-,*,*,* rw 1,*,*,*
03Ah	AD1H	ADC1 conversion high byte data register								..00 0000	..uu uuuu	-,-,*,*,*,*,*,*
03Bh	AD1M	ADC1 conversion middle byte data register								0000 0000	uuuu uuuu	*,*,*,*,*,*,*,*
03Ch	AD1L	ADC1 conversion low byte data register						0	0	0000 0000	uuuu uuuu	*,*,*,*,*,*,*,*
03Dh	AD1CN0	ENAD1	-	-	OSR[3:0]				CMFR	000. 0000	uuu. uuuu	*,*,*,*,*,*,*,*
03Eh	AD1CN1	-	-	VREGN			ADGN[2:0]			xxxx xxxx	uuuu uuuu	*,*,*,*,*,*,*,*
03Fh	AD1CN2	-	BIAS[2:0]			DCSET[3:0]				xxxx xxxx	uuuu uuuu	*,*,*,*,*,*,*,*
040h	AD1CN3	INP[3:0]				INN[3:0]				xxxx xxxx	uuuu uuuu	*,*,*,*,*,*,*,*
041h	AD1CN4	VRH[1:0]		VRL[1:0]		INX[1:0]		VRIS	INIS	0010 0000	uuuu uuuu	*,*,*,*,*,*,*,*
042h	AD1CN5	ENACM	ENV12	VCMS	LDOPL	ENBS	-	ENTPS	TPSCH	0000 0000	uuuu uuuu	*,*,*,*,*,*,*,*
043h	CSFCN0	SKRST	HAOTR[6:0]							.1..	....	-,-,-,- -,-,-,-
044h	TMA1CN	ENTMA1	TMACL1	TMAS1	DTMA1[2:0]			-	-	0000 00..	u0uu uu..	*,rw 1,*,*,*,-,-
045h	TMA1R	TMA1 counter Register								0000 0000	uuuu uuuu	rw0,rw0,rw0,rw0 rw0,rw0,rw0,rw0
046h	TMA1C	TMA1C counter Register								0000 0000	uuuu uuuu	rw0,rw0,rw0,rw0 rw0,rw0,rw0,rw0

表 2-3 資料記憶體列表

"-"no use,"*"read/write,"w"write,"r"read,"r0"only read 0,"r1"only read 1,"w0"only write 0,"w1"only write 1
"$"for event status,"."unimplemented bit,"x"unknown,"u"unchanged,"d"depends on condition

Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	ARST	IRST	R/W
047h	AIXM1	APDR3[1:0]		-	-	-	-	-	-	0000 0000	uuuu uuuu	*,*,*,*,*,*
048h	AIXM2	-	-	-	-	-	-	APDR4[1:0]		0000 0000	uuuu uuuu	*,*,*,*,*,*
04Eh	TB1Flag	-	-	PWM6A	PWM5A	PWM4A	PWM3A	PWM2A	PWM1A	..00 0000	..uu uuuu	-,-,r,r r,r,r,r
04Fh	TB1CN0	ENTB1	TB1M[1:0]		TB1RT[1:0]		TB1CL	-	-	0000 0000	uuuu u0uu	*,*,*,*,rw 1,*,*
050h	TB1CN1	PA1IV	PWMA1[2:0]			PA0IV	PWMA0[2:0]			0000 0000	uuuu uuuu	*,*,*,*,*,*
051h	TB1RH	TimerB1 counter Register [15:8]								xxxx xxxx	uuuu uuuu	r,r,r,r r,r,r,r
052h	TB1RL	TimerB1 counter Register [7:0]								xxxx xxxx	uuuu uuuu	r,r,r,r r,r,r,r
053h	TB1C0H	TimerB1 counter Condition Register [15:8]								xxxx xxxx	uuuu uuuu	*,*,*,*,*,*
054h	TB1C0L	TimerB1 counter Condition Register [7:0]								xxxx xxxx	uuuu uuuu	*,*,*,*,*,*
055h	TB1C1H	TimerB1 counter Condition Register [15:8]								xxxx xxxx	uuuu uuuu	*,*,*,*,*,*
056h	TB1C1L	TimerB1 counter Condition Register [7:0]								xxxx xxxx	uuuu uuuu	*,*,*,*,*,*
057h	TB1C2H	TimerB1 counter Condition Register [15:8]								xxxx xxxx	uuuu uuuu	*,*,*,*,*,*
058h	TB1C2L	TimerB1 counter Condition Register [7:0]								xxxx xxxx	uuuu uuuu	*,*,*,*,*,*
059h	TCCN0	-	TC1S[1:0]		-	-	-	-	-	0000 0000	uuuu uuuu	*,*,*,*,*,*
061h	CFG	-	-	-	-	-	GCRST	ENI2CT	ENI2C	0000 0000	.... .uuu	-,-,-,- -,*,*
062h	ACT	SLAVE	ADR10	SLAVE24	I2CER	START	STOP	I2CINT	ACK	0000 0000	uuuu uuuu	*,*,*,*,*,*
063h	STA	MACTF	SACTF	RDBF	RWF	DFF	ACKF	GCF	ARBF	0001 0000	uuuu uuuu	*,*,*,*,*,*
064h	CRG	CRG[7:0]								0000 0000	uuuu uuuu	*,*,*,*,*,*
065h	TOC	I2CTF	DI2C[2:0]			I2CTLT[3:0]				0000 0000	uuuu uuuu	*,*,*,*,*,*
066h	RDB	RDB[7:1]							RDB[0]	xxxx xxxx	uuuu uuuu	*,*,*,*,*,*
067h	TDB0	TDB0[7:1]							TDB0[0]	xxxx xxxx	uuuu uuuu	*,*,*,*,*,*
068h	SID0	SID0[7:1],The corresponding address of the 7-bit mode							SID0V[0]	0000 0000	uuuu uuuu	*,*,*,*,*,*
069h	UR0CN	ENSP	ENTX	TX9	TX9D	PARITY	-	-	WUE	0000 0..0	uuuu u..u	*,*,*,*,-,-,*
06Ah	UR0STA	-	RC9D	PERR	FERR	OERR	RCIDL	TRMT	ABDOVF	.000 0010	.uuu uuuu	-,r,r,r r,r,r,rw 0
06Bh	BA0CN	-	-	-	-	ENCR	RC9	ENADD	ENABD	 0000	.... uuuu	-,-,-,- *,*,*'
06Ch	BG0RH	-	-	-	Baud Rate Generator Register High Byte					...x xxxx	...u uuuu	-,-,-,*,*,*,*
06Dh	BG0RL	Baud Rate Generator Register Low Byte								xxxx xxxx	uuuu uuuu	*,*,*,*,*,*
06Eh	TX0R	UART Transmit Register								xxxx xxxx	uuuu uuuu	*,*,*,*,*,*
06Fh	RCREG	UART Receive Register								xxxx xxxx	uuuu uuuu	r,r,r,r r,r,r,r
070h	PT1								PT1.0	xxxx xxxx	xxxx xxxx	*,*,*,*,*,*
074h	PT1M1	-	-	-	-	-		INTEG0[1:0]		0000 0000	uuuu uuuu	*,*,*,*,*,*
075h	PT4	PT4.7	PT4.6	PT4.5	PT4.4	PT4.3				xxxx xxxx	xxxx xxxx	*,*,*,*,*,*
076h	TRISC4	TC4.7	TC4.6	TC4.5	TC4.4	TC4.3				0000 0000	uuuu uuuu	*,*,*,*,*,*
077h	PT4DA	DA4.7	DA4.6	DA4.5	DA4.4	DA4.3				0000 0000	uuuu uuuu	*,*,*,*,*,*
078h	PT4PU	PU4.7	PU4.6	PU4.5	PU4.4	PU4.3				0000 0000	uuuu uuuu	*,*,*,*,*,*
079h	PT4PD1	PDR4.3[1:0]		-	-	-	-	-	-	0000 0000	uuuu uuuu	*,*,*,*,*,*
07Ah	PT4PD2	PDR4.7[1:0]		PDR4.6[1:0]		PDR4.5[1:0]		PDR4.4[1:0]		0000 0000	uuuu uuuu	*,*,*,*,*,*
07Bh	PT4INT	INTG4.7	INTG4.6							0000 0000	uuuu uuuu	*,*,*,*,*,*
07Ch	PT4INTE	INTE4.7	INTE4.6							0000 0000	uuuu uuuu	
07Dh	PT4INTF	INTF4.7	INTF4.6							0000 0000	uuuu uuuu	
07Eh	PT4M2	-	PM4.7[0]	-	PM4.6[0]	-	-	-	-	0000 0000	uuuu uuuu	
080h ~ 0FFh		SRAM as 128Byte								uuuu uuuu	uuuu uuuu	*,*,*,*,*,*

表 2-4 資料記憶體列表(續)

3. 震盪器、時脈源與功耗管理

HY15P41 系列具有 HAO、LPO 兩個時脈源，如表 3-1。透過時脈控制器暫存器的設置可彈性的分配與管理 CPU 與週邊工作頻率，更能適當調整晶片消耗功率達到節約能源的目的。

時脈控制暫存器摘要：

OSCCN0 OSCS[1:0], DHS[1:0], DMS[2:0], CUPS

OSCCN1 DADC[1:0], DTMB[1:0], TMBS, LCDS

OSCCN2 HAOM[1:0], ENHAO

符號	頻率	頻率源控制器 CLKCN[7:0]配置		指令執行狀態	
		ENHAO	HAOM[1:0]	SLP	IDLE
HAO	2MHz	1	00	停止	震盪
	4MHz	1	01	停止	震盪
	-	1	10	停止	震盪
	8MHz	1	11	停止	震盪
LPO	14KHz	晶片上電後即起振		停止	震盪

表 3-1 內部 RC 震盪器參數、頻率控制器配置與指令狀態

3.1. 震盪器

3.1.1. HAO 震盪器

HAO 為內部高速 RC 震盪器，典型輸出頻率為 2.0~8.0MHz。

HY15P41 系列產品在 CPU 使用其他的震盪器作為工作時脈源時，可透過 ENHAO 設置<0>將 HAO 震盪器關閉。

3.1.2. LPO 震盪器

LPO 為內部低速 RC 震盪器，典型的輸出頻率為 14KHz。主要應用於低速省電的 CPU 工作模式時脈源。

HY15P41 系列產品在執行 Sleep 指令後 LPO 震盪器會被關閉，而當晶片被喚醒時 LPO 將自動開啓振盪器。

3.2. CPU 及週邊電路時脈源

3.2.1. 時脈源分配

兩組震盪器輸出(HS_CK、LS_CK)會先經過前置工作時脈分配器進行啓用/停止、切換與預先除頻後再進入晶片的 CPU 與各週邊電路。如圖 3-1 所示。

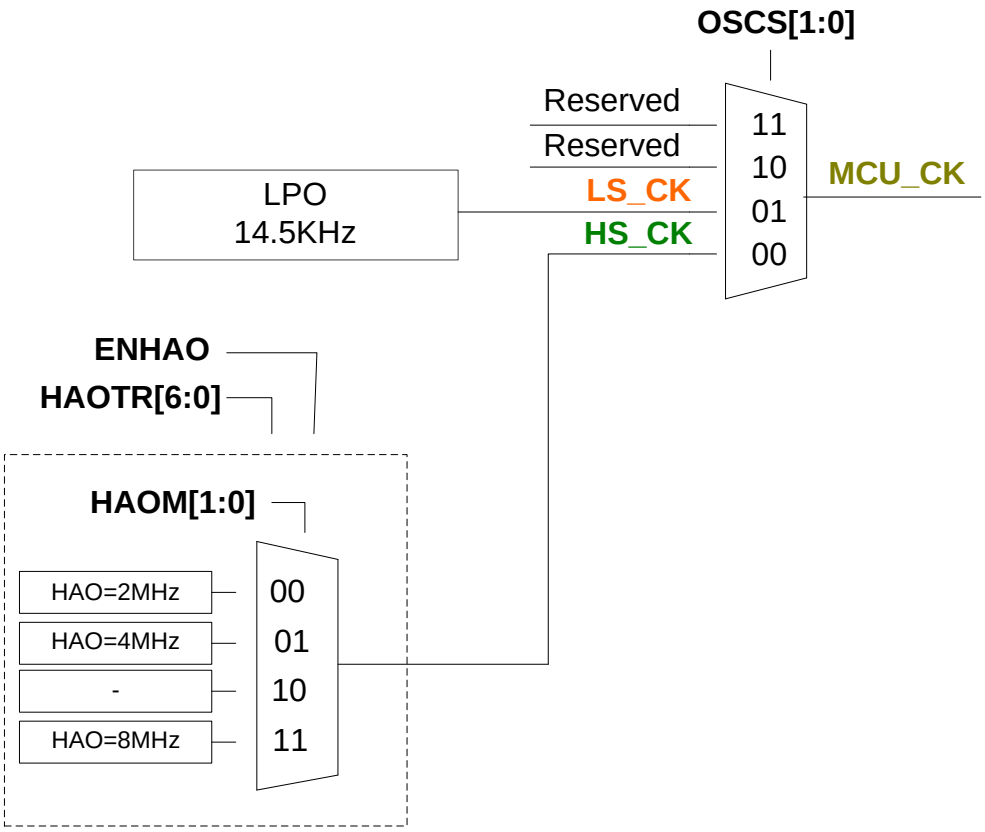


圖 3-1 前置工作時脈分配器

3.2.2. CPU 時脈源

CPU 有多種工作頻率可以選擇，透過 CPUS 可選擇工作頻率來自 HS_CK 或 DHS_CK。

指令工作頻率則採 1/4 的 CPU_CK 設計且分頻出 INTR_CK 的頻率源。

- 操作ΣΔADC 時，建議 CPU 使用 HS_CK 後分頻當工作頻率，以得到較佳的性能。
- 當 CPU_CK 的頻率與指令執行週期，如表如圖 3-2。表 3-2 簡略列出 CPU 工作頻率與指令週期的關係。

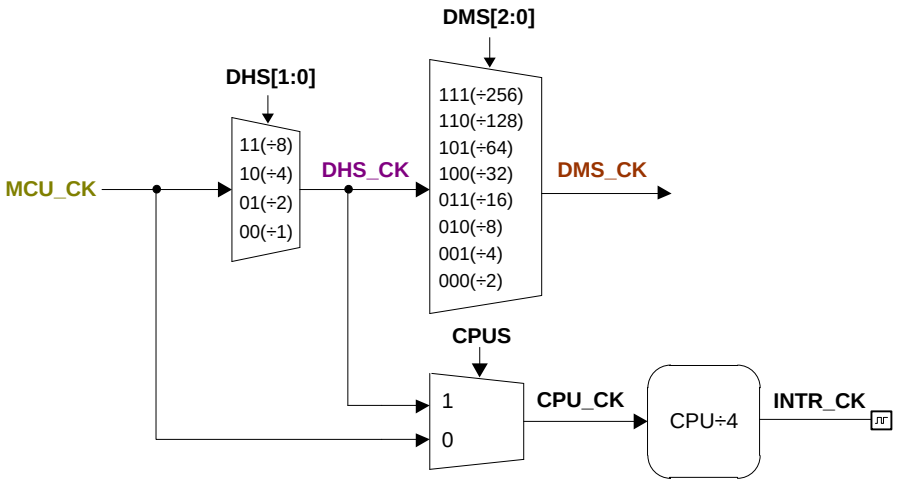


圖 3-2 CPU 與週邊工作時脈

工作頻率 / CPU_CK	CPU	指令	
	頻率	頻率	週期
8MHZ	8MHZ	2MHz	0.5us
4MHZ	4MHZ	1MHz	1us
2MHZ	2MHZ	0.5MHz	2us
14.5KHz	14.5KHz	3.625KHz	275.86us

表 3-2CPU 工作頻率與指令執行週期

3.2.3. CPU 周邊電路時脈源

HY15P41 系列週邊電路的工作時脈係由不同的分配控制器與預除頻器進行配置，該配置將於各週邊單元作詳細說明故於此只附上週邊工作時脈配置圖，如圖 3-3。

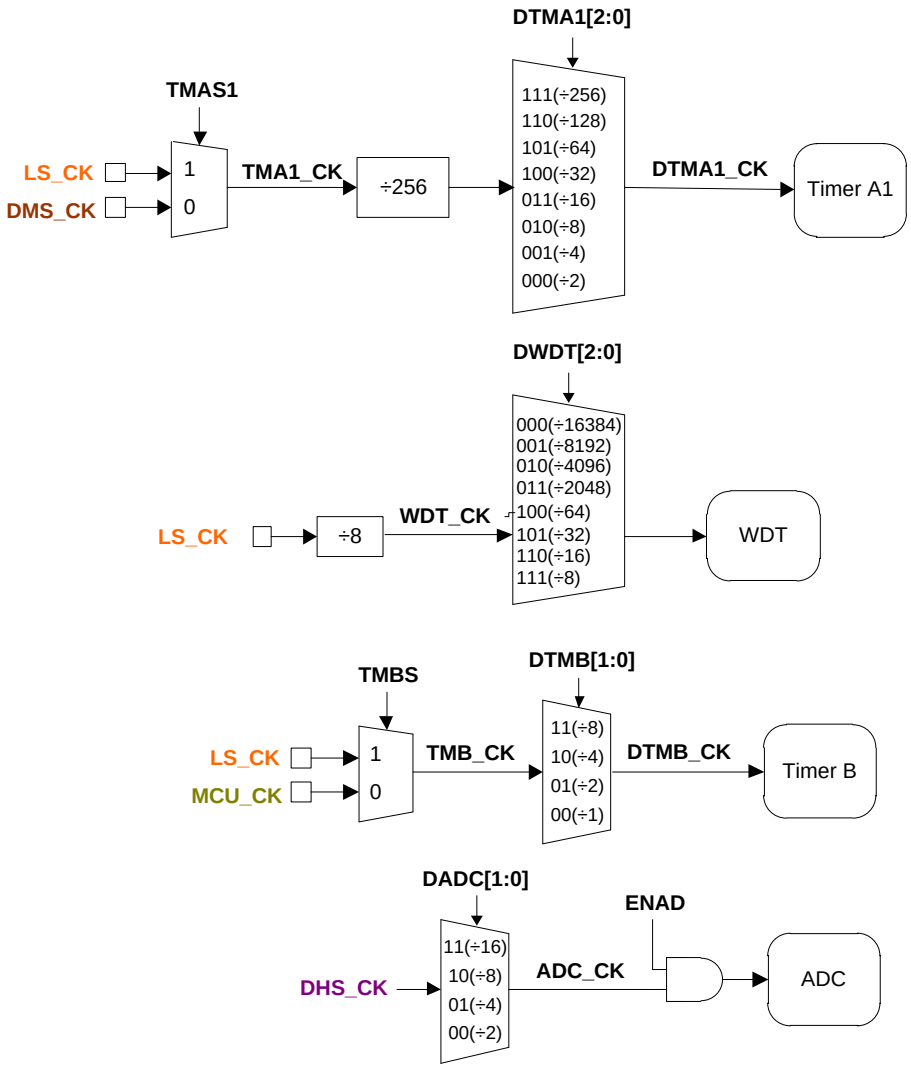


圖 3-3 週邊工作時脈配置圖

3.3. 暫存器說明-工作時脈源控制器

"-"no use,"*"read/write,"w"write,"r"read,"r0"only read 0,"r1"only read 1,"w0"only write 0,"w1"only write 1												
"$"for event status,"."unimplemented bit,"x"unknown,"u"unchanged,"d"depends on condition												
Address	File Name	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	A-RESET	I-RESET	R/W
033h	PWRCN								CSFON	0000 0000	uuuu u00u	*,*,*,* *,w r0,w r0,*
034h	OSCCN0	OSCS[1:0]		DHS[1:0]		DMS[2:0]			CUPS	0000 0000	uuuu uuuu	*,*,*,*,*,*,*,*
035h	OSCCN1	-	-	DADC[1:0]		DTMB[1:0]		TMBS	-	0000 0000	uuuu uuu.	*,*,*,*,*,*,*,-
036h	OSCCN2	-	-	-	-	-	HAOM[1:0]		ENHAO	0000 0011	uuuu uu11	*,*,*,*,*,*,*,r
043h	CSFCN0		HAOTR[6:0]							…. …0	…. …u	-,-,-,- -,-,-,*

表 3-3 工作時脈源控制暫存器

OSCCN0[7:0] :晶片工作頻率控制暫存器

位元	名稱	描述
Bit7~6	OSCS[1:0]	HS_CK 的頻率選擇器 <00>HS_CK <01>LS_CK <10>Reserved <11>Reserved
Bit5~4	DHS[1:0]	DHS_CK 的頻器分配選擇器 <00>MCU_CK ÷ 1 <01>MCU_CK ÷ 2 <10>MCU_CK ÷4 <11>MCU_CK ÷ 8
Bit3~1	DMS[2:0]	DMS_CK 的頻器分配選擇器
Bit0	CUPS	CPU_CK 的頻率選擇器 <0>MCU_CK <1>DHS_CK

DMS[2:0]	DMS_CK	DMS[2:0]	DMS_CK
000	DHS_CK ÷ 2	100	DHS_CK ÷ 32
001	DHS_CK ÷ 4	101	DHS_CK ÷ 64
010	DHS_CK ÷ 8	110	DHS_CK ÷ 128
011	DHS_CK ÷ 16	111	DHS_CK ÷ 256

OSCCN1[7:0] : 晶片工作頻率控制暫存器

位元	名稱	描述
Bit5~4	DADC[1:0]	ADC_CK 的頻率分配選擇器

DADC[1:0]	Pre-scale
00	DHS_CK ÷ 2
01	DHS_CK ÷ 4
10	DHS_CK ÷ 8
11	DHS_CK ÷ 16

<table>
<tr><th>位元</th><th>名稱</th><th>描述</th></tr>
<tr><td>Bit3~2</td><td>DTMB[1:0]</td><td>DTMB_CK 的頻率分配選擇器
<table>
<tr><th>DTMB[1:0]</th><th>Pre-scale</th></tr>
<tr><td>00</td><td>TMB_CK ÷ 1</td></tr>
<tr><td>01</td><td>TMB_CK ÷ 2</td></tr>
<tr><td>10</td><td>TMB_CK ÷ 4</td></tr>
<tr><td>11</td><td>TMB_CK ÷ 8</td></tr>
</table></td></tr>
<tr><td>Bit1</td><td>TMBS</td><td>TMB_CK 的頻率選擇器
<0>HS_CK
<1>LS_CK</td></tr>
</table>

OSCCN2[7:0]： 晶片工作頻率控制暫存器

<table>
<tr><th>位元</th><th>名稱</th><th>描述</th></tr>
<tr><td>Bit2~1</td><td>HAOM[1:0]</td><td>內部震盪器 HAO 震盪頻率選擇器
<table>
<tr><th>HAOM[1:0]</th><th>HAO 震盪頻率</th></tr>
<tr><td>00</td><td>2MHz</td></tr>
<tr><td>01</td><td>4MHz</td></tr>
<tr><td>10</td><td>不可設置</td></tr>
<tr><td>11</td><td>8MHz</td></tr>
</table></td></tr>
<tr><td>Bit0</td><td>ENHAO</td><td>內部 HAO 啓用控制位
<0>停止
<1>啓用</td></tr>
</table>

PWRCN[7:0]線性穩壓器與類比共地控制暫存器

<table>
<tr><th>位元</th><th>名稱</th><th>描述</th></tr>
<tr><td>Bit0</td><td>CSFON</td><td>CSF(Chip Special Function)啓用寫入控制器
<0>不啓用 CSF 功能
<1>啓用 CSF 寫入功能，當使用者需要進行此區控制暫存器設置時，必須將 CFSON[0]設置<1>才能寫入 CSFCN0[7:0]。</td></tr>
</table>

CSFCN0[7:0]特殊控制位暫存器

<table>
<tr><th>位元</th><th>名稱</th><th>描述</th></tr>
<tr><td>Bit6~0</td><td>HAOTR</td><td>HAO 頻率中心調整控制器
<0000000>調整 25.00%(最大)
.
<1000000>中心點 0.00%
.
<1111111>調整-25%(最小)</td></tr>
</table>

4. 復位,RESET

HY15P41 系列的復位線路包含以下幾種事件來觸發復位訊號，復位方塊圖如圖 4-1。

- **BOR** 電源干擾復位。
- **WDT** 看門狗復位。
- **SKERR** 堆疊錯誤復位。(使用者決定)

操作狀態暫存器摘要：

PSTAT POR[0],PD[0],TO[0],IDL[0],SKERR[0]

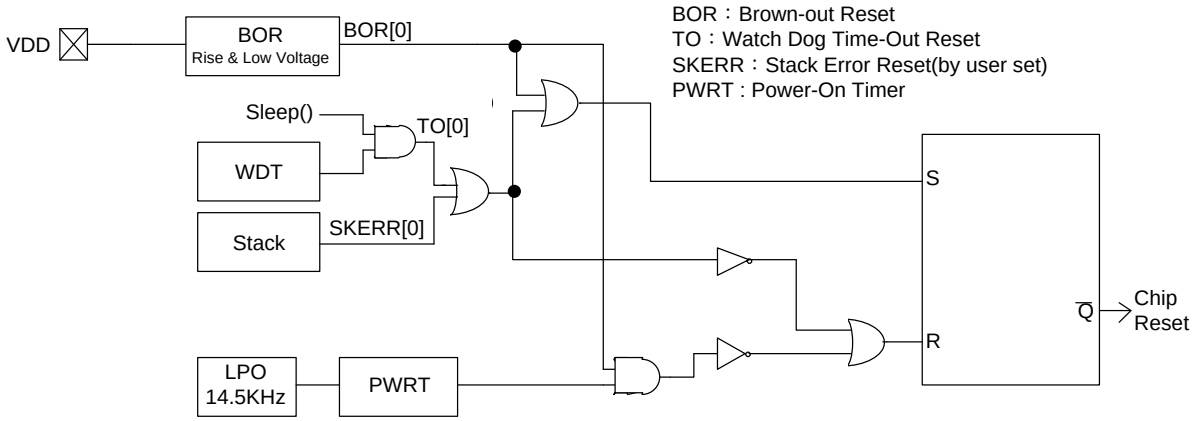


圖 4-1 復位方塊圖

這些復位事件可區分為硬體復位及軟體復位，說明如表 4-1。CPU 經復位後程式由 0x0000h 啓動。

復位種類	事件	符號	說明
硬體復位	BOR	A-RESET	CPU 重新啓動，須等待內部震盪器啓動計數完成後方能進入正常工作狀態。
低階復位	SKERR	I-RESET	僅清除部分暫存器，CPU 快速回到正常工作狀態。

表 4-1 復位等級表

4.1. 復位事件說明

4.1.1. BOR 電源干擾復位

當 CPU 在上電過程或電源受外界干擾時，CPU 會由不正常工作的過低工作電壓進入正常工作電壓。因此，如 CPU 在過低工作電壓時無法處於復位狀態，將會造成 CPU 當機使週邊電路工作異常。所以必須靠著 BOR 線路功能，在偵測到工作電壓受到干擾且電壓準位低於設計值，會產生復位信號使晶片進入重新啓動狀態，直至回復工作電壓才會解除復位信號使晶片進入正常工作模式。

當發生 BOR 復位時，PSTAT[7:0]暫存器中的 BOR 旗標會被置<1>以記錄發生的事件。

HY15P41 系列的 BOR 線路會產生約 0.6uA 的電流消耗，無法透過程式或其他設置方式使其關閉。

4.1.2. SKERR 堆疊錯誤復位

程式發生堆疊溢位或欠位時會產生復位信號使晶片進入快速啓動狀態。當發生 SKERR 堆疊錯誤復

位時 PSTAT[7:0]暫存器中的 SKERR 旗標會被置<1>以記錄發生的事件。詳細的操作說明請參見*記憶體,**Memory*** 章節。

4.2. 狀態暫存器

晶片的操作狀態顯示於 PSTAT[7:0]復位暫存器，相互間關係如表 4-2。

"0"：未發生,"1"：已發生,"u"：不改變,"-"：未使用

名稱/狀態	位址	7	6	5	4	3	2	1	0
PSTAT	02CH	BOR	PD	TO	IDL	-	SKERR	-	-
硬體復位 (A-RESET)	BOR	1	0	0	0	-	0	-	-
軟體復位 (I-RESET)	WDT	u	u	1	u	-	u	-	-
	SKERR	u	u	u	u	-	1	-	-

表 4-2 復位狀態旗標關係表

4.2.1. 復位狀態的時序圖

硬體復位信號發生後至晶片進入操作狀態的時序圖，如圖 4-2。不同復位信號信號發生後至晶片進入操作狀態的時間。

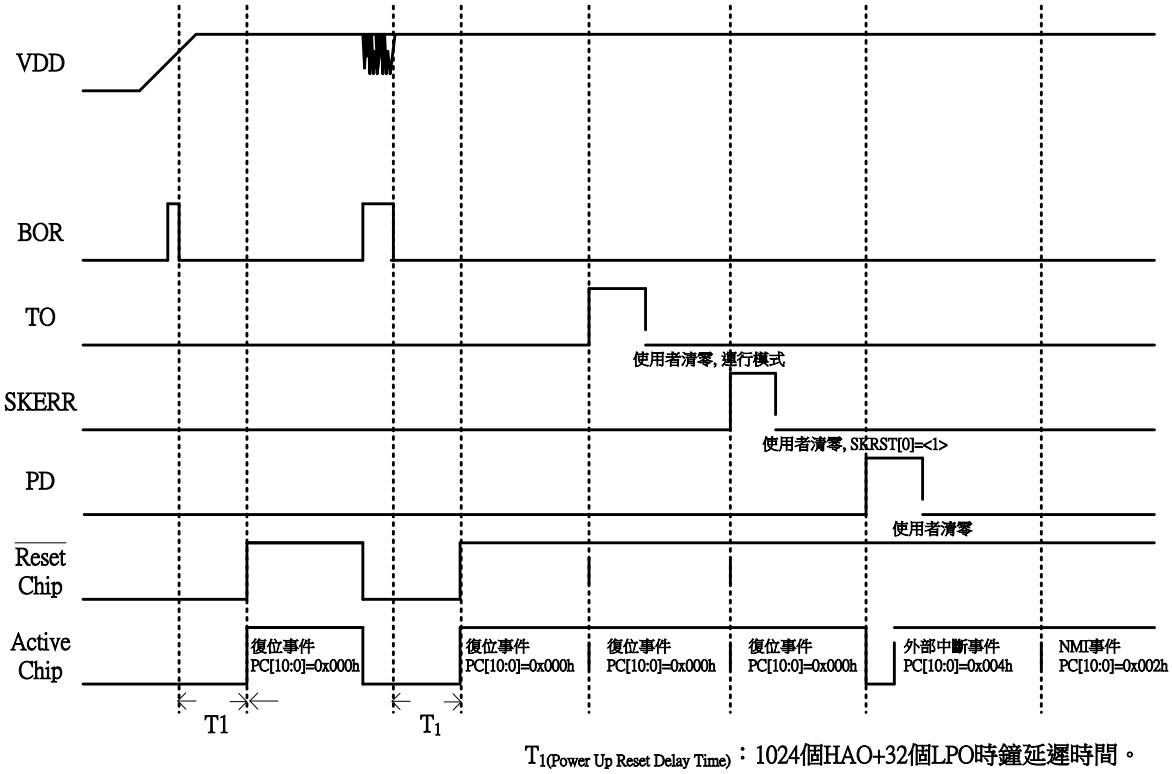


圖 4-2 復位及操作模式與狀態旗標時序圖

"-"：無定義

復位信號	延遲時間			操作狀態		
	符號	T1	T2	運行	待機	休眠
BOR	t_{RST}	T1＋T2		有效	有效	有效
SKERR	-	-		有效	無效	無效

表 4-3 復位狀態的延遲時間與操作狀態關係表

4.3. 暫存器說明-復位狀態

"-"no use,"*"read/write,"w"write,"r"read,"r0"only read 0,"r1"only read 1,"w0"only write 0,"w1"only write 1												
"$"for event status,"."unimplemented bit,"x"unknown,"u"unchanged,"d"depends on condition												
Address	File Name	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	A-RESET	I-RESET	R/W
02Ch	PSTAT	POR	PD	TO	IDL	-	SKERR	-	-	$000 $00.	uu$u u$u.	rw0,rw0,rw0,rw0 rw0,rw0,rw0,-
043h	CSFCN0	SKRST								…. ...0	…. ...u	-,-,-,- -,-,-,*

表 4-4 復位暫存器

PSTAT: 狀態暫存器

位元	名稱	描述
Bit7	BOR	電源干擾復位旗標, <0>清除需透過指令。 <1>BOR 發生作用時置<1>。
Bit6	PD	休眠狀態旗標 <0>清除需透過 BOR、RST 或指令。 <1>執行 SLEEP 指令時置<1>。
Bit5	TO	看門狗計時器旗標 <0>清除需透過 BOR、RST 或指令。 <1>看門狗計數終了時置<1>。
Bit4	IDL	待機狀態旗標 <0>清除需透過 BOR、RST 或指令。 <1>執行 IDLE 指令時置<1>。
Bit2	SKERR	堆疊錯誤復位旗標 <0>清除需透過 BOR、RST 或指令。 <1>堆疊錯誤時置<1>。

CSFCN0: 特殊控制位暫存器

位元	名稱	描述
Bit7	SKRST	堆疊錯誤復位控制器 <0>不啓用錯誤復位晶片 <1>啓用錯誤復位晶片

5. 中斷,Interrupt

中斷 Interrupt 由中斷啓用控制器 INTE 與中斷事件旗標 INTF 組成。中斷服務 Interrupt service 成立時若產生中斷事件,將使得程式計數器 PC 跳至程式記憶體的中斷向量位址 0x0004h 執行中斷服務程式。

中斷控制暫存器暫存器摘要：

INTE0 GIE, TA1CIE,ADIE, WDTIE, TB1IE, E0IE

INTE1 TMA1IE,TXIE, RCIE, I2CERIE, I2CIE

INTF0 TA1CIF,ADIF, WDTIF, TB1IF, E0IF

INTF1 TMA1IF,TXIF, RCIF,I2CERIF, I2CIF

PT4INTE INTE4.7,INTE4.6

PT4INTF INTF4.7,INTF4.6

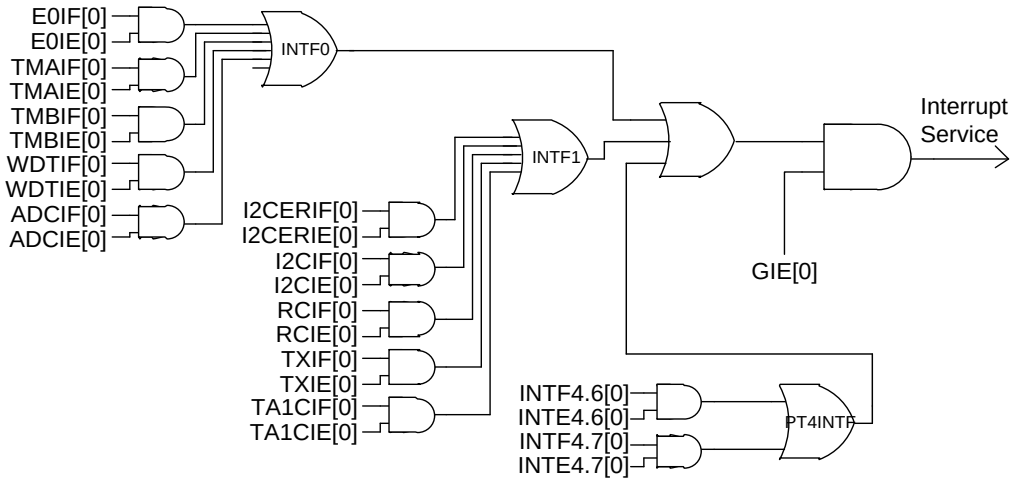


圖 5-3 中斷向量方塊圖

中斷服務事件的節制器共有兩層，最高層為中斷服務控制器 GIE、次一層為中斷事件的啓用控制位元。

- 啓用中斷事件只需將相對於中斷事件啓用控制器INTEx[7:0]的控制器設置<1>即可；反之，設置<0>則為關閉中斷事件。
- 啓用中斷服務只需將相對於中斷控制暫存器INTE0[7:0]的中斷服務控制器GIE設置<1>即可；反之，設置<0>則為關閉中斷服務。

當進入中斷服務向量時 GIE 會自動被置<0>，在中斷服務程式執行完畢後欲返回中斷發生位址時可直接執行中斷返回指令 RETI，此時 GIE 將自動被置<1>；或執行返回指令 RET，此時 GIE 狀態維持 0。

5.1. 暫存器說明-中斷

"-"no use,"*"read/write,"w"write,"r"read,"r0"only read 0,"r1"only read 1,"w0"only write 0,"w1"only write 1												
"$"for event status,"."unimplemented bit,"x"unknown,"u"unchanged,"d"depends on condition												
Address	File Name	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	A-RESET	I-RESET	R/W
023h	INTE0	GIE	TA1CIE	ADIE	WDTIE	TB1IE	-	-	E0IE	0000 0000	0uuu uuuu	*,*,*,*,*,*,*,*
024h	INTE1	TA1IE	-	TXIE	RCIE	I2CERIE	I2CIE	-	-	0000 0000	uuuu uuuu	*,*,*,*,*,*,*,*
026h	INTF0	-	TA1CIF	ADIF	WDTIF	TB1IF	-	-	E0IF	.000 0000	.uuu uuuu	*,*,*,*,*,*,*,*
027h	INTF1	TA1IF	-	TXIF	RCIF	I2CERIF	I2CIF	-	-	0000 0000	uuuu uuuu	*,*,*,* r,r,*,*
07Bh	PT4INT	INTG4.7	INTG4.6							0000 0000	uuuu uuuu	*,*,*,*,*,*,*,*
07Ch	PT4INTE	INTE4.7	INTE4.6							0000 0000	uuuu uuuu	*,*,*,*,*,*,*,*
07Dh	PT4INTF	INTF4.7	INTF4.6							0000 0000	uuuu uuuu	*,*,*,*,*,*,*,*

表 5-1 中斷暫存器

INTE0: 中斷啓用控制暫存器 **0**

位元	名稱	描述
Bit7	GIE	中斷服務控制器 <0>關閉。 <1>啓用。
Bit6	TA1CIE	Timer-A1 比較事件啓用控制器 <0>關閉。 <1>啓用。(比較事件/計數器 A1)
Bit5	ADIE	ADC 中斷事件啓用控制器 <0>關閉。 <1>啓用。(類比數位轉換器,ΣΔADC)
Bit4	WDTIE	Watch Dog 中斷事件啓用控制器 <0>關閉。 <1>啓用。(看門狗,WDT)
Bit3	TB1IE	Timer-B 中斷事件啓用控制器 <0>關閉。 <1>啓用。(計時/計數器 B,TMB)
Bit0	E0IE	輸入引腳 0 中斷事件啓用控制器 <0>關閉。 <1>啓用。(外部輸入引腳,PT1.0)

INTE1: 中斷啓用控制暫存器 **1**

位元	名稱	描述
Bit7	TA1IE	Timer-A1 中斷事件啓用控制器 <0>關閉。 <1>啓用。(計時/計數器 A,TMA1)
Bit5	TXIE	TX 中斷事件啓用控制器 <0>關閉。 <1>啓用。(通訊介面,EUART)

位元	名稱	描述
Bit4	RCIE	RC 中斷事件啓用控制器 <0>關閉。 <1>啓用。(通訊介面,EUART)
Bit3	I2CERIE	週邊I^2C錯誤中斷向量服務控制器 <0>關閉I^2C中斷向量服務 <1>啓用I^2C中斷向量服務
Bit2	I2CIE	週邊I^2C中斷向量服務控制器 <1>啓用I^2C中斷向量服務 <0>關閉I^2C中斷向量服務

INTF0: 中斷事件旗標暫存器 **0**

位元	名稱	描述
Bit6	TA1CIF	Timer-A1 比較事件旗標 <0>關閉。 <1>啓用。(比較事件/計數器 A1)
Bit5	ADIF	ADC 中斷事件旗標 <0>未發生。 <1>已發生。(類比數位轉換器,ΣΔADC)
Bit4	WDTIF	Watch Dog 中斷事件旗標 <0>未發生。 <1>已發生。(看門狗,WDT)
Bit3	TB1IF	Timer-B 中斷事件旗標 <0>未發生。 <1>已發生。(計時/計數器 B,TMB)
Bit2	TMAIF	Timer-A 中斷事件旗標 <0>未發生。 <1>已發生。(計時/計數器 A,TMA)
Bit0	E0IF	輸入引腳 0 中斷事件旗標 <0>未發生。 <1>已發生。(外部輸入引腳,PT1.0)

INTF1: 中斷事件旗標暫存器 **1**

位元	名稱	描述
Bit7	TA1IF	Timer-A1 中斷事件旗標 <0>未發生。 <1>已發生。(計時/計數器 A1,TMA1)

位元	名稱	描述
Bit5	TXIF	TX 中斷事件旗標 <0>未發生。 <1>已發生。(通訊介面,EUART)
Bit4	RCIF	RC 中斷事件旗標 <0>未發生。 <1>已發生。(通訊介面,EUART)
Bit3	I2CERIF	週邊I^2C錯誤中斷事件旗標控制器 <0>未發生I^2C中斷事件 <1>已發生I^2C中斷事件
Bit2	I2CIF	週邊I^2C中斷事件旗標控制器 <0>未發生I^2C中斷事件 <1>已發生I^2C中斷事件

PT4INT: PT4 中斷事件旗標暫存器

位元	名稱	描述
Bit7	INTF4.7	中斷信號產生條件 <0>下降緣(1→0)。 <1>上升緣(0→1)。
Bit6	INTF4.6	中斷信號產生條件 <0>下降緣(1→0)。 <1>上升緣(0→1)。

PT4INTE: PT4 中斷啓用控制暫存器

位元	名稱	描述
Bit7	INTE4.7	外部輸入引腳 PT4.7 中斷事件啓用控制器 <0>關閉。 <1>啓用。
Bit6	INTE4.6	外部輸入引腳 PT4.6 中斷事件啓用控制器 <0>關閉。 <1>啓用。

PT4INTF: PT4 中斷事件旗標暫存器

位元	名稱	描述
Bit7	INTF4.7	外部輸入引腳 PT4.7 中斷事件旗標 <0>未發生。 <1>已發生。

位元	名稱	描述
Bit6	INTF4.6	外部輸入引腳 PT4.6 中斷事件旗標 <0>未發生。 <1>已發生。

6. 硬體乘法器

H08C 指令集具有 8x8 硬體乘法器的處理指令"MULF 和 MULL"。8x8 硬體乘法器的運算結果會放至乘法器暫存器 PRODH[7:0]與 PRODL[7:0]且不會改變 PSTAT[7:0]狀態暫存器中的任何標誌。而 PRODH[7:0]與 PRODL[7:0]為唯讀暫存器，使用時必須注意。

硬體乘法器可進行有號數與無號數運算，如範例 6-1 與範例 6-2

```
例1：V1 x V2 = V
MVL     V1
MVF     BUF0,1,0      ；V1值放入記憶體區塊0的 BUF0 暫存器
MVL     V2            ；V2值放入 W 暫存器。
MULF    BUF0,0        ；執行 V1 x V2 並將運算結果放入PRODH/L
```

範例 6-1 無號數運算

```
例2：N1 x N2 = N ,s=7,B
MVL     N1            ；N1 值放入 W 暫存器
MVF     BUF0,1,0      ；N1 值放入記憶體區塊0的 BUF0 暫存器
MVL     N2            ；N2 值放入 W 暫存器。
MVF     BUF1,1,0      ；N2 值放入 BUF1 暫存器。
MULF    BUF0,0        ；執行 V1 x V2 並將運算結果放入PRODH/L
MVFF    PRODH,SWP     ；將 PRODH 暫存器內的值放入 SWP 暫存器
BTSZ    BUF0,s        ；判斷 N1，若為負數則
SUBF    SWP,1,0       ；將 SWP – N2 放入 SWP 暫存器
MVF     BUF0,0,0      ；將 N1 值放入 W 暫存器
BTSZ    BUF1,s        ；判斷 N2，若為負數則
SUBF    SWP,1,0       ；將 SWP – N1 放入 SWP運算處理後，N = SWP/PRODL
；-----------------------------------------------------------------------------
；N1=07Fh,N2=0FFh 乘法器運算後得到 PRODH/L = 7E81h
；判斷 N1 是否為負數，若是負數則將 PRODH – N2
；判斷 N2 是否為負數，若是負數則將 PRODH – N1
；運算處理後即可得到有號數 N 的值
；7Fh x FFh     = 7Fh x ( 0FFh – 100h )
；               = 7Fh x 0FFh –7Fh x 100h
；               = 7E81h –7F00h
；               = FF81h
```

範例 6-2 有號數運算

7. 輸入/輸出埠,I/O

輸入/輸出埠 I/O 每個引腳為一個埠，可作數位的輸入與輸出通道。每個埠由一組暫存器做控制。

I/O 相關暫存器摘要：

PT PT1[0], PT4[7:3]

TRISC4 TRISC4[7:3]

PT4DA **PT4DA**[7:3]

PT4PU PT4PU[7:3]

PT1M1 INTEG0[1:0]

PT4PD1 PDR4.3[1:0]

PT4PD2 PDR4.7[1:0],PDR4.6[1:0],PDR4.5[1:0],PDR4.4[1:0],

PT4M2 PM4.7[0],PM4.6[0]

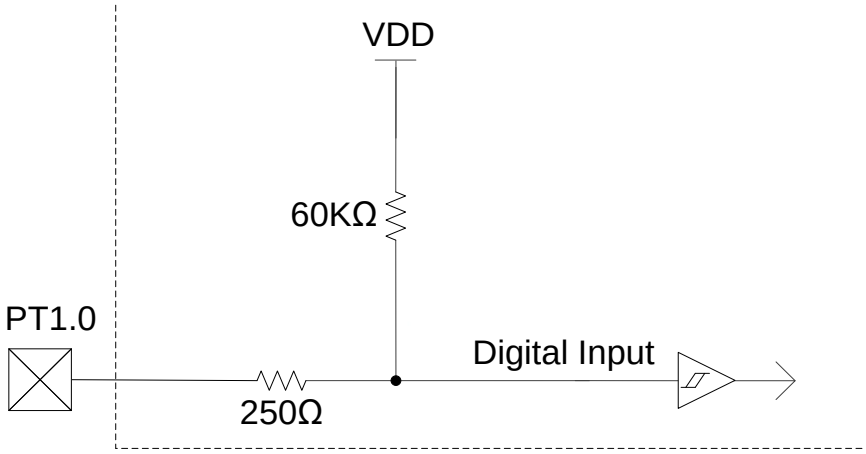


圖 7-1PT1.0 I/O 架構方塊圖

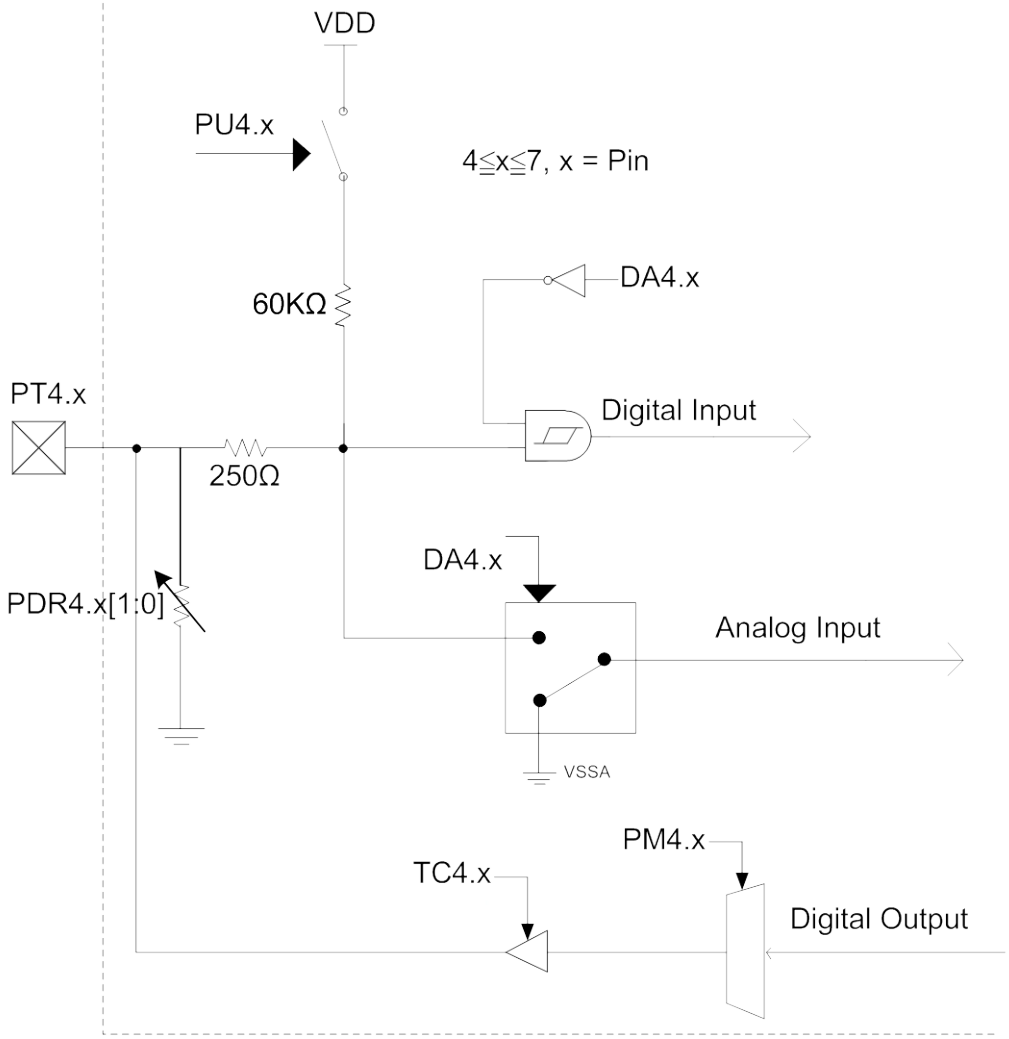


圖 7-2PT4.x I/O 架構方塊圖

7.1. PORT 相關暫存器介紹

PORT 主要提供數位的信號輸入與輸出引腳。

7.1.1. PTEG 中斷信號產生條件

I/O 外部輸入電位屬於何種變化時產生中斷信號，電位變化條件可分上升緣（0→1)變化、下降緣（1→0）變化與電位轉態（0→1 或 1→0）變化。

7.1.2. PTPU 上拉電阻控制暫存器

設定 I/O 上拉電阻功能是否啓用，設置<1>則 I/O 啓用、設置<0>斷開。在晶片進入休眠模式前，若 I/O 設置為數位輸入狀態且外部電路連接方式會造成 I/O 有浮接現象時即可啓用上拉電阻，以避免 I/O 浮接而導致晶片進入休眠模式後產生漏電流。

7.1.3. TC 輸入/輸出控制暫存器

選擇 I/O 為輸入或輸出，設置<1>I/O 為輸出狀態、設置<0>為輸入狀態。當 I/O 設定為輸入狀態，則在晶片進入休眠模式時必須給定一明確的輸入電位，不可讓 I/O 呈現浮接狀態，以避免造成晶片產生漏電現象。

7.1.4. PTIO 狀態控制暫存器

當 I/O 被設置為輸入則在相對的暫存器位置可以讀得目前 I/O 的狀態，讀值 1 則此時的 I/O 輸入高電位、讀值 0 則此時的 I/O 輸入低電位。

當 I/O 被設置為輸出則在相對的暫存器位置可以控制輸出狀態，設置<1>則 I/O 輸出為高電位、設置<0>則 I/O 輸出為低電位。

7.2. 輸入/輸出埠 1,I/O Port1

"i"：輸入,"o"：輸出,"a"：類比,"c"：cmos i/o,"x"：未定義,"p"：電源,

引腳名稱	設計		暫存器設置			描述
	型式	緩衝				
PT1.0	i	S				數位輸入引腳
INT0	i	s				外部中斷源
VPP	p	p				OTP 燒錄電壓引腳

表 7-1PORT1 功能

7.3. 輸入/輸出埠 4 ,I/O Port4

"i"：輸入,"o"：輸出,"a"：類比,"c"：cmos i/o,"x"：未定義,"p"：電源,

引腳名稱	設計		暫存器設置					描述
	型式	緩衝	TC[0]	DA[0]	PM4.5[1:0]	PM4.6[0]	PM4.7[0]	
PT4.3	i/o	c	x	0	00	0	0	數位輸入/輸出引腳
AI3	i	a	0	1	00	0	0	類比輸入通道 AI3
PSCK	i	s	0	0	00	0	0	OTP 讀/寫介面 SCK 引腳
PT4.4	i/o	c	x	0	00	0	0	數位輸入/輸出引腳
AI4	i	a	0	1	00	0	0	類比輸入通道 AI4
RC	i	s	0	0	01	0	0	EUART 通訊介面 RC 引腳
PSDI	i	s	0	0	00	0	0	OTP 讀/寫介面 SDI 引腳
SCL	i/o	s	1	0	10	0	0	I^2C通訊介面引腳
PT4.5	i/o	c	x	0	00	0	0	數位輸入/輸出引腳
AI5	i	a	0	1	00	0	0	類比輸入通道 AI5
TX	o	c	1	0	01	0	0	EUART 通訊介面 TX 引腳
PSDO	o	c	1	0	00	0	0	OTP 讀/寫介面 SDO 引腳
SDA	i/o	s	1	0	10	0	0	I^2C通訊介面引腳
PT4.6	i/o	c	x	0	00	0	0	數位輸入/輸出引腳
AI6	i	a	0	1	00	0	0	類比輸入通道 AI6
PWM0	o	c	1	0	00	1	0	PWM0 輸出接口.
INT4.6	i	s	0	0	00	0	0	外部中斷源
PT4.7	i/o	c	x	0	00	0	0	數位輸入/輸出引腳
AI7	i	a	0	1	00	0	0	類比輸入通道 AI7
PWM1	o	c	1	0	00	0	1	PWM1 輸出接口.
INT4.7	i	s	0	0	00	0	0	外部中斷源

表 7-2PORT4 功能

7.4. 暫存器說明-PORT

"-"no use,"*"read/write,"w"write,"r"read,"r0"only read 0,"r1"only read 1,"w0"only write 0,"w1"only write 1												
"$"for event status,"."unimplemented bit,"x"unknown,"u"unchanged,"d"depends on condition												
Address	**File Name**	**Bit7**	**Bit6**	**Bit5**	**Bit4**	**Bit3**	**Bit2**	**Bit1**	**Bit0**	**A-RESET**	**I-RESET**	**R/W**
023h	INTE0	GIE	TA1CIE	ADIE	WDTIE	TB1IE	-	-	E0IE	0000 0000	0uuu uuuu	*,*,*,*,*,*,*,*
026h	INTF0	-	TA1CIF	ADIF	WDTIF	TB1IF	-	-	E0IF	.000 0000	.uuu uuuu	*,*,*,*,*,*,*,*
070h	PT1								PT1.0	xxxx xxxx	xxxx xxxx	*,*,*,*,*,*,*,*
074h	PT1M1	-	-	-	-			INTEG0[1:0]		0000 0000	uuuu uuuu	*,*,*,*,*,*,*,*
075h	PT4	PT4.7	PT4.6	PT4.5	PT4.4	PT4.3	-	-	-	0000 0000	uuuu uuuu	*,*,*,*,*,*,*,*
076h	TRISC4	TC4.7	TC4.6	TC4.5	TC4.4	TC4.3	-	-	-	0000 0000	uuuu uuuu	*,*,*,*,*,*,*,*
077h	PT4DA	DA4.7	DA4.6	DA4.5	DA4.4	DA4.3	-	-	-	0000 0000	uuuu uuuu	*,*,*,*,*,*,*,*
078h	PT4PU	PU4.7	PU4.6	PU4.5	PU4.4	PU4.3				0000 0000	uuuu uuuu	*,*,*,*,*,*,*,*
079h	PT4PD1	PDR4.3[1:0]		-	-	-	-	-		0000 0000	uuuu uuuu	*,*,*,*,*,*,*,*
07Ah	PT4PD2	PDR4.7[1:0]		PDR4.6[1:0]		PDR4.5[1:0]		PDR4.4[1:0]		0000 0000	uuuu uuuu	*,*,*,*,*,*,*,*
07Bh	PT4INT	INTG4.7	INTG4.6							0000 0000	uuuu uuuu	*,*,*,*,*,*,*,*
07Ch	PT4INTE	INTE4.7	INTE4.6							0000 0000	uuuu uuuu	*,*,*,*,*,*,*,*
07Dh	PT4INTF	INTF4.7	INTF4.6							0000 0000	uuuu uuuu	*,*,*,*,*,*,*,*
07Eh	PT4M2	-	PM4.7[0]	-	PM4.6[0]					0000 0000	uuuu uuuu	*,*,*,*,*,*,*,*

表 7-3 PORT 控制暫存器

INTE0/INTF0/PT4INTE/PT4INTF: 詳見中斷**,Interrupt** 章節

PT1: PT1 引腳狀態旗標與控制暫存器

位元	名稱	描述
Bit0	PT1.0	PT1.0 引腳的狀態旗標與控制器 PT1.x: 0 = PT1.x 輸入為低電位(L); 1 = PT1.x 輸入為高電位(H)

Note: PT1.0 引腳恆為上拉啓動模式。

PT1M1: 數位輸出模式選擇暫存器 **1**

位元	名稱	描述
Bit1~0	INTEG0[1:0]	PT1.0 中斷信號產生條件 00 = 下降緣（1→0）; 01 = 上升緣（0→1）; 10 = 電位轉態（0→1 或 1→0）; 11 = 電位轉態（0→1 或 1→0）

PT4: PT4 引腳狀態旗標與控制暫存器

位元	名稱	描述
Bit7~3	PT4.x	PT4.x 引腳的狀態旗標與控制器，3≦x≦7 **PT4.x** / **當 TC4.x 設置<0>**: PT4.x 輸入為低電位(L); 0 / **當 TC4.x 設置<1>**: PT4.x 輸出低電位(L) 1: PT4.x 輸入為高電位(H); 1: PT4.x 輸出高電位(H)

TRISC4: PT4 引腳特性控制暫存器

位元	名稱	描述
Bit7~3	TC4.x	PT4.x 引腳輸出特性控制器，3≦x≦7 <0>關閉輸出功能，引腳只為輸入特性 <1>啓用輸出功能，引腳為輸出/輸入特性

PT4DA: PT4 類比輸入控制暫存器

位元	名稱	描述
Bit7~3	DA4.x	PT4.x 類比輸入控制器，3≦x≦7 <0>關閉 <1>啓用

PT4PU: PT4 引腳上拉電阻控制暫存器

位元	名稱	描述
Bit7~3	PU4.x	PT4.x 引腳上拉電阻控制器，3≦x≦7 <0>關閉 <1>啓用

PT4M2: PT4 數位輸出模式選擇暫存器

位元	名稱	描述
Bit6	PM4.7	PT4.7 I/O 數位輸出模式選擇器. <0>關閉 <1>啓用 PWM1 輸出功能。(需自行設定 TRISC4 暫存器)
Bit4	PM4.6	PT4.6 I/O 數位輸出模式選擇器. <0>關閉 <1>啓用 PWM0 輸出功能。(需自行設定 TRISC4 暫存器)

PT4INT: PT4 I/O 中斷信號產生條件

位元	名稱	描述
Bit7~6	INTG4.x	中斷信號產生條件（6≦x≦7） <0>下降緣（1→0） <1>上升緣（0→1）

PT4PD1: PT4 下拉電阻選擇暫存器

位元	名稱	描述

<table>
<tr><td>Bit7~6</td><td>PDR4.3[1:0]</td><td>PT4.3 下拉電阻選擇控制器
<table>
<tr><th>PDR4.3[1:0]</th><th>Function</th></tr>
<tr><td>00</td><td>OFF(default)</td></tr>
<tr><td>01</td><td>10K Ω</td></tr>
<tr><td>10</td><td>50K ΩΩ</td></tr>
<tr><td>11</td><td>100K Ω</td></tr>
</table></td></tr>
</table>

PT4PD2: PT4 下拉電阻選擇暫存器

<table>
<tr><th>位元</th><th>名稱</th><th>描述</th></tr>
<tr><td>Bit7~6</td><td>PDR4.7[1:0]</td><td>PT4.7 下拉電阻選擇控制器
<table>
<tr><th>PDR4.7[1:0]</th><th>Function</th></tr>
<tr><td>00</td><td>OFF(default)</td></tr>
<tr><td>01</td><td>10K Ω</td></tr>
<tr><td>10</td><td>50K Ω</td></tr>
<tr><td>11</td><td>100K Ω</td></tr>
</table></td></tr>
<tr><td>Bit5~4</td><td>PDR4.6[1:0]</td><td>PT4.6 下拉電阻選擇控制器
<table>
<tr><th>PDR4.6[1:0]</th><th>Function</th></tr>
<tr><td>00</td><td>OFF(default)</td></tr>
<tr><td>01</td><td>10K Ω</td></tr>
<tr><td>10</td><td>50K Ω</td></tr>
<tr><td>11</td><td>100K Ω</td></tr>
</table></td></tr>
<tr><td>Bit3~2</td><td>PDR4.5[1:0]</td><td>PT4.5 下拉電阻選擇控制器
<table>
<tr><th>PDR4.5[1:0]</th><th>Function</th></tr>
<tr><td>00</td><td>OFF(default)</td></tr>
<tr><td>01</td><td>10K Ω</td></tr>
<tr><td>10</td><td>50K Ω</td></tr>
<tr><td>11</td><td>100K Ω</td></tr>
</table></td></tr>
<tr><td>Bit1~0</td><td>PDR4.4[1:0]</td><td>PT4.4 下拉電阻選擇控制器
<table>
<tr><th>PDR4.4[1:0]</th><th>Function</th></tr>
<tr><td>00</td><td>OFF(default)</td></tr>
<tr><td>01</td><td>10K Ω</td></tr>
<tr><td>10</td><td>50K Ω</td></tr>
<tr><td>11</td><td>100K Ω</td></tr>
</table></td></tr>
</table>

8. 看門狗,Watch Dog

看門狗 WDT 為顧名思義的為晶片的看守者，主要用於產生喚醒事件。

- 運行模式

  看門狗計數器溢位產生復位信號，重新啓動晶片

  可用軟體清歸零時器

- 休眠模式

  看門狗 WDT 關閉，無法使用

- 待機模式

  看門狗計數器溢位產生中斷事件，喚醒晶片

WDT 相關暫存器摘要：

INTE0	GIE[0], WDTIE[0]
INTF0	WDTIF[0]
PSTAT	TO[0]
WDTCN	ENWDT[0],DWDT[2:0]

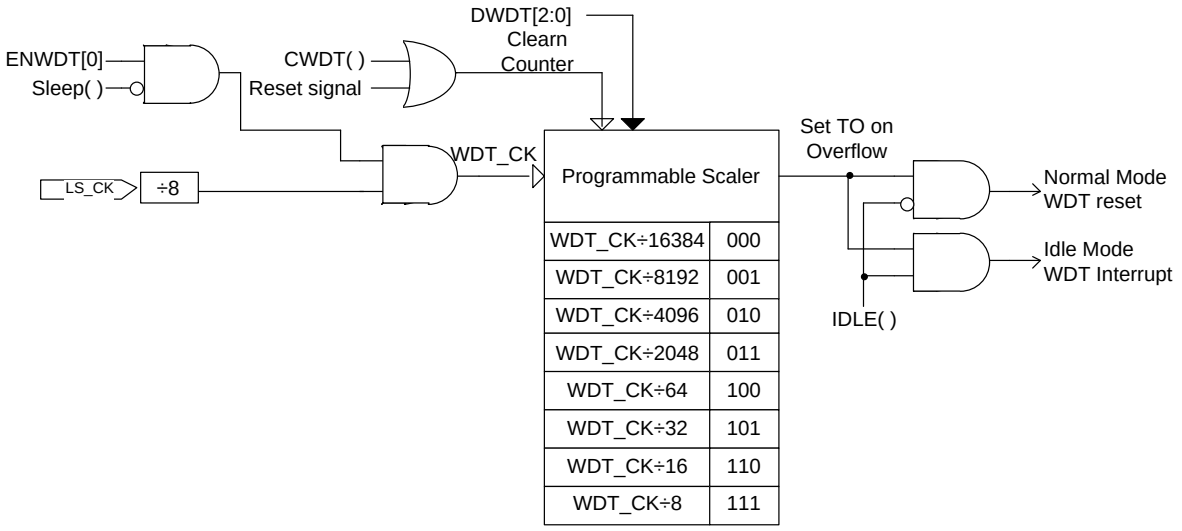


圖 8-1 看門狗方塊圖

8.1. WDT 使用說明

8.1.1. WDT 初始化設置

WDT計時控制器DWDT[2:0]可決定WDT計數器的工作頻率WDT_CK與溢位，計數器溢位後可產生WDT復位信號TO或中斷事件WDTIF[2]。

8.1.2. WDT 中斷事件服務

WDT 中斷事件只能操作在晶片處於待機模式，當 WDTIE[0]與 GIE[0]設置<1>時 WDT 計數器溢位後會產生中斷事件將 WDTIF[0]置<1>且程式計數器 PC 跳至中斷向量位置<0>x0004h。反之，WDTIE[0]與 GIE[0]設置<0>時不會產生任何中斷。

[2] WDT 使用內部時脈源 LPO，故可操作在晶片處於運行 Normal Mode 與待機 Idle Mode 模式。運行模式下可用軟體歸零計數器使之不會因計數終了而復位晶片，但在待機模式下則無法透過任何方式使 WDT 計時器歸零。

8.1.3. WDT 啓用

WDT 必須在晶片處於運行模式下啓用，即是將 WDT 啓用控制器 ENWDT[0]設置<1>以啓用 WDT。啓用後即無法用軟件再將 ENWDT[0]設置<0>，不論在運行模式或者待機模式都無法用軟件再將 ENWDT[0]設置<0>。DWDT[2:0]設定後，當發生 WDT 重置或中斷，DWDT 將會被清除為 000b，需要軟體重新再設定。

8.2. WDT 控制暫存器列表與說明：

"-"no use,"*"read/write,"w"write,"r"read,"r0"only read 0,"r1"only read 1,"w0"only write 0,"w1"only write 1												
"$"for event status,"."unimplemented bit,"x"unknown,"u"unchanged,"d"depends on condition												
Address	File Name	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	A-RESET	I-RESET	R/W
023h	INTE0	GIE	-	ADIE	WDTIE	TB1IE	TMAIE	E1IE	E0IE	0000 0000	0uuu uuuu	*,*,*,*,*,*,*
026h	INTF0	-	-	ADIF	WDTIF	TB1IF	TMAIF	E1IF	E0IF	.000 0000	.uuu uuuu	*,*,*,*,*,*,*
02Ch	PSTAT			TO						$000 $00.	uu$u u$u.	rw0,rw0,rw0,rw0 rw0,rw0,rw0,-
037h	WDTCN					ENWDT	DWDT[2:0]			0000 0000	uuuu $000	-,*,*,* rw1,*,*,*

表 8-1WDT 相關暫存器

INTE0/INTF0: 詳見中斷**,Interrupt** 章節

PSTAT[7:0]週邊狀態旗標暫存器

位元	名稱	描述
Bit5	TO	看門狗 WDT 運行模式計數溢位旗標 <0>未發生 WDT 計數溢位事件 <1>已發生 WDT 復位事件；清除需透過 BOR、RST 或指令

WDTCN[7:0]看門狗控制暫存器

位元	名稱	描述
Bit3	ENWDT[0]	WDT 計數器啓用與關閉控制器 <0>關閉 <1>啓用
Bit2~0	DWDT[2:0]	看門狗 WDT_CK 工作頻率選擇器

DWDT[2:0]	Pre-scale
000	WDT_CK ÷ 16384
001	WDT_CK ÷ 8192
010	WDT_CK ÷ 4096
011	WDT_CK ÷ 2048
100	WDT_CK ÷ 64
101	WDT_CK ÷ 32
110	WDT_CK ÷ 16
111	WDT_CK ÷ 8

9. 計數器 A1,Timer-A1

計數器 A1 為 8-bit 的設計架構，TMA1 可工作於運行模式與待機模式。

- 遞增型計數器
- 八段溢位數值選擇
- 8Bit 溢位次數比較器
- 溢位產生中斷事件
- 可讀取計數器的值

TMA1 暫存器摘要：

TMA1CN	ENTMA1[0], TMACL1[0],TMA1S[0], DTMA1[2:0]
TMA1R	TMAR[7:0]
TMA1C	TMAC[7:0]
INTE0	GIE,TA1CIE
INTE1	TA1IE
INTF0	TA1CIF
INTF1	TA1IF

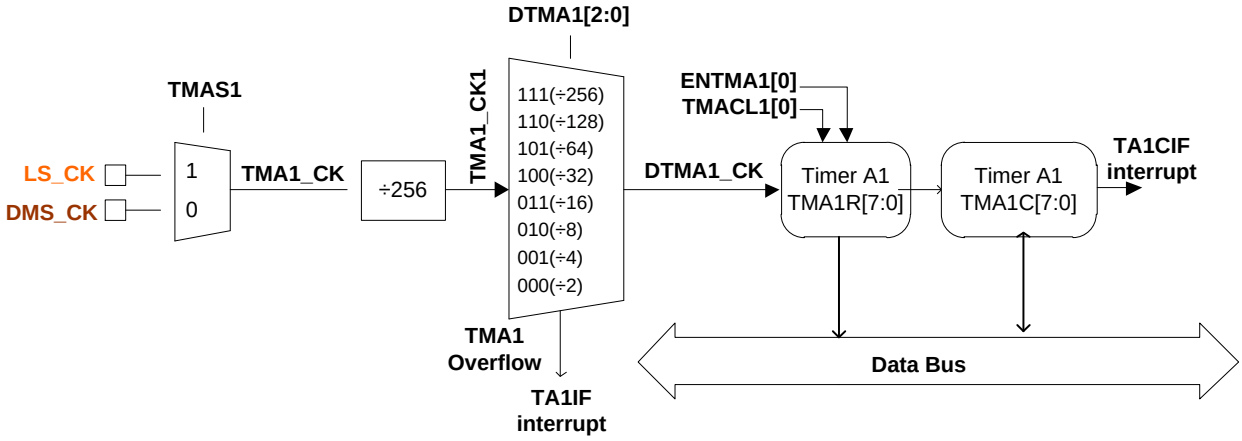


圖 9-1 計數器 A1 方塊圖

- 操作說明：

  設置 TMAS1[0]選擇 TMA1_CK 的頻率，並經過預除頻器 256 降低頻率再輸入 DTMA1 除頻器。

  將 ENTMA1[0]設置<1>啓用 TMA1；反之，設置<0>則關閉並清除 TMA1R[7:0]。

  DTMA1[2:0]計數條件成立產生中斷事件，並使得 TMA1R[7:0]累進加 1。

  TMA1 中斷事件 TMA1IF[0]必須在 TMA1IE[0]設置<1>且 GIE[0]設置<1>才有中斷服務。

  讀取 TMA1R[7:0]不會使得 TMA1 計數器歸零。

  使用者將 TMACL1[0]設置<1>清除 TMA1 所有計數器後，TMACL1[0]自動置<0>。

  TMAR1[7:0]可讀取 TMA 累進計數器的數值，並可以以寫入動作清除 TMAR1[7:0]計數數值。

◆ Timer A1 計數器的比較器操作說明:

設置 TMAS1 選擇 TMA1_CK 的頻率，先經過預除頻 256 之後，為 TMA1_CK1 頻率源後再輸入 DTMA1 除頻器。

將 ENTMA1 設置<1>啓用 TMA1，並清除 TMA1_CK、DTMA1_CK、TMA1R 等計數器，從 0 開始計數；反之，設置<0>則關閉 TMA1。

DTMA1[2:0]計數條件成立產生中斷事件(TA1IF)，並使得 TMA1R[7:0]累進加 1。

TMA1 中斷事件 TA1IF 必須在 TA1IE 設置<1>且 GIE 設置<1>才有中斷服務。

讀取 TMA1R[7:0]不會使得 TMA1 計數器歸零。

使用者將 TMACL1 設置<1>清除 TMA1_CK、DTMA1_CK 計數器後，TMACL1[0]由硬體自動置<0>。

TMA1R[7:0]可讀取 TMA1 累進計數器的數值，並可以以寫入動作會視為清除 TMA1R[7:0]計數數值，從 TMA1R[7:0]=0 開始重新計算。

TMA1C[7:0] 是 Timer A1 的比較點暫存器，可以被讀寫。當 BOR/POR 發生之後，TMA1C[7:0]會被設成 0。當 TMA1R[7:0]值累加到和 TMA1C[7:0]一樣時，TA1CIF 旗標都被置 1。同樣 TA1CIF 必須在 TA1CIE 設置<1>且 GIE 設置<1>才有中斷服務。

當設計 TA1IF=1sec 中斷,如果需求為 60sec 中斷喚醒,則可以設定 TA1CIF=60sec 中斷,並開啓 TA1CIE 中斷要求來喚醒晶片。

9.1. 暫存器說明-TMA1

"-"no use,"*"read/write,"w"write,"r"read,"r0"only read 0,"r1"only read 1,"w0"only write 0,"w1"only write 1												
"$"for event status,"."unimplemented bit,"x"unknown,"u"unchanged,"d"depends on condition												
Address	**File Name**	**Bit7**	**Bit6**	**Bit5**	**Bit4**	**Bit3**	**Bit2**	**Bit1**	**Bit0**	**A-RESET**	**I-RESET**	**R/W**
023h	INTE0	GIE	TA1CIE	ADIE	WDTIE	TB1IE	-	-	E0IE	0000 0000	0uuu uuuu	*,*,*,*,*,*,*,*
024h	INTE1	TA1IE	-							0000 0000	uuuu uuuu	*,*,*,*,*,*,*,*
026h	INTF0	-	TA1CIF	ADIF	WDTIF	TB1IF	-	-	E0IF	.000 0000	.uuu uuuu	*,*,*,*,*,*,*,*
027h	INTF1	TA1IF	-							0000 0000	uuuu uuuu	*,*,*,* r,r,*,*
034h	OSCCN0	OSCS[1:0]		DHS[1:0]		DMS[2:0]			CUPS	0000 0000	uuuu uuuu	*,*,*,*,*,*,*,*
036h	OSCCN2						HAOM[1:0]		ENHAO	0000 0011	uuuu uu11	*,*,*,*,*,*,r
044h	TMA1CN	ENTMA1	TMACL1	TMAS1	DTMA1[2:0]			-	-	0000 00..	u0uu uu..	*,rw1,*,*,*,*,-,-
045h	TMA1R	TMA1 counter Register								0000 0000	uuuu uuuu	rw0,rw0,rw0,rw0 rw0,rw0,rw0,rw0
046h	TMA1C	TMA1C counter Register								0000 0000	uuuu uuuu	rw0,rw0,rw0,rw0 rw0,rw0,rw0,rw0

表 9-1 TMA1 控制暫存器

INTE0/INTE1/INTF0/INTF1: 詳見中斷**,Interrupt** 章節

OSCCN0/OSCCN1/OSCCN2:詳見震盪器、時脈源與功耗管理章節

TMA1CN: 計數器 **A** 控制暫存器

位元	名稱	描述
Bit7	ENTMA1	Timer-A 啓用控制器 <0>關閉。 <1>啓用，並清除 TMA1_CK、DTMA1_CK、TMA1R 等計數器。
Bit6	TMACL1	TMA1 計數器歸零 <0>TMA1 計數器歸零。 <1>TMA1TMACL1 設置<1>清除 TMA1_CK、DTMA1_CK 計數器後，TMACL1 由硬體自動置<0>。
Bit5	TMAS1	TMA1 工作頻率選擇器 <0>DMS_CK <1>LS_CK

<table>
<tr><th>位元</th><th>名稱</th><th>描述</th></tr>
<tr><td>Bit4~2</td><td>DTMA1[2:0]</td><td>啓用與關閉控制器
<table>
<tr><th>DTMA1[2:0]</th><th>頻率分配選擇器</th><th>DTMA1[2:0]</th><th>頻率分配選擇器</th></tr>
<tr><td>000</td><td>TMA1_CK ÷ 2</td><td>100</td><td>TMA1_CK ÷ 32</td></tr>
<tr><td>001</td><td>TMA1_CK ÷ 4</td><td>101</td><td>TMA1_CK ÷ 64</td></tr>
<tr><td>010</td><td>TMA1_CK ÷ 8</td><td>110</td><td>TMA1_CK ÷ 128</td></tr>
<tr><td>011</td><td>TMA1_CK ÷ 16</td><td>111</td><td>TMA1_CK ÷ 256</td></tr>
</table>
計算後的中斷時間為：
0.512msec~ 65.536msec (at clock source=DMS_CK, and HAO=2MHz)
36.5msec~ 4681.1msec (at clock source=LPC_CK, and LPO=14kHz)
<table>
<tr><th>TMA1_CK(kHz)</th><th>TMA1_CK1(kHz)</th><th>DTMA1[2:0]</th><th>DTMA1_CK(kHz)</th><th>TA1IF(msec)</th></tr>
<tr><td rowspan="3">1000</td><td rowspan="3">3.90625</td><td>000b</td><td>1.953125</td><td>0.512</td></tr>
<tr><td>100b</td><td>0.122070313</td><td>8.192</td></tr>
<tr><td>111b</td><td>0.015258789</td><td>65.536</td></tr>
<tr><td rowspan="3">14</td><td rowspan="3">0.0546875</td><td>000b</td><td>0.02734375</td><td>36.57142857</td></tr>
<tr><td>100b</td><td>0.001708984</td><td>585.1428571</td></tr>
<tr><td>111b</td><td>0.000213623</td><td>4681.142857</td></tr>
</table>
</td></tr>
</table>

TMA1R: TMA1 的遞增型計數器，可讀取不可寫入。

寫入動作會視為清除 TMA1R[7:0]計數數值，從 TMA1R[7:0]=0 開始重新計算。

TMA1C: Timer A1 計數器的比較點，可讀取可寫入。

10. 16-bit 計數器 B,TMB（16-bit TimerB）

計數器 B（以下簡稱 TMB），TMB 具有兩個 PWM 輸出，分別為 PWMA0/1。而每個 TMB 具有四種操作模式，每個模式的計數器皆具有特殊功能設計，以滿足不同的應用方式。

TMB 暫存器摘要：

INTE0	GIE,TMBIE
INTF0	TMBIF
OSCCN1	DTMB[1:0], TMBS
TB1Flag	PWM6A, PWM5A, PWM4A, PWM3A, PWM2A, PWM1A
TB1CN0	ENTB1, TB1M[1:0], TB1RT[1:0], TB1CL
TB1CN1	PA1IV, PWMA1[2:0], PA0IV, PWMA0[2:0]
TB1R	TB1RH[15:8], TB1RL[7:0]
TB1C0	TB1C0[15:8], TB1C0L[7:0]
TB1C1	TB1C1H[15:8], TB1C1L[7:0]
TB1C2	TB1C2H[15:8], TB1C2L[7:0]

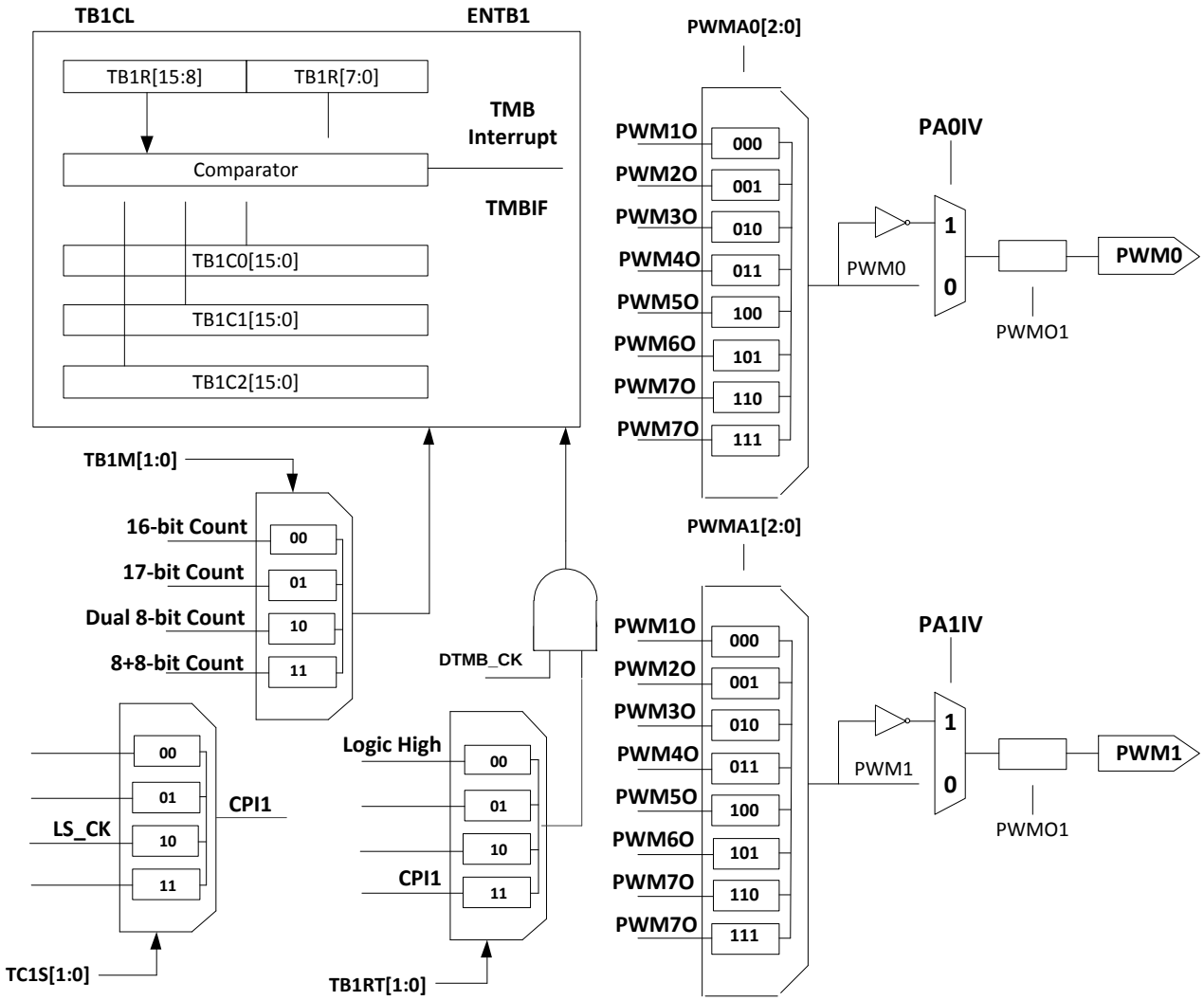


圖 10-1TMB 計數器架構圖

- TMB 的計數暫存器分別為

  遞增/遞減式計數器 TB1R[15:0]

  溢位事件條件控制器 TB1C0[15:0]

  PWMA 條件控制器 TB1C1[15:0]

  PWMA 條件控制器 TB1C2[15:0]

  啓用控制器 ENTB1[0]

  模式控制器 TB1M[1:0]

  觸發控制器 TB1RT[1:0]

  歸零控制器 TB1CL[0]

  PWM0 輸出波形選擇器 PWMA0[2:0]

  PWM0 輸出反相控制器 PA0IV[0]

  PWM1 輸出波形選擇器 PWMA1[2:0]

  PWM1 輸出反相控制器 PA1IV[0]

  工作頻率源選擇器 TMBS[0]

  工作頻率預除頻器 DTMB[1:0]

- TMB 四種計數模式

  16-bit 計數

  17-bit 計數

  兩組 8-bit 計數

  8+8-bit 計數

- TMB 的系統功耗操作

  運行模式

  待機模式

- TB1R[15:0]歸零重新計數條件

  讀取 TMB 相關暫存器，不會使得 TB1R[15:0]歸零重新計數

  寫入 TB1C0[15:0]、TB1C1[15:0]與 TB1C2 [15:0]不會使得 TB1R[15:0]歸零重新計數

  寫入 TB1CN0 與 TB1CN1 控制暫存器不會使得 TB1R[15:0]歸零重新計數。

  TB1R[15:0]採累進計數至大於 TB1C0[15:0]將使得 TB1R[15:0]歸零重新計數。

  使用者將 TB1CL[0]設置<1>清除 TB1R[15:0]計數器後，TB1CL[0]自動置<0>。

10.1. TMB 四種計數模式

計數器 B 的四種計數方式，可透過計數模式選擇器 TB1M[1:0]進行選擇。而每種計數模式具有不同的溢位與中斷事件方式，在此章節說明四種計數模式的操作方法。

另外，不同的計數模式與 PWM 條件選擇器搭配後可產生七種不同的 PWM 波形。在後續章節會逐一描述。

10.1.1. 16-bit 計數器

將計數模式選擇器 TB1M[1:0]設置<00>使得 TMB 操作在 16-bit 計數模式下，在此模式下具有以下特性：

- ◆ TB1R[15:0]計數器的計數開始可由 TB1RT[1:0]設置不同事件觸發。
- ◆ TB1R[15:0]累進計數至等於 TB1C0[15:0]時，產生溢位事件 TB1IF[0]並將 TB1R[15:0]歸零重新計數。

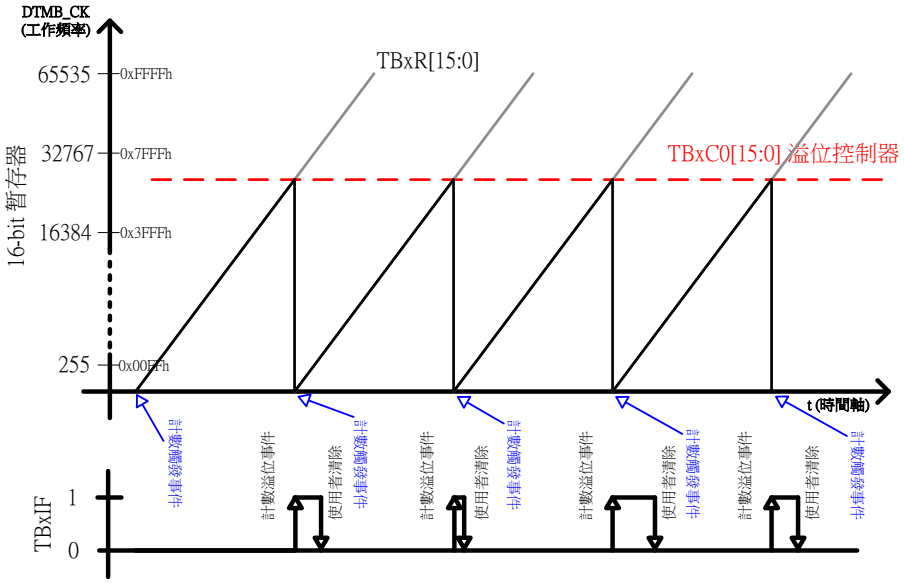


圖 10-2 16-bit 計數器波形與使用示意圖

- ◆ 16-bit 計數模式操作說明
- ■ 初始化
  - ● 設置 TMBS[1:0]可選擇 TMB 的工作頻率源，設置 DTMB[1:0]以決定 TMB 工作頻率。
  - ● TB1M[1:0]設置<00>，將 TMB1 規劃為 16-bit 計數器。
  - ● 寫入數據至 TB1C0[15:0]。
- ■ 將 TB1RT[1:0]設置<00>以選擇觸發計數信號為總是啓用狀態（Always Enable），即循環計數。
- ■ 將 ENTB1[0]設置<1>以啓用計數器
  - ● 當 TB1R[15:0]計數數值至等於 TB1C0[15:0]時，產生溢位事件使得 TB1IF[0]置<1>並歸零重新遞增計數，此時 TB1IE[0]]設置<1>則會產生中斷事件服務。
  - ● 計數過程，使用者可利用計數歸零控制器 TB1CL[0]設置<1>以重新計數，且 TB1CL[0]自動置<0>。
- ■ 將 ENTB1[0]設置<0>以關閉計數器。

10.1.2. 17-bit 計數器

將計數模式選擇器 TB1M[1:0]設置<01>使得 TMB 操作在 17-bit 計數模式下，在此模式下具有以下特性：

- ◆ TB1R[15:0]計數器的計數開始可由 TB1RT[1:0]設置不同事件觸發。
- ◆ TB1R[15:0]累進計數至等於 TB1C0[15:0]時延遲半個指令週期後改成遞減計數，且當遞檢計數至 TB1R[15:0]為 0000h 則產生溢位事件 TB1IF[0]，並重新遞增計數。

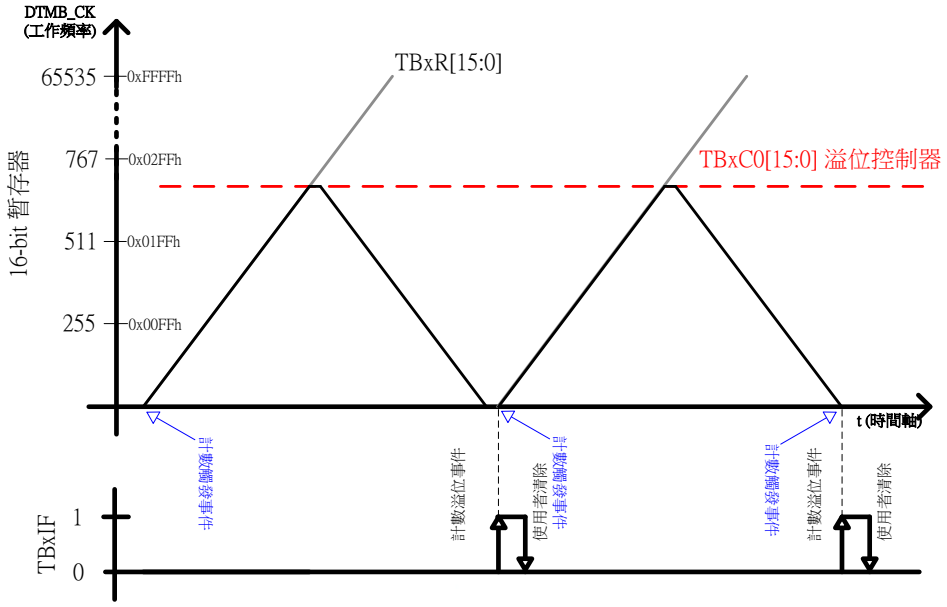


圖 10-3 17-bit 計數器波形與使用示意圖

- ◆ 17-bit 計數模式操作說明
- ■ 初始化
  - ● 設置 TMBS[1:0]可選擇 TMB 的工作頻率源，設置 DTMB[1:0]以決定 TMB 工作頻率。
  - ● TB1M[1:0]設置<01>，將 TMB1 規劃為 17-bit 計數器。
  - ● 寫入數據至 TB1C0[15:0]。
- ■ 將 TB1RT[1:0]設置<00>以選擇觸發計數信號為總是啓用狀態（Always Enable），即循環計數。
- ■ 將 ENTB1[0]設置<1>以啓用計數器
  - ● 當 TB1R[15:0]計數數值至等於 TB1C0[15:0]時延遲半個指令週期後改成遞減計數，且當遞減計數至 TB1R[15:0]為 0000h 則產生溢位事件使得 TB1IF[0]置<1>並歸零重新遞增計數，此時 TB1IE[0]]設置<1>則會產生中斷事件服務。
  - ● 計數過程，使用者可利用計數歸零控制器 TB1CL[0]設置<1>以重新計數，且 TB1CL[0]自動置<0>。
- ■ 將 ENTB1[0]設置<0>以關閉計數器。

10.1.3. 兩組 8-bit 計數器

將計數模式選擇器 TB1M[1:0]設置<10>使得 TMB 操作在兩組 8-bit 計數模式下，在此模式下具有以下特性：

- ◆ 兩個 8-bit 計數器 TB1R[7:0]與 TB1R[15:8]的計數開始可由 TB1RT[1:0]設置不同事件做同時觸發。
- ◆ TB1R[7:0]累進計數至等於 TB1C0[7:0]時產生溢位事件 TB1IF[0]，並將 TB1R[7:0]歸零重新計數。
- ◆ TB1R[15:8]累進計數至等於 TB1C0[15:8]時產生溢位並將 TB1R[15:8]歸零重新計數。

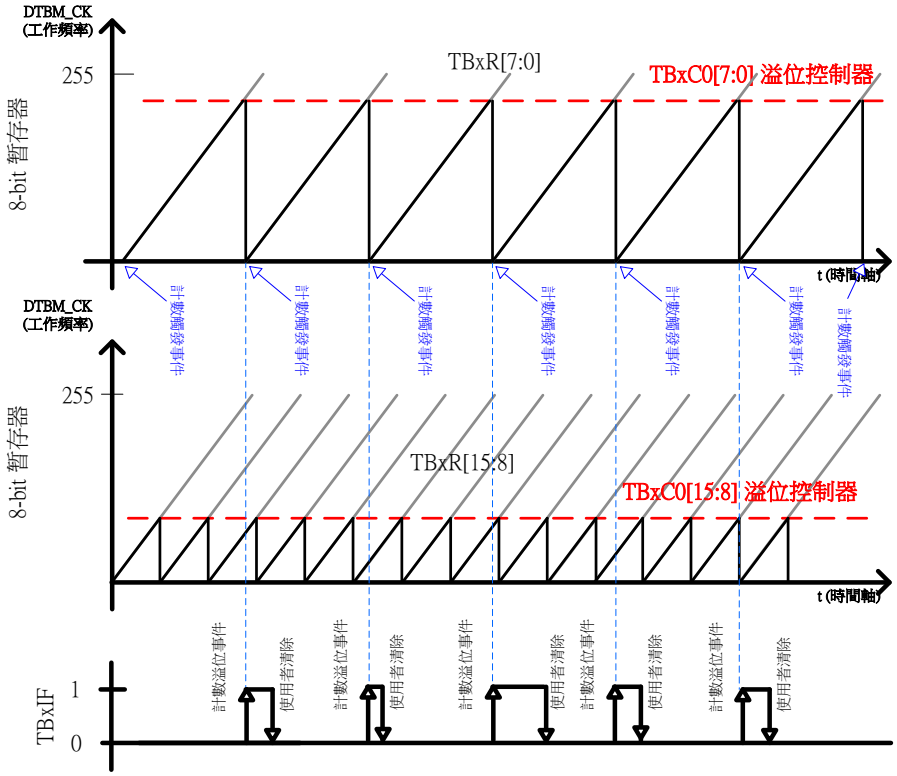


圖 10-4 兩組 8-bit 計數器波形與使用示意圖

- ◆ 兩組 8-bit 計數模式操作說明
- ■ 初始化
  - ● 設置 TMBS[1:0]可選擇 TMB 的工作頻率源，設置 DTMB[1:0]以決定 TMB 工作頻率。
  - ● TB1M[1:0]設置<10>，將 TMB1 規劃為兩組 8-bit 計數器。
  - ● 分別寫入數據至 TB1C0[7:0]與 TB1C0[15:8]。
- ■ 將 TB1RT[1:0]設置<00>以選擇觸發計數信號為總是啓用狀態（Always Enable），即循環計數。
- ■ 將 ENTB1[0]設置<1>以啓用計數器
  - ● 當 TB1R[7:0]計數數值至等於 TB1C0[7:0]時，產生溢位事件使得 TB1IF[0]置<1>並歸零重新遞增計數，此時 TB1IE[0]]設置<1>則會產生中斷事件服務。

- 當 TB1R[15:8]計數數值至等於 TB1C0[15:8]時，產生溢位並且 TB1R[15:8]歸零重新遞增計數。
- 計數過程，使用者可利用計數歸零控制器 TB1CL[0]設置<1>以使得 TB1R[7:0]與 TB1R[15:8]同時重新計數，且 TB1CL[0]自動置<0>。

■ 將 ENTB1[0]設置<0>以關閉計數器。

10.1.4. 8+8-bit 計數器

將計數模式選擇器 TB1M[1:0]設置<11>使得 TMB 操作在兩組 8+8-bit 計數模式下，在此模式下具有以下特性：

- ◆ 8+8-bit 計數器 TB1R[15:8]與 TB1R[7:0]與的計數開始可由 TB1RT[1:0]設置不同事件觸發。
- ◆ TB1R[7:0]累進計數至等於 TB1C0[7:0]時產生溢位事件 TB1IF[0]，並使得 TB1R[15:8]計數器累加 1 且 TB1R[7:0]歸零重新計數。

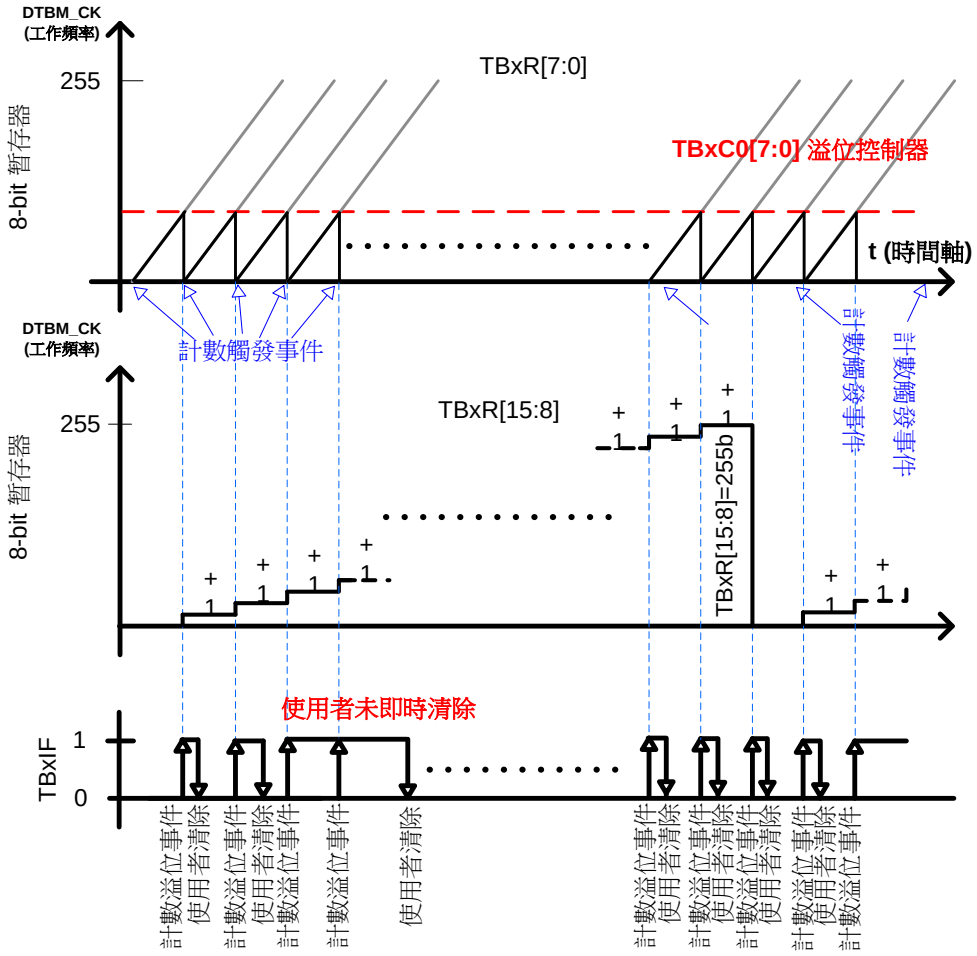


圖 10-58+8-bit 計數器波形與使用示意圖

- ◆ 8+8-bit 計數模式操作說明
- ■ 初始化
  - ● 設置 TMBS[1:0]可選擇 TMB 的工作頻率源，設置 DTMB[1:0]以決定 TMB 工作頻率。
  - ● TB1M[1:0]設置<11>，將 TMB1 規劃為 8+8-bit 計數器。
  - ● 寫入數據至 TB1C0[7:0]。
- ■ 將 TB1RT[1:0]設置<00>以選擇觸發計數信號為總是啓用狀態（Always Enable），即循環計數。
- ■ 將 ENTB1[0]設置<1>以啓用計數器

- 當 TB1R[7:0]計數數值至等於 TB1C0[7:0]時，產生溢位事件使得 TB1IF[0]置<1>且 TB1R[15:8]計數器累加 1，此時 TB1IE[0]]設置<1>則會產生中斷事件並歸零重新遞增計數。
- 當 TB1R[15:8]計數數值至等於 TB1R[15:8]=255b 時，再加 1 會使得 TB1R[15:8]歸零重新遞增計數。
- 計數過程，使用者可利用計數歸零控制器 TB1CL[0]設置<1>以使得 TB1R[7:0]與 TB1R[15:8]同時重新計數，且 TB1CL[0]自動置<0>。

■ 將 ENTB1[0]設置<0>以關閉計數器。

10.2. PWM 脈衝寬度調變

當 TMB 不同的計數模式與脈衝寬度調變(簡稱 PWM)模式選擇器進行組合使用，可產生多種形式的 PWM 波形，其中 PWMA0/1 為實際可輸出之引腳。本章節介紹七種不同的使用方式予請使用者參考。

- ◆ TMB 與 PWM 輸出的關係與基本操作說明
- ■ TMB1 控制 PWMA0 與 PWMA1 輸出
  - ● 由 PWM 模式選擇器 PWMA0[2:0]與 PWMA1[2:0]，分別設置 PWMA0 與 PWMA1 輸出波形為 PWM1O～PWM7O 的其中一種。
  - ● 由波形狀態旗標 PWMA1[0]～PWMA6[0]可以分別讀到 PWM1O～PWM6O 為 "H"或"L"狀態。
  - ● 透過 PWM 輸出反相器 PA0IV[0]與 PA1IV[0]，可分別設置 PWMA0 與 PWMA1 實際輸出波形是否反相。
  - ● PWMA0 與 PWMA1 可分別由引腳 PT7.6(SEG12)與 PT7.7(SEG13)輸出。
- ◆ PWM 模式選擇器 PWMA0/1[2:0]，可輸出 PWM1O～PWM7O 等波形。必須注意，當搭配不同 TMB 計數模式時 PWM1O～PWM7O 可輸出截然不同的波形，以下章節將以基本型態與常見應用描述。

10.2.1. PWM1O 波形（16-bit PWM）

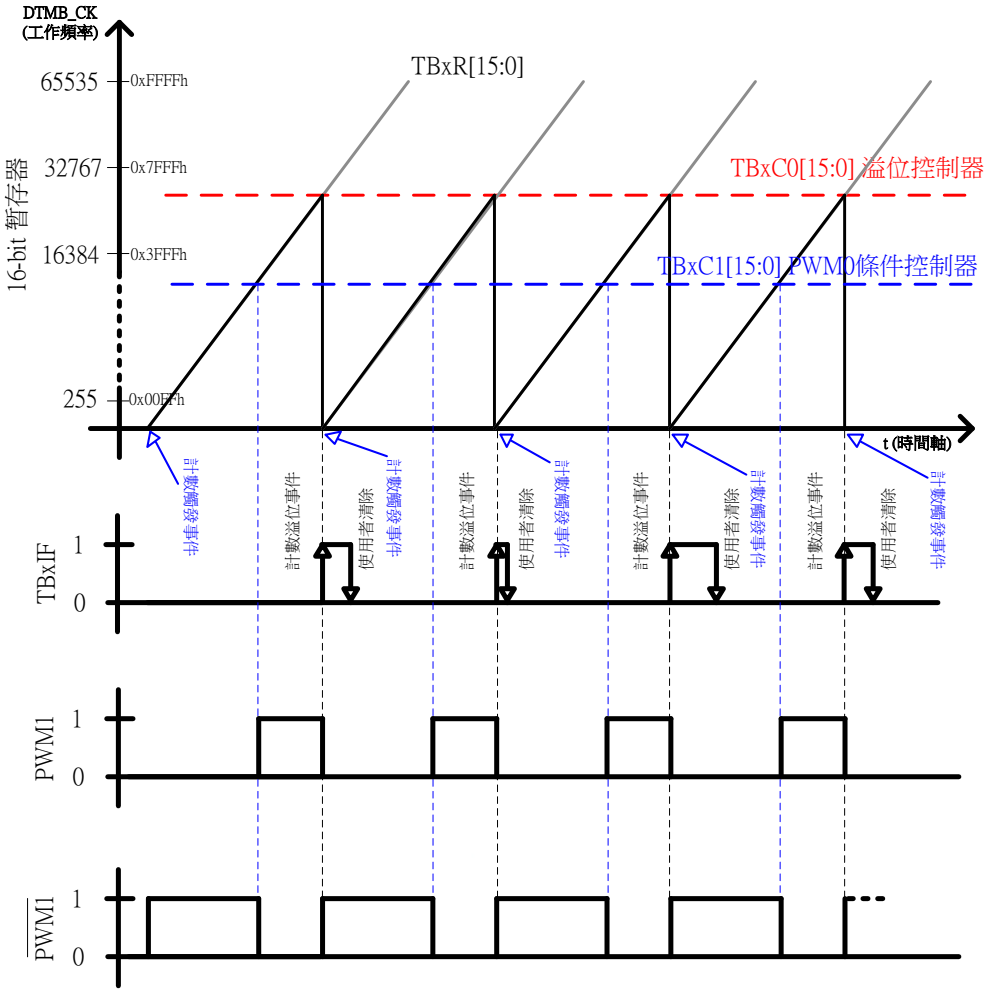


圖 10-6 PWM1O 波形與使用示意圖

◆ PWM1O 操作說明

■ 初始化（PWM 頻率與工作週期設置）

- 設置 TMBS[1:0]可選擇 TMB 的工作頻率源，設置 DTMB[1:0]以決定 TMB 工作頻率。
- TB1M[1:0]設置<00>，將 TMB1 規劃為 16-bit 計數器。
- PWMA0/1[2:0]設置<000>以輸出 PWM1O 波形
- 將 TB1RT[1:0]設置<00>以選擇觸發計數信號為 Logic High。
- 寫入數據至 TB1C0[15:0]，以決定 PWM 之頻率。
- 寫入數據至 TB1C1[15:0]，以決定 PWM 之工作週期(Duty Cycle)。
- 將 ENTB1[0]設置<1>啓用計數器。

■ 產生 PWM1O 波形

- 當 TB1R[15:0]計數數值至等於 TB1C1[15:0]時，使得 PWM1O 狀態由 0➔1。
- 當 TB1R[15:0]再計數數值至等於 TB1C0[15:0]時，使得 PWM1O 狀態由 1➔0；並產生溢位事件使得 TB1IF[0]置<1>並歸零重新遞增計數，此時 TB1IE[0]]設置<1>則會產生中斷事件服務。

■ PWM 輸出控制

- 設置 PM4.7/PM4.6]設置<1>，開啓 PWM Mode。
- 設置 TC4.7/TC4.6[0]設置<1>，啓用輸出功能
- 設置 PA0/1IV[0]以決定引腳輸出波形是否反相。

■ 將 ENTB1[0]設置<0>則關閉計數器與 PWM 輸出。

■ PWM1O 頻率與工作週期計算公式：

$$\text{PWM1O Frequency} = \frac{\text{DTMB_CK}}{\text{TB1C0}[15:0]+1}$$

$$\text{PWM1O Duty Cycle} = \frac{(\text{TB1C0}[15:0]+1) - \text{TB1C1}[15:0]}{\text{TB1C0}[15:0]+1}$$

10.2.2. PWM2O 波形（16-bit PWM）

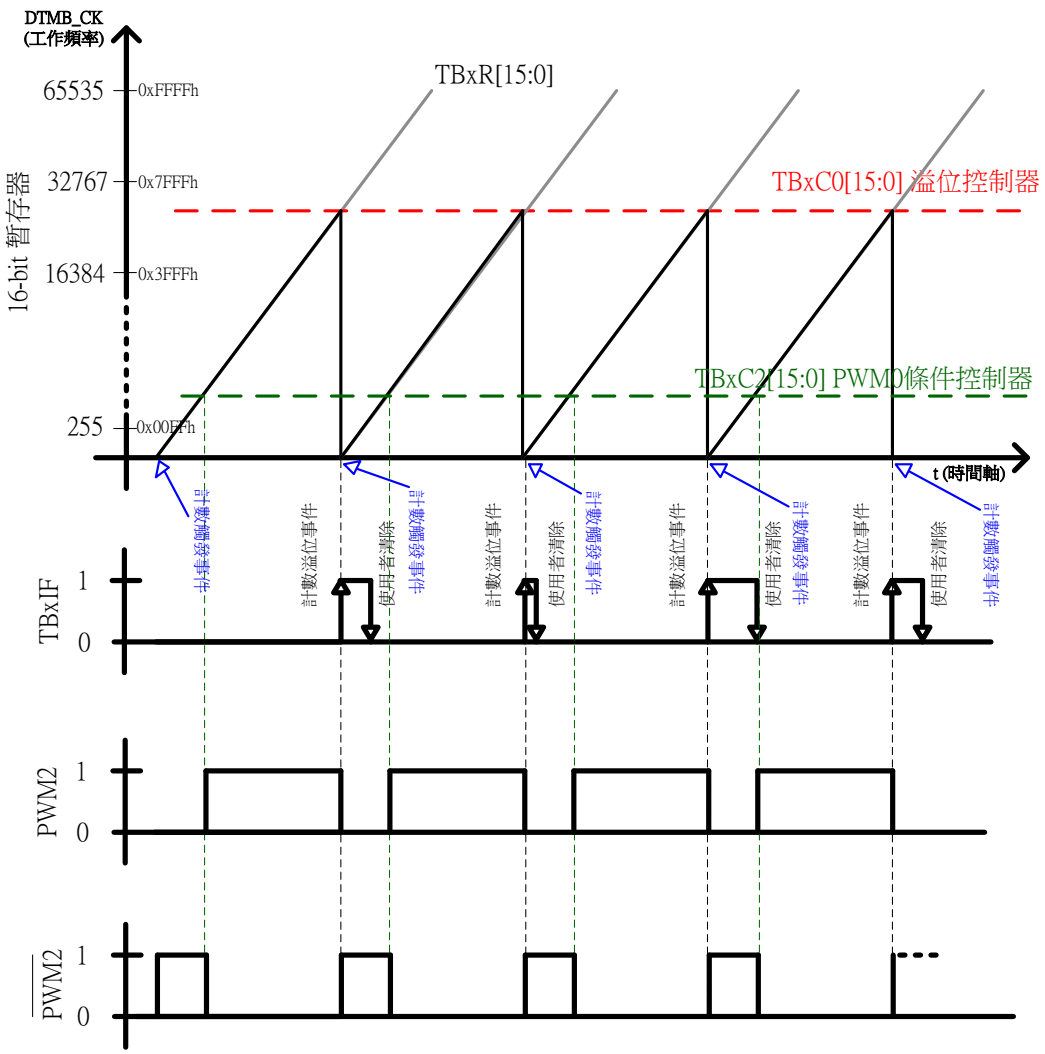


圖 10-7 PWM2O 波形與使用示意圖

◆ PWM2O 操作說明

■ 初始化（PWM 頻率與工作週期設置）

- 設置 TMBS[1:0]可選擇 TMB 的工作頻率源，設置 DTMB[1:0]以決定 TMB 工作頻率。
- TB1M[1:0]設置<00>，將 TMB1 規劃為 16-bit 計數器。
- PWMA0/1[2:0]設置<001>以輸出 PWM2O 波形
- 將 TB1RT[1:0]設置<00>以選擇觸發計數信號為總是啓用（Always Enable），即循環計數。
- 寫入數據至 TB1C0[15:0]，以決定 PWM 之頻率。
- 寫入數據至 TB1C2[15:0]，以決定 PWM 之工作週期(Duty Cycle)。
- 將 ENTB1[0]設置<1>啓用計數器。

■ 產生 PWM2O 波形

- 當 TB1R[15:0]計數數值至等於 TB1C2[15:0]時，使得 PWM2O 狀態由 0➔1。

- 當 TB1R[15:0]再計數數值至等於 TB1C0[15:0]時，使得 PWM2O 狀態由 1➔0；並產生溢位事件使得 TB1IF[0]置<1>並歸零重新遞增計數，此時 TB1IE[0]]設置<1>則會產生中斷事件服務。

■ PWM 輸出控制
- 設置 PM4.7/PM4.6]設置<1>，開啓 PWM Mode。
- 設置 TC4.7/TC4.6[0]設置<1>，啓用輸出功能
- 設置 PA0/1IV[0]以決定引腳輸出波形是否反相。

■ 將 ENTB1[0]設置<0>則關閉計數器與 PWM 輸出。

■ PWM2O 頻率與工作週期計算公式：

$$\text{PWM2O Frequency} = \frac{\text{DTMB_CK}}{\text{TB1C0}[15:0]+1}$$

$$\text{PWM2O Duty Cycle} = \frac{(\text{TB1C0}[15:0]+1) - \text{TB1C2}[15:0]}{\text{TB1C0}[15:0]+1}$$

10.2.3. PWM3O 波形（8-bit PWM）

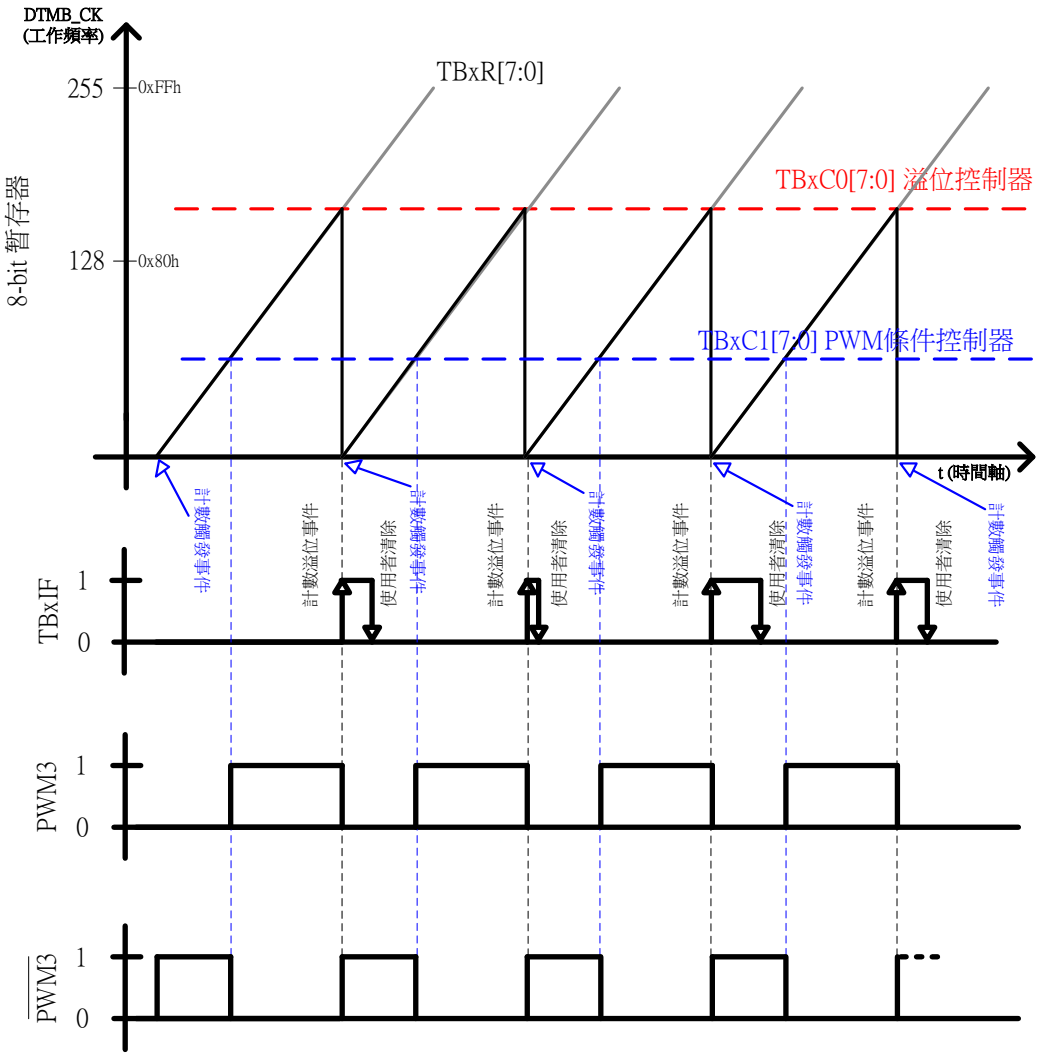


圖 10-8 PWM3O 波形與使用示意圖

◆ PWM3O 輸出操作說明

■ 初始化（PWM 頻率與工作週期設置）

- 設置 TMBS[1:0]可選擇 TMB 的工作頻率源，設置 DTMB[1:0]以決定 TMB 工作頻率。
- TB1M[1:0]設置<10>，將 TMB1 規劃為兩組 8-bit 計數器。
- PWMA0/1[2:0]設置<010>以輸出 PWM3O 波形
- 將 TB1RT[1:0]設置<00>以選擇觸發計數信號為總是啓用（Always Enable），即循環計數。
- 寫入數據至 TB1C0L[7:0]，以決定 PWM 之頻率。
- 寫入數據至 TB1C1L[7:0]，以決定 PWM 之工作週期(Duty Cycle)。
- 將 ENTB1[0]設置<1>啓用計數器。

■ 產生 PWM3O 波形

- 當 TB1RL[7:0]計數數值至等於 TB1C1L[7:0]時，使得 PWM3O 狀態由 0➔1。

- 當 TB1RL[7:0]再計數數值至等於 TB1C0L[7:0]時，使得 PWM3O 狀態由 1➔0；並產生溢位事件使得 TB1IF[0]置<1>並歸零重新遞增計數，此時 TB1IE[0]]設置<1>則會產生中斷事件服務。

■ PWM 輸出控制
- 設置 PM4.7/PM4.6]設置<1>，開啓 PWM Mode。
- 設置 TC4.7/TC4.6[0]設置<1>，啓用輸出功能
- 設置 PA0/1IV[0]以決定引腳輸出波形是否反相。

■ 將 ENTB1[0]設置<0>則關閉計數器與 PWM 輸出。

■ PWM3O 頻率與工作週期計算公式：

$$\text{PWM3O Frequency} = \frac{\text{DTMB_CK}}{\text{TB1C0L}[7:0]+1}$$

$$\text{PWM3O Duty Cycle} = \frac{(\text{TB1C0L}[7:0]+1) - \text{TB1C1L}[7:0]}{\text{TB1C0L}[7:0]+1}$$

10.2.4. PWM4O 波形（8-bit PWM）

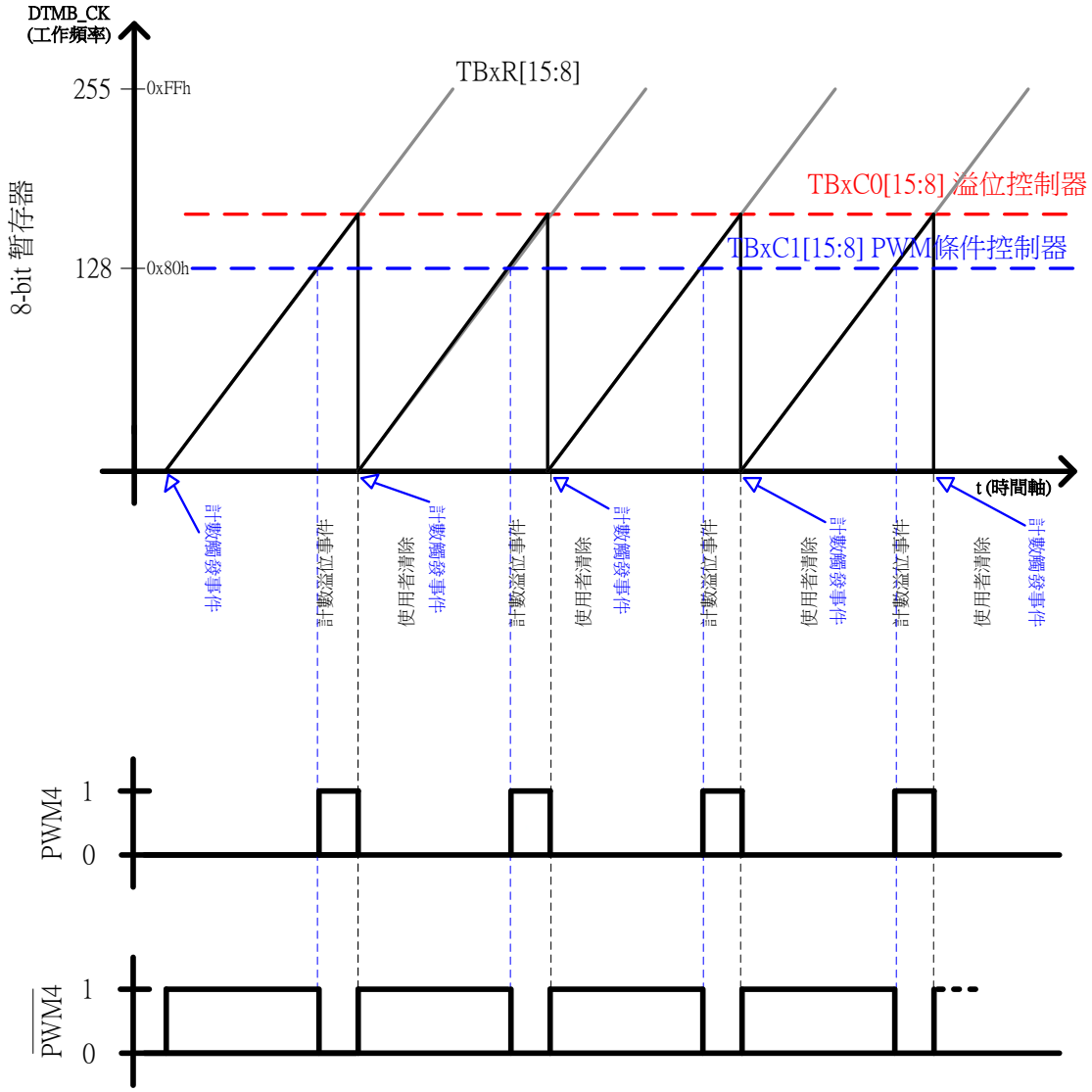


圖 10-9 PWM4O 波形與使用示意圖

◆ PWM4O 輸出操作說明

■ 初始化（PWM 頻率與工作週期設置）

- 設置 TMBS[1:0]可選擇 TMB 的工作頻率源，設置 DTMB[1:0]以決定 TMB 工作頻率。
- TB1M[1:0]設置<10>，將 TMB1 規劃為兩組 8-bit 計數器。
- PWMA0/1[2:0]設置<011>以輸出 PWM4O 波形
- 將 TB1RT[1:0]設置<00>以選擇觸發計數信號為總是啓用（Always Enable），即循環計數。
- 寫入數據至 TB1C0H[15:8]，以決定 PWM 之頻率。
- 寫入數據至 TB1C2L[7:0]，以決定 PWM 之工作週期(Duty Cycle)。
- 將 ENTB1[0]設置<1>啓用計數器。

■ 產生 PWM4O 波形

- 當 TB1R[7:0]計數數值至等於 TB1C2L[7:0]時，使得 PWM4O 狀態由 0➔1。

- 當 TB1RL[7:0]再計數數值至等於 TB1C0H[15:8]時，使得 PWM4O 狀態由 1➔0 並歸零重新遞增計數。

■ PWM 輸出控制
- 設置 PM4.7/PM4.6]設置<1>，開啓 PWM Mode。
- 設置 TC4.7/TC4.6[0]設置<1>，啓用輸出功能
- 設置 PA0/1IV[0]以決定引腳輸出波形是否反相。

■ 將 ENTB1[0]設置<0>則關閉計數器與 PWM 輸出。

■ PWM4O 頻率與工作週期計算公式：

$$\text{PWM4O Frequency} = \frac{\text{DTMB_CK}}{\text{TB1C0H}[15:8]+1}$$

$$\text{PWM4O Duty Cycle} = \frac{(\text{TB1C0H}[15:8]+1) - \text{TB1C2L}[7:0]}{\text{TB1C0H}[15:8]+1}$$

10.2.5. PWM5O 波形（8+8-bit PWM）

將 TMB 計數器設置在 8+8-bit 模式且 PWM 輸出波形選擇 PWM5O，則可得到 8+8bit PWM 輸出。

8+8-bit PWM 由 TB1R[7:0]、TB1C0[7:0]、TB1C1[7:0]與 TB1C2[7:0]等控制暫存器以及內部數位電路組成。其中 TB1R[7:0]為累進計數器、TB1C0[7:0]為 PWM 頻率控制器、TB1C1[7:0]為 PWM 工作週期控制器、TB1C2[7:0]為 8+8-bit PWM 工作週期微調器。

8+8-bit PWM 工作週期微調器 TB1C2[7:0]設置與說明，如下表所示。

設置 / 加權量	TB1C2[7:0]							
	80h	40h	20h	10h	08h	04h	02h	01h
PWM 工作週期(duty cycle)微調	1/2	1/4	1/8	1/16	1/32	1/64	1/128	1/256
說明	2 次 TMB 溢位，一半 N+1 一半 N	4 次 TMB 溢位，一半 N+1 一半 N	8 次 TMB 溢位，一半 N+1 一半 N	16 次 TMB 溢位，一半 N+1 一半 N	32 次 TMB 溢位，一半 N+1 一半 N	64 次 TMB 溢位，一半 N+1 一半 N	128 次 TMB 溢位，一半 N+1 一半 N	256 次 TMB 溢位，一半 N+1 一半 N

表 10-1 工作週期微調器設置表

◆ 工作週期微調器 TB1C0[7:0]說明，其中 N 為工作週期的寬度（*註：N = TB1C0[7:0] – TB1C1[7:0]*）

■ 基本型

- TB1C2[7:0]設置 80h，使得 PWM 工作週期的波形發生 N+1 與 N 輸出。即是產生以 2 個輸出週期為一組的波形，其中 1 個輸出 N+1 另 1 個則為 N。
- TB1C2[7:0]設置 40h，使得 PWM 工作週期的波形發生 N+1 與 N 輸出。即是產生以 4 個輸出週期為一組的波形，其中 2 個連續輸出 N+1 另 2 個則為 N。
- TB1C2[7:0]設置 20h，使得 PWM 工作週期的波形發生 N+1 與 N 輸出。即是產生以 8 個輸出週期為一組的波形，其中 4 個連續輸出 N+1 另 4 個則為 N。
- TB1C2[7:0]設置 10h，使得 PWM 工作週期的波形發生 N+1 與 N 輸出。即是產生以 16 個輸出週期為一組的波形，其中 8 個連續輸出 N+1 另 8 個則為 N。
- TB1C2[7:0]設置 08h，使得 PWM 工作週期的波形發生 N+1 與 N 輸出。即是產生以 32 個輸出週期為一組的波形，其中 16 個連續輸出 N+1 另一個則為 N。
- TB1C2[7:0]設置 04h，使得 PWM 工作週期的波形發生 N+1 與 N 輸出。即是產生以 64 個輸出週期為一組的波形，其中 32 個連續輸出 N+1 另一個則為 N。
- TB1C2[7:0]設置 02h，使得 PWM 工作週期的波形發生 N+1 與 N 輸出。即是產生以 128 個輸出週期為一組的波形，其中 64 個連續輸出 N+1 另一個則為 N。
- TB1C2[7:0]設置 01h，使得 PWM 工作週期的波形發生 N+1 與 N 輸出。即是產生以 256 個輸出週期為一組的波形，其中 128 個連續輸出 N+1 另一個則為 N。

■ 邏輯運算 OR 疊合型

(僅以 1/2+1/4,1/2+1/8,~,1/2+1/4+1/8+1/16+1/32+1/64+1/128,1/2+1/4+1/8+1/16+1/32+1/64+1/256 說明與表示)

- TB1C2[7:0]設置 C0h(1/2+1/4)，使得 PWM 工作週期的波形發生 N+1 與 N 輸出。即是產生 以 4 個輸出週期為一組的波形，其中會有 1 個輸出 N+1 另 3 個則為 N。
- TB1C2[7:0]設置 A0h(1/2+1/8)，使得 PWM 工作週期的波形發生 N+1 與 N 輸出。即是產生以 8 個輸出週期為一組的波形，其中會有 2 個輸出 N+1 另 6 個則為 N。
- TB1C2[7:0]設置 90h(1/2+1/16)，使得 PWM 工作週期的波形發生 N+1 與 N 輸出。即是產生以 16 個輸出週期為一組的波形，其中會有 4 個輸出 N+1 另 12 個則為 N。
- TB1C2[7:0]設置 88h(1/2+1/32)，使得 PWM 工作週期的波形發生 N+1 與 N 輸出。即是產生以 32 個輸出週期為一組的波形，其中會有 8 個輸出 N+1 另 24 個則為 N。
- TB1C2[7:0]設置 84h(1/2+1/64)，使得 PWM 工作週期的波形發生 N+1 與 N 輸出。即是產生以 64 個輸出週期為一組的波形，其中會有 16 個輸出 N+1 另 40 個則為 N。
- TB1C2[7:0]設置 90h(1/2+1/128)，使得 PWM 工作週期的波形發生 N+1 與 N 輸出。即是產生 以 128 個輸出週期為一組的波形，其中會有 32 個輸出 N+1 另 96 個則為 N。
- TB1C2[7:0]設置 90h(1/2+1/256)，使得 PWM 工作週期的波形發生 N+1 與 N 輸出。即是產生以 256 個輸出週期為一組的波形，其中會有 64 個輸出 N+1 另 192 個則為 N。
- TB1C2[7:0]設置 C0h(1/2+1/4+1/8)，使得 PWM 工作週期的波形發生 N+1 與 N 輸出。即是產生以 8 個輸出週期為一組的波形，其中會有 1 個輸出 N+1 另 7 個則為 N。
- TB1C2[7:0]設置 C0h(1/2+1/4+1/8)，使得 PWM 工作週期的波形發生 N+1 與 N 輸出。即是產生以 8 個輸出週期為一組的波形，其中會有 1 個輸出 N+1 另 7 個則為 N。
- TB1C2[7:0]設置 C0h(1/2+1/4+1/8+1/16)，使得 PWM 工作週期的波形發生 N+1 與 N 輸出。即是產生以 16 個輸出週期為一組的波形，其中會有 1 個輸出 N+1 另 15 個則為 N。
- TB1C2[7:0]設置 C0h(1/2+1/4+1/8+1/16+1/32)，使得 PWM 工作週期的波形發生 N+1 與 N 輸出。即是產生以 32 個輸出週期為一組的波形，其中會有 1 個輸出 N+1 另 31 個則為 N。
- TB1C2[7:0]設置 C0h(1/2+1/4+1/8+1/16+1/32+1/64)，使得 PWM 工作週期的波形發生 N+1 與 N 輸出。即是產生以 64 個輸出週期為一組的波形，其中會有 1 個輸出 N+1 另 63 個則為 N。

- TB1C2[7:0]設置 C0h(1/2+1/4+1/8+1/16+1/32+1/64+1/128)，使得 PWM 工作週期的波形發生 N+1 與 N 輸出。即是產生以 128 個輸出週期為一組的波形，其中會有 1 個輸出 N+1 另 127 個則為 N。
- TB1C2[7:0]設置 C0h(1/2+1/4+1/8+1/16+1/32+1/64+1/128+1/256)，使得 PWM 工作週期的波形發生 N+1 與 N 輸出。即是產生以 256 個輸出週期為一組的波形，其中會有 1 個輸出 N+1 另 255 個則為 N。

◆ 下表 10-2、圖 10-10 部分列出 TB1C2[7:0]在不同設置下，8+8-bit PWM 波形變化以供使用者參考。

8+8bit PWM			TBN 溢位次數																		
型態	TBC2 [7:0]	邏輯運算	0	1	2	3	4	5	6	7	8	9	10	~	127	128	~	252	253	254	255
基本波形	80h	1/2	N	N+1	N	N+1	N	N+1	N	N+1	N	N+1	N	~	N+1	N	~	N	N+1	N	N+1
	40h	1/4	N	N	N+1	N	N	N	N+1	N	N	N	N+1	~	N	N	~	N	N	N+1	N
	20h	1/8	N	N	N	N	N+1	N	N	N	N	N	N	~	N	N	~	N+1	N	N	N
	10h	1/16	N	N	N	N	N	N	N	N	N+1	N	N	~	N	N	~	N	N	N	N
	08h	1/32	N	N	N	N	N	N	N	N	N	N	N	~	N	N	~	N	N	N	N
	04h	1/64	N	N	N	N	N	N	N	N	N	N	N	~	N	N	~	N	N	N	N
	02h	1/128	N	N	N	N	N	N	N	N	N	N	N	~	N	N	~	N	N	N	N
	01h	1/256	N	N	N	N	N	N	N	N	N	N	N	~	N	N+1	~	N	N	N	N
邏輯運算疊何形	C0h	3/4	N	N+1	N+1	N+1	N	N+1	N+1	N+1	N	N+1	N+1	~	N+1	N	~	N	N+1	N+1	N+1
	A0h	5/8	N	N+1	N	N+1	N+1	N+1	N	N+1	N	N+1	N	~	N+1	N	~	N+1	N+1	N	N+1
	E0h	7/8	N	N+1	N+1	N+1	N+1	N+1	N+1	N+1	N	N+1	N	~	N+1	N	~	N+1	N+1	N+1	N+1
	F0h	15/16	N	N+1	N+1	N+1	N+1	N+1	N+1	N+1	N+1	N+1	N	~	N+1	N	~	N+1	N+1	N+1	N+1
	A1h	161/256	N	N+1	N	N+1	N+1	N+1	N	N+1	N	N+1	N	~	N+1	N+1	~	N+1	N+1	N	N+1
	F1h	241/256	N	N+1	N+1	N+1	N+1	N+1	N+1	N+1	N+1	N+1	N	~	N+1	N+1	~	N+1	N+1	N+1	N+1
	FFh	255/256	N	N+1	N+1	N+1	N+1	N+1	N+1	N+1	N+1	N+1	N+1	~	N+1	N+1	~	N+1	N+1	N+1	N+1

表 10-2 PWM5O 輸出波形示意表

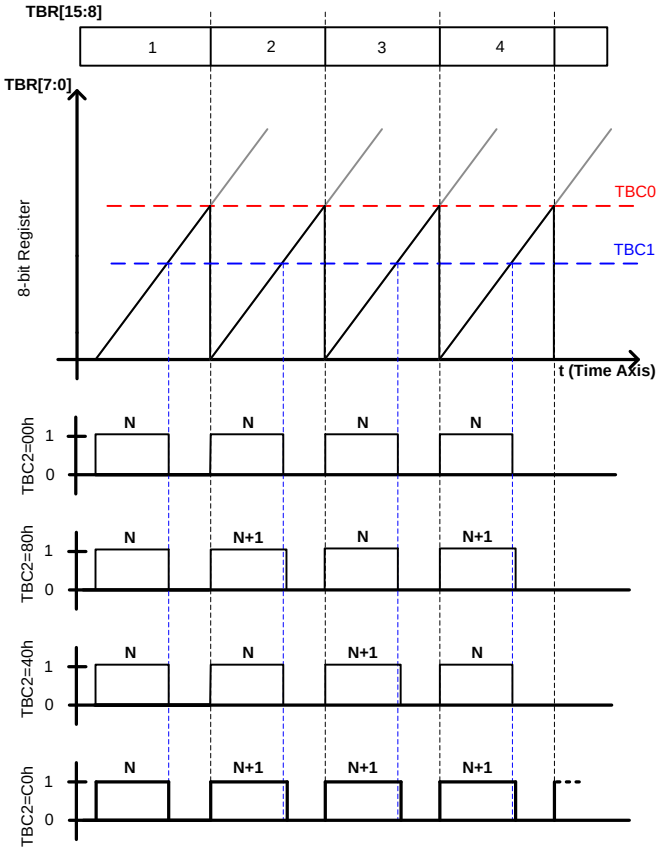


圖 10-10 PWM5O 輸出波形示意圖 1

◆ PWM5O 輸出操作說明

■ 初始化（PWM 頻率與工作週期設置）

- 設置 TMBS[1:0]可選擇 TMB 的工作頻率源，設置 DTMB[1:0]以決定 TMB 工作頻率。
- TB1M[1:0]設置<11>，將 TMB1 規劃為 8+8-bit 計數器。
- PWMA0/1[2:0]設置<100>以輸出 PWM5O 波形
- 將 TB1RT[1:0]設置<00>以選擇觸發計數信號為總是啓用（Always Enable），即循環計數。
- 寫入數據至 TB1C0L[7:0]，以決定 PWM 之頻率。
- 寫入數據至 TB1C1L[7:0]，以決定 PWM 之工作週期(Duty Cycle)。
- 寫入數據至 TB1C2L[7:0]，以決定 PWM 之工作週期(Duty Cycle)微調方式。
- 將 ENTB1[0]設置<1>啓用計數器。

■ 產生 PWM5O 波形

- 當 TB1RL[7:0]計數數值至等於 TB1C1L[7:0]時，使得 PWM5O 狀態由 0➔1。
- 當 TB1RL[7:0]再計數數值至等於 TB1C0L[7:0]時，使得 PWM5O 狀態由 1➔0；
- 並產生溢位事件使得 TB1IF[0]置<1>並歸零重新遞增計數，此時 TB1IE[0]]設置<1>則會產生中斷事件服務。

- 此時，TB1C2L[7:0]所設置的數據，將使調整 PWM5O 輸出為 N+1 與 N。如表 10-1 所描述，其中 N＝TB1C1[7:0]－TB1C0[7:0]。

■ PWM 輸出控制

- 設置 PM4.7/PM4.6]設置<1>，開啓 PWM Mode。
- 設置 TC4.7/TC4.6[0]設置<1>，啓用輸出功能
- 設置 PA0/1IV[0]以決定引腳輸出波形是否反相。

■ 將 ENTB1[0]設置<0>則關閉計數器與 PWM 輸出。

■ PWM5O 頻率與工作週期計算公式：

$$\text{PWM5O Frequency} = \frac{\text{DTMB_CK}}{\text{TBxC0}[7:0]+1}$$

$$\text{PWM5O Duty Cycle} = \frac{(\text{TB1C0L}[7:0]+1) - \text{TB1C1L}[7:0] + TB1C2L[7:0]/256}{\text{TB1C0L}[7:0]+1}$$

10.2.6. PWM6O 形（兩個 16-bit PWM 波形）

將 TMB 計數器設置在 17-bit 模式且 PWM 輸出波形選擇 PWM6O 則可產生兩個 16-bit PWM 波形。

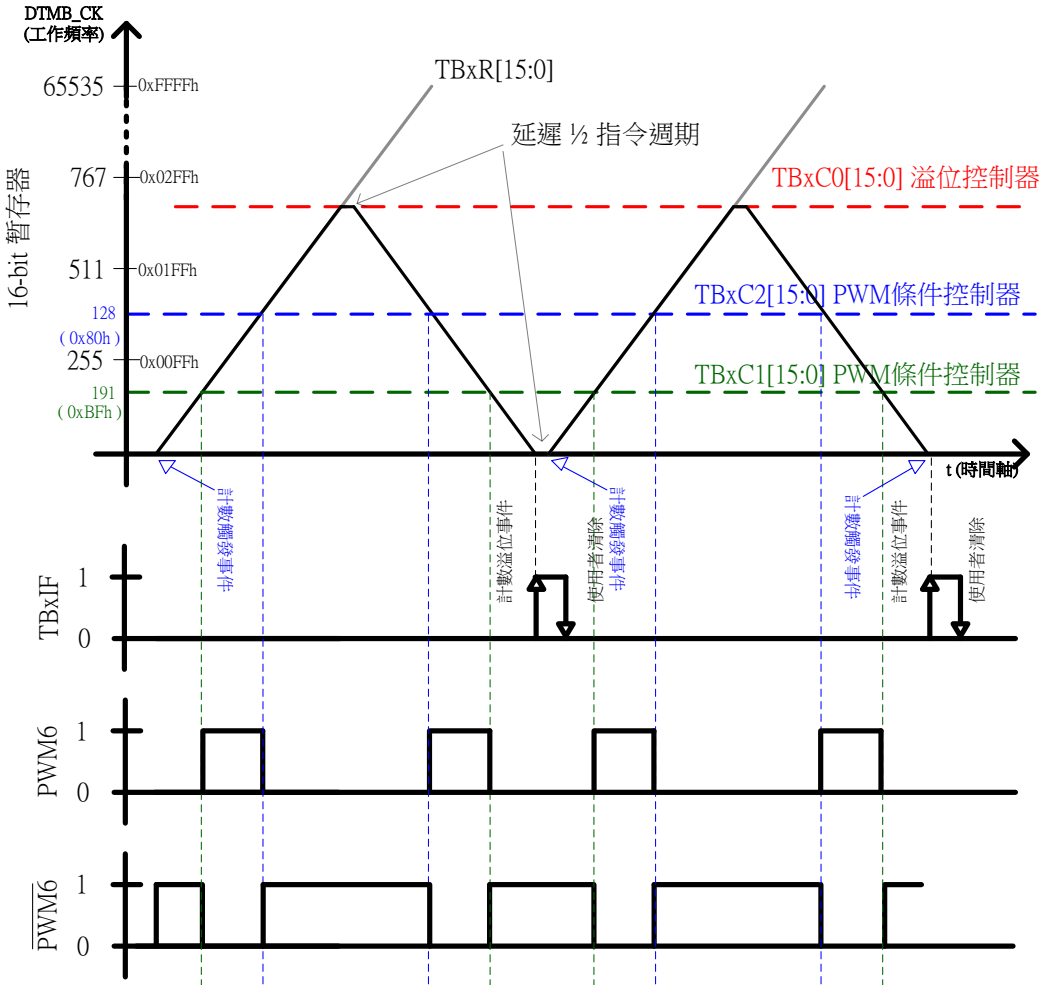


圖 10-11 PWM6O 形與使用示意圖

- ◆ 17-bit PWM 輸出操作說明
- ■ 初始化（PWM 頻率與工作週期設置）
  - ● 設置 TMBS[1:0]可選擇 TMB 的工作頻率源，設置 DTMB[1:0]以決定 TMB 工作頻率。
  - ● TB1M[1:0]設置<01>，將 TMB1 規劃為 17-bit 計數器。
  - ● PWMA0/1[2:0]設置<101>以輸出 PWM6O 波形
  - ● 將 TB1RT[1:0]設置<00>以選擇觸發計數信號為總是啓用（Always Enable），即循環計數。
  - ● 寫入數據至 TB1C0H[15:8]，以決定 PWM 之頻率。
  - ● 寫入數據至 TB1C1L[15:0]與 TB1C2[15:0]，以決定 PWM 之工作週期(Duty Cycle)。
  - ● 將 ENTB1[0]設置<1>啓用計數器。
- ■ 產生雙波形 PWM6O 形
  - ● 第一波形條件

- ✓ 當 TB1R[15:0]遞增計數數值至等於 TB1C1[15:0]時，使得 PWM6O 狀態由 0➔1。
- ✓ 當 TB1R[15:0]再遞增計數數值至等於 TB1C2[15:0]時，使得 PWM6O 狀態由 1➔0。
- ✓ 接著，當 TB1R[15:0]計數數值至等於 TB1C0[15:0]時，使得 TB1R[15:0]轉為遞減計數。
- ● 第二波形條件
- ✓ 當 TB1R[15:0]遞增計數數值至等於 TB1C2[15:0]時，使得 PWM6O 狀態由 0➔1。
- ✓ 當 TB1R[15:0]再遞增計數數值至等於 TB1C1[15:0]時，使得 PWM6O 狀態由 1➔0。
- ✓ 接著，當 TB1R[15:0]計數數值至等於 0x0000h 時產生溢位事件使得 TB1IF[0]置<1>歸零重新遞增計數，此時 TB1IE[0]]設置<1>則會產生中斷事件服務。

■ PWM 輸出控制
- ● 設置 PM4.7/PM4.6]設置<1>，開啓 PWM Mode。
- ● 設置 TC4.7/TC4.6[0]設置<1>，啓用輸出功能
- ● 設置 PA0/1IV[0]以決定引腳輸出波形是否反相。

■ 將 ENTB1[0]設置<0>則關閉計數器與 PWM 輸出。

■ PWM6O 率與工作週期計算由於產生的波形特殊，在此不描述。

10.2.7. PWM7O 波形（16-bit PWM 波形）

將 TMB 計數器設置在 16-bit 模式且 PWM 輸出波形選擇 PWM7O，則可產生週期性的 PWM 波形。

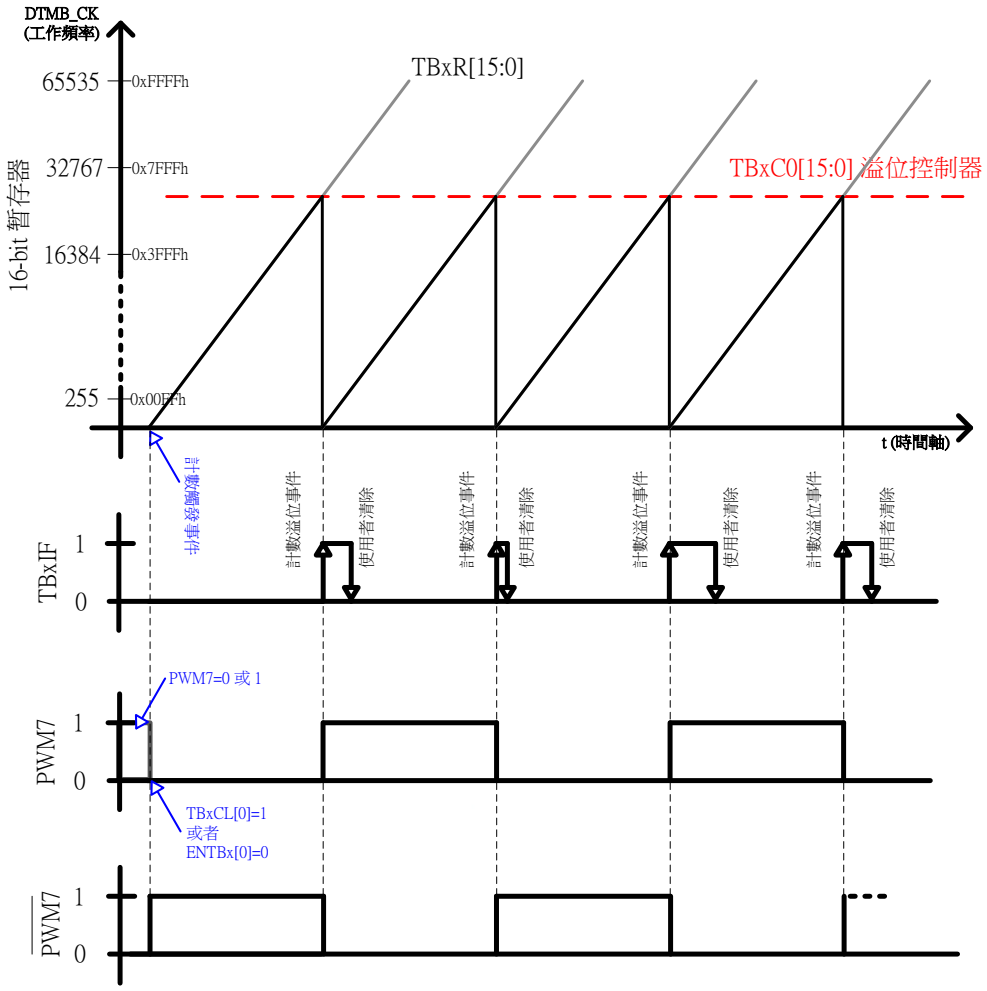


圖 10-12 PWM7O 波形與使用示意圖

- ◆ PWM7O 操作說明
- ■ 初始化（PWM 頻率與工作週期設置）
  - ● 設置 TMBS[1:0]可選擇 TMB 的工作頻率源，設置 DTMB[1:0]以決定 TMB 工作頻率。
  - ● TB1M[1:0]設置<00>，將 TMB1 規劃為 16-bit 計數器。
  - ● PWMA0/1[2:0]設置<111>以輸出 PWM7O 波形
  - ● 將 TB1RT[1:0]設置<00>以選擇觸發計數信號為總是啓用（Always Enable），即循環計數。
  - ● 寫入數據至 TB1C0[15:0]，以決定 PWM 之頻率。
  - ● 將 ENTB1[0]設置<1>啓用計數器。
- ■ 產生 PWM7O 波形
  - ● TMB1 未啓用時 PWM7O 狀態未定，但當 ENTB1[0]設置<1>或者 TB1CL[0]設置<1>時，PWM7O 輸出 0 直至發生溢位事件後 PWM7O 轉態輸出 1 且於下次再發生溢位事件時轉態為 0，產生週期性波形。

- 當 TB1R[15:0]再計數數值至等於 TB1C0[15:0]時，使得 PWM7O 轉態；並產生溢位事件使得 TB1IF[0]置<1>並歸零重新遞增計數，此時 TB1IE[0]]設置<1>則會產生中斷事件服務。

■ PWM 輸出控制

- 設置 PM4.7/PM4.6]設置<1>，開啓 PWM Mode。
- 設置 TC4.7/TC4.6[0]設置<1>，啓用輸出功能
- 設置 PA0/1IV[0]以決定引腳輸出波形是否反相。

■ 將 ENTB1[0]設置<0>則關閉計數器與 PWM 輸出。

■ PWM7O 頻率與工作週期計算公式：

$$\text{PWM7O Frequency} = \frac{\text{DTMB_CK}}{\text{TBxC0}[15:0]+1} \div 2$$

$$\text{PWM7O Duty Cycle} = 50\%$$

10.3. TMB1 控制暫存器列表與說明：

"-"no use,"*"read/write,"w"write,"r"read,"r0"only read 0,"r1"only read 1,"w0"only write 0,"w1"only write 1												
"$"for event status,"."unimplemented bit,"x"unknown,"u"unchanged,"d"depends on condition												
Address	**File Name**	**Bit7**	**Bit6**	**Bit5**	**Bit4**	**Bit3**	**Bit2**	**Bit1**	**Bit0**	**A-RESET**	**I-RESET**	**R/W**
023h	INTE0	GIE	TA1CIE	ADIE	WDTIE	TB1IE			E0IE	0000 0000	0uuu uuuu	*,*,*,*,*,*,*,*
026h	INTF0	-				TB1IF				.000 0000	.uuu uuuu	*,*,*,*,*,*,*,*
034h	OSCCN0	OSCS[1:0]		DHS[1:0]		DMS[2:0]			CUPS	0000 0000	uuuu uuuu	*,*,*,*,*,*,*,*
035h	OSCCN1		-			DTMB[1:0]		TMBS		0000 0000	uuuu uuu.	*,*,*,*,*,*,*,-
036h	OSCCN2	-	-	-	-	-	HAOM[1:0]		ENHAO	0000 0011	uuuu uu11	*,*,*,*,*,*,*,r
04Eh	TB1Flag	-	-	PWM6A	PWM5A	PWM4A	PWM3A	PWM2A	PWM1A	..00 0000	..uu uuuu	-,-,r,r r,r,r,r
04Fh	TB1CN0	ENTB1	TB1M[1:0]		TB1RT[1:0]		TB1CL	-	-	0000 0000	uuuu u0uu	*,*,*,* *,rw1,*,*
050h	TB1CN1	PA1IV	PWMA1[2:0]			PA0IV	PWMA0[2:0]			0000 0000	uuuu uuuu	*,*,*,*,*,*,*,*
051h	TB1RH	TimerB1 counter Register [15:8]				-	-			xxxx xxxx	uuuu uuuu	r,r,r,r r,r,r,r
052h	TB1RL	TimerB1 counter Register [7:0]								xxxx xxxx	uuuu uuuu	r,r,r,r r,r,r,r
053h	TB1C0H	TimerB1 counter Condition Register [15:8]								xxxx xxxx	uuuu uuuu	*,*,*,*,*,*,*,*
054h	TB1C0L	TimerB1 counter Condition Register [7:0]								xxxx xxxx	uuuu uuuu	*,*,*,*,*,*,*,*
055h	TB1C1H	TimerB1 counter Condition Register [15:8]								xxxx xxxx	uuuu uuuu	*,*,*,*,*,*,*,*
056h	TB1C1L	TimerB1 counter Condition Register [7:0]								xxxx xxxx	uuuu uuuu	*,*,*,*,*,*,*,*
057h	TB1C2H	TimerB1 counter Condition Register [15:8]								xxxx xxxx	uuuu uuuu	*,*,*,*,*,*,*,*
058h	TB1C2L	TimerB1 counter Condition Register [7:0]								xxxx xxxx	uuuu uuuu	*,*,*,*,*,*,*,*
059h	TCCN0	-	TC1S[1:0]		-	-	-	-	-	0000 0000	uuuu uuuu	*,*,*,*,*,*,*,*

表 10-3 TMB1/2/3 相關暫存器

INTE0/INTF0:詳見中斷**,Interrupt** 章節

OSCCN0/OSCCN1/OSCCN2:詳見震盪器、時脈源與功耗管理章節

TB1Flag:計數器 **TMB1** 產生 **PWM** 波形狀態旗標

位元	名稱	描述
Bit6~0	PWMxA	PWMx 波形狀態，1≦x≦6 <0>低電位 L <1>高電位 H Note: 輸出波形的初始狀態由上一個狀態下的 PWMxA 所決定 Ex: 如果上一個 PWM 狀態為 PWM6 輸出模式，再切換成 PWM7 之前，PWM6A 的狀態為 1，則當切換到 PWM7 輸出時，PWM7 會由 1 開始輸出，每遇到 TB1IF 時，才會進行轉態。因為沒有 PWM7A 旗標狀態，如果使用者要知道 PWM7 當下狀態，需要自行觀察 PT2[PT2.2](PWM0) or PT2[PT2.1](PWM1) I/O Port 旗標的輸出狀態。

TB1CN0:計數器 **TMB1** 控制暫存器

位元	名稱	描述
Bit7	ENTB1	啓用與關閉 TMB1 <0>關閉。 <1>啓用

位元	名稱	描述
Bit6~5	TB1M[1:0]	計數器 TMB1 操作模式 <00> 16-bit 計數器 <01>17-bit 計數器 <10>兩組 8-bit 計數器 <11> 8+8-bit 計數器
Bit4~3	TB1RT[1:0]	計數器 TMB1 計數觸發選擇器 <00>Logic High <11>CPI1
Bit2	TB1CL	TB1R 計數歸零控制器 <0>計數不歸零。 <1>計數歸零。(設置<1>有效，計數器歸零後自動置<0>)

TB1CN1:計數器 **TMB1** 控制暫存器

位元	名稱	描述
Bit7	PA1IV	引腳 PWMAx 波形輸出相位（0≦x≦1） <0>反相。 <1>同相。
Bit3	PA0IV	
Bit6~4	PWMA1[2:0]	引腳 PWMAx 波形輸出選擇器（0≦x≦1）
Bit2~0	PWMA0[2:0]	

PWMAx[2:0]	輸出選擇器	PWMAx[2:0]	輸出選擇器
000	PWM1O	100	PWM5O
001	PWM2O	101	PWM6O
010	PWM3O	110	PWM7O
011	PWM4O	111	PWM7O

TB1R:TMB1 計數器

位元	名稱	描述
Bit15~8	TB1RH[7:0]	TMB1 計數器
Bit7~0	TB1RL[7:0]	

TB1C0:TMB1 溢位控制

位元	名稱	描述
Bit15~8	TB1C0RH[7:0]	TMB1 計數器溢位控制
Bit7~0	TB1C0RL[7:0]	

TB1C1:PWMA 條件控制 **1**

位元	名稱	描述
Bit15~8	TB1C1RH[7:0]	PWMA 條件控制 1

位元	名稱	描述
Bit7~0	TB1C1RL[7:0]	

TB1C2:PWMA 條件控制 2

位元	名稱	描述
Bit15~8	TB1C2RH[7:0]	PWMA 條件控制 2
Bit7~0	TB1C2RL[7:0]	

TCCN0: 計數器 **TMC** 控制暫存器

位元	名稱	描述
Bit6~5	TC1S[1:0]	計數器 TC1 事件輸入選擇器 <10>LS_CK

11. 電源系統,Power System

電源系統 PWR 具備一個線性穩壓電源 VDDA 以及類比電路共地電源 ACM，其提供晶片類比週邊電路使用並可適當的用來驅動外部電路。

PWR 暫存器摘要：

PWRCN ENBGR, LDOC[2:0], LDOM[1:0], ENLDO

AD1CN5 LDOPL

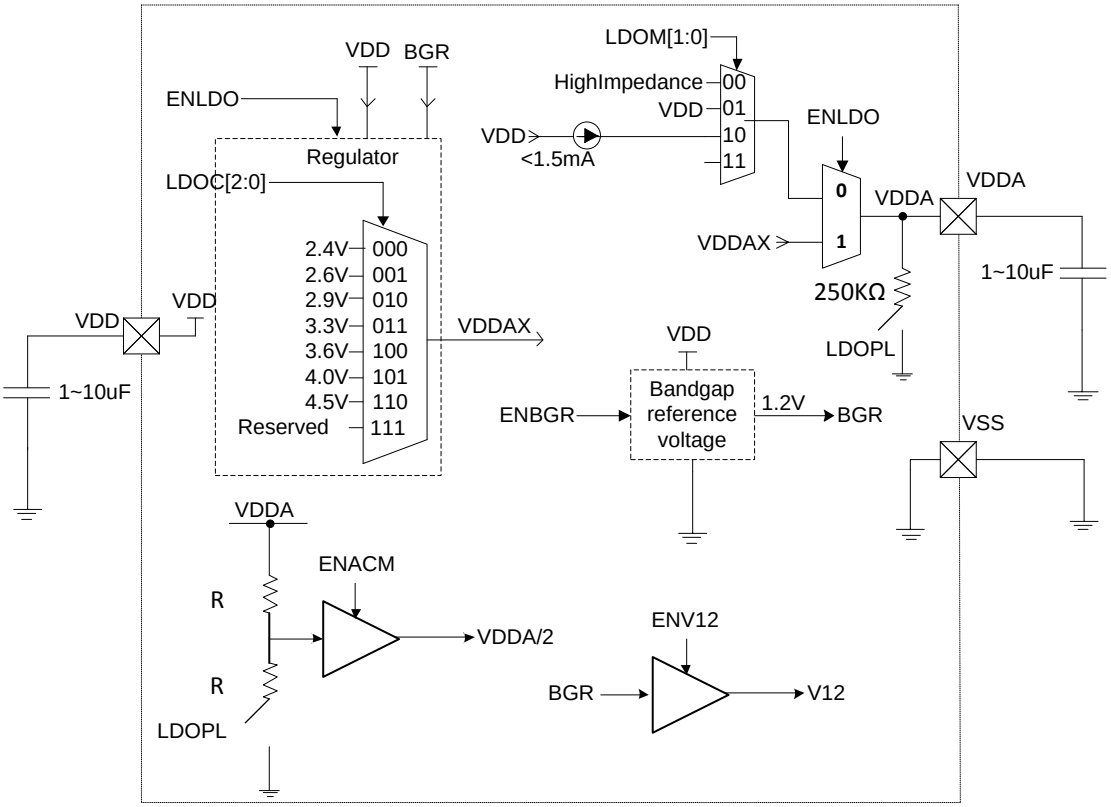


圖 11-1 Power System 方塊圖

11.1. VDDA 使用說明

11.1.1. VDDA 初始化設置：

穩壓選擇器 LDOC[2:0]可設置 VDDA 引腳輸出的電壓計可由 2.4V~4.5V，共有 7 段電壓。由於 VDDA 為一線性穩壓電源，使用時必須注意 VDD 工作電壓的電壓值是否低於 VDDA 輸出電壓的設定值以免造成不可預期的電路誤動作。

11.1.2. VDDA 使用外部偏壓：

VDDA 可採用外部輸入電壓設計，當使用者欲自行提供電壓源則必須由 VDDA 引腳外灌電壓方式輸入。採用此方式時必須關閉 VDDA，即 LDOM[1:0]設置 00。必須注意，此使用方式可能會影響類比電路的效能故需謹慎。

11.1.3. VDDA 啓用

ENLDO[0]設置<1>則會啓用 VDDA 穩壓器。啓動 VDDA 穩壓器須避免 ΣΔADC 處於啓用狀態，而且需要等到 VDDA 電壓穩定後才可以啓用 ΣΔADC。當外接 1uF(10uF)穩壓電容時約需要 500uS(5mS)的穩定時間。

11.2. 暫存器說明-PWR

"-"no use,"*"read/write,"w"write,"r"read,"r0"only read 0,"r1"only read 1,"w0"only write 0,"w1"only write 1												
"$"for event status,"."unimplemented bit,"x"unknown,"u"unchanged,"d"depends on condition												
Address	File Name	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	A-RESET	I-RESET	R/W
033h	PWRCN	ENBGR	LDOC[2:0]			LDOM[1:0]		ENLDO		0000 0000	uuuu u00u	*,*,*,* *,wr0,wr0,*

表 11-1 PWR 暫存器

PWRCN: 電源系統控制暫存器

位元	名稱	描述
Bit7	ENBGR	內部參考電壓控制器 <0>關閉 <1>啓用。如需使用 ADC 及 TPS 時，必須先將 ENBGR 設為'1'，後再開啓 ADC 及 TPS。 此 bit 與 HAO 為連動，故只要 HAO 為開啓的。就算此 bit 寫 0，實際上 BGR 還是開啓的
Bit6~4	LDOC[2:0]	VDDAX 輸出電壓選擇器 當 ENLDO 為'1'時，此設定電壓才會輸出至 VDDA 接腳上。 LDOC[2:0] / VDDAX 輸出電壓 / LDOC[2:0] / VDDAX 輸出電壓 000 / 2.4V / 100 / 3.6V 001 / 2.6V / 101 / 4.0V 010 / 2.9V / 110 / 4.5V 011 / 3.3V / 111 / Reserved
Bit3~2	LDOM[1:0]	VDDA 輸出選擇器 當 ENLDO 為'0'時，此設定才會輸出至 VDDA 接腳上。 <00>關閉具高輸入阻抗模式 (當 VDDA 選擇外部輸入時選用，但 VDD 需高於 VDDA 至少 0.2V) <01>輸出 VDD 電壓 (當 VDD 短路至 VDDA 或使用 SOP8 封裝時，需選用此模式) <10>輸出 VDD 電壓，1.5mA 限流 (應用於 VDDA 外部電容大於 1uF 或者系統電源驅動能力較弱的情況下。系統剛運行時，先選用此模式對 VDDA 外部電容進行充電，待 VDDA 電容達一定電位在切換至正常模式使用) <11>RSV
Bit1	ENLDO	內部線性穩壓器控制器 <0>關閉 <1>啓用 注意:當使用 SOP8 封裝是 VDD/VDDA 為共用腳位的配置下，ENLDO 請選擇 0

AD1CN5: ΣΔADC 控制暫存器 **5**

位元	名稱	描述
Bit4	LDOPL	Internal resistance 250k Ω pull down switch. <0> OFF。

位元	名稱	描述
		<1> ON。 以下幾點務必使 LDOPL 為 1，否則結果會不如預期 1.使用內部 LDO 輸出 2.ADC 參考電壓選用 VDDA/2-VSS

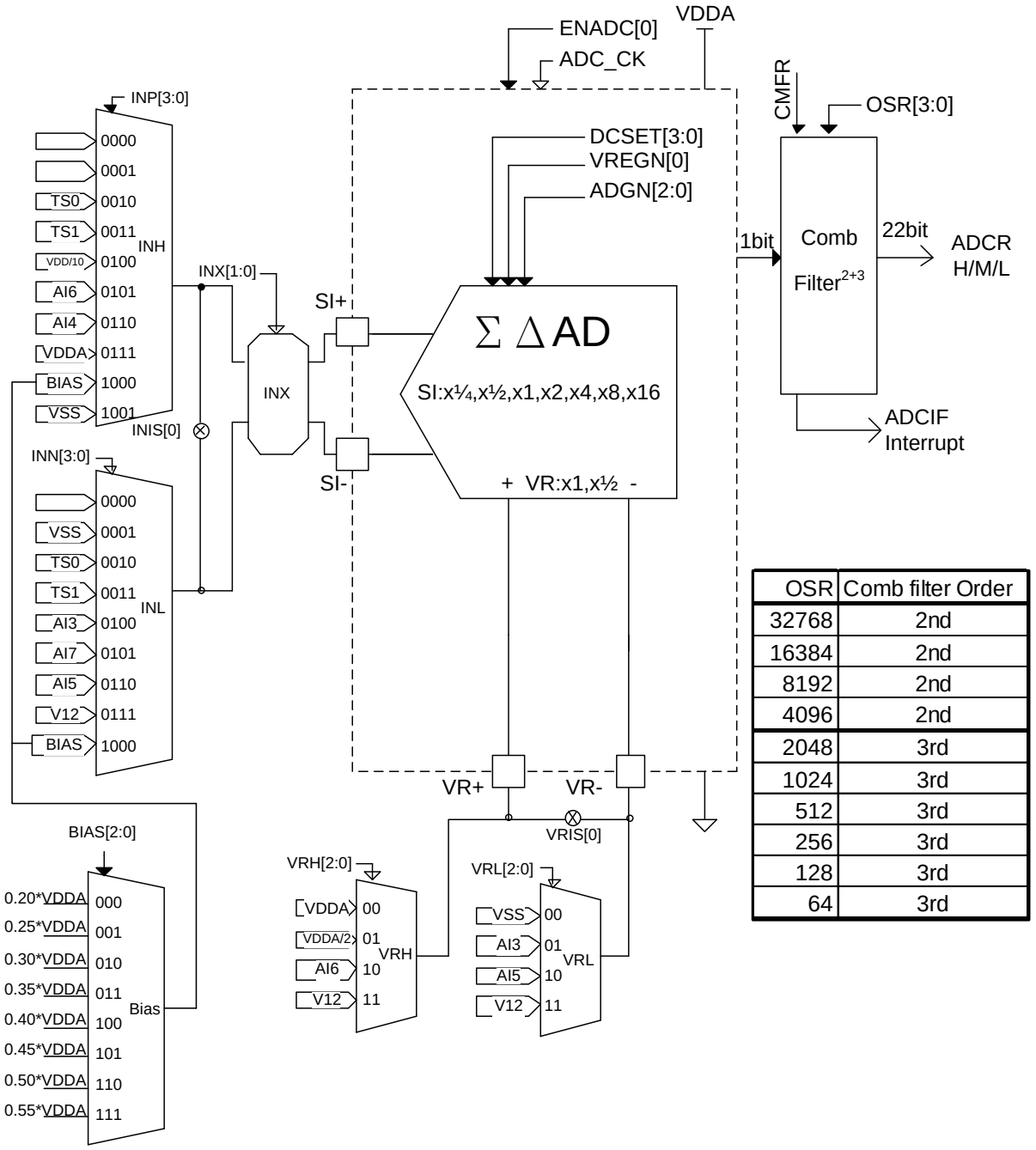
12. 類比數位轉換器,ΣΔADC

ΣΔADC 為高解析度超取樣和差型類比數位轉換器(Over Sampling Sigma Delta Analog-to-Digital Converter)，具有 24 位元的輸出。其包含多功能的輸入多工器、輸入緩衝器(Input Buffer)、ΣΔ調變器(ΣΔAD,Sigma Delta Modulator)、梳狀濾波器(Comb Filter)等 3 部分。

- 多功能的輸入多工器
  可切換選擇多組不同的輸入通道,單一晶片可做多種量測
  輸入通道可做短路，消除 ADC 的零點偏移
  內置溫度感測電路輸出電壓
- ΣΔ調變器
  可調整輸入電壓放大倍率，可選擇倍率為 0.25、0.5、1、2、4、8、16 倍
  可選擇參考電壓的倍率為 1 或 1/2
  4 位元的直流輸入偏壓設定
- 梳狀濾波器
  可調整 OSR(Over Sampling Ratio)= 64~32768
  產生中斷事件

ΣΔADC 暫存器摘要：

AD1CN0	ENAD1, OSR[3:0], CMFR
AD1CN1	VREGN, ADGN[2:0]
AD1CN2	BIAS[2:0], DCSET[3:0]
AD1CN3	INP[3:0], INN[3:0]
AD1CN4	VRH[1:0], VRL[1:0], INX[1:0], VRIS, INIS
AD1CN5	ENACM, ENV12, VCMS,LDOPL,ENBS,ENTPS, TPSCH
AIXM1	APDR1[1:0]
AIXM2	APDR2[1:0]



OSR	Comb filter Order
32768	2nd
16384	2nd
8192	2nd
4096	2nd
2048	3rd
1024	3rd
512	3rd
256	3rd
128	3rd
64	3rd

圖 12-1ΣΔADC 方塊圖

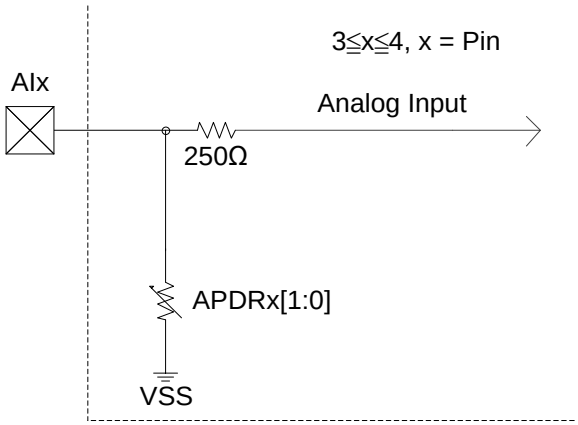


圖 12-2 類比通道輸入架構方塊圖

12.1. ΣΔADC 使用說明

12.1.1. ΣΔADC 初始化設置

12.1.1.1. 工作頻率配置方式

ΣΔADC 的取樣頻率可經由取樣頻率選擇器 ADCCK[0]設置 ΣΔADC 的工作頻率由 DHS_CK 提供，其最高取樣頻率不可大於 500KHz。較快的取樣頻率可在相同的輸出速度下得到較好的解析度，但其輸入阻抗也會降低(參考:12.2 類比通道輸入特性)。當 DHS_CK 頻率超過最大允許值時則必須透過取樣頻率預除頻器 DADC[1:0]進行頻率調整。

在使用 ICE 仿真模擬時，ADC 的頻率源選擇只能夠選為。CPUS[0]=1b、DHS[1:0]=01b、ADCD[1:0]=00b。

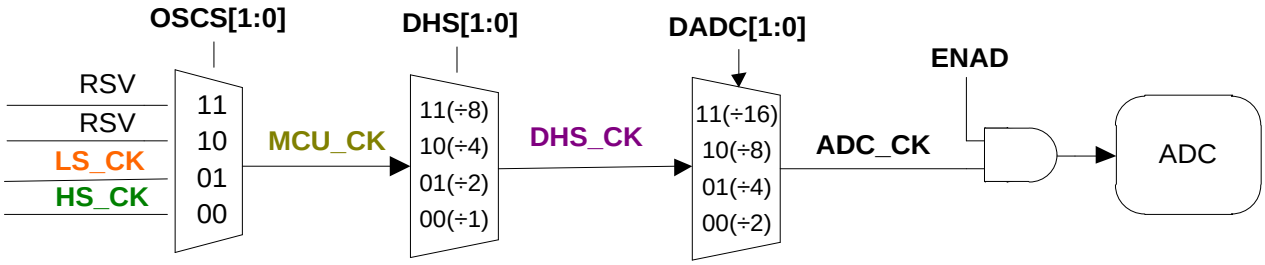


圖 12-3ΣΔADC 工作頻率方塊圖

12.1.1.2. 多功能的輸入多工器配置方式

ΣΔADC 採用二階的ΣΔ調變器，其待測訊號及參考電壓都可經由已下設置進行倍率及偏壓調整.

- ΔVR±倍率調整器 VREGN[0]設置<1>時，會將參考電壓的信號進行 1/2 倍率的調整也因會改變輸入信號的 ΔSI± = (SI+ － SI-)與 ΔVR± = (VR+ － VR-)的比值；設置<0>則進行 1 倍調整。
- 輸入信號經倍率調整器 ADGN[2:0]的設置，最大可達 16 倍的信號放大倍率，如表 12-2(a)。
- 輸入信號 SI±透過直流輸入偏壓調整器 DCSET[3:0]，可調整輸入信號零點位置以增加量測範圍。偏壓方式採加權參考信號 VR±的倍率值，如表 12-2(b)。
- 信號測量時，需注意外部輸入信號阻抗與 ADC 匹配問題。詳細說明請參見 12.2 類比通道輸入特性。

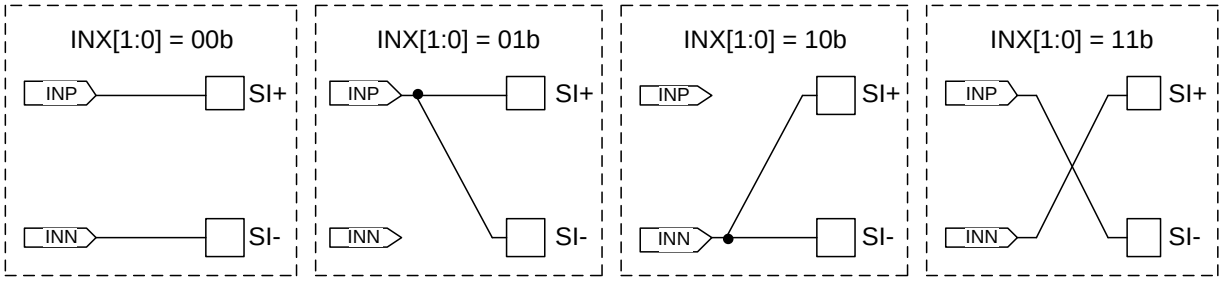


圖 12-4 INX 輸入信號轉置器四種組合方式

設置 / 輸入	ADGN[2:0]							
	000	001	010	011	100	101	110	111
AD Gain	x1/4	x1/2	x1	x2	x4	x8	x16	-

表 12-2 (a)ADGN[2:0]放大倍率配置表

設置 / 輸入	DCSET[3:0]							
	0000	0001	0010	0011	0100	0101	0110	0111
SI±	+0	+1/8 * Vref	+2/8 * Vref	+3/8 * Vref	+4/8 * Vref	+5/8 * Vref	+6/8 * Vref	+7/8 * Vref
設置 / 輸入	DCSET[3:0]							
	1000	1001	1010	1011	1100	1101	1110	1111
SI±	-0	-1/8 * Vref	-2/8 * Vref	-3/8 * Vref	-4/8 * Vref	-5/8 * Vref	-6/8 * Vref	-7/8 * Vref

單位：VR±

表 12-2 (b) SI±輸入信號加權參考電壓倍率一覽表

ΣΔ調變器經調變器本身的倍率偏壓調整後，其等效的待測訊號 ΔSI_I 與等效的參考電壓 ΔVR_I 的計算公式分別如下：

式 ***12-1***

$$\Delta SI_I = ADGN \times \Delta SI \pm +(DCSET \times \Delta VR\pm)$$

式 ***12-2***

$$\Delta VR_I = VREGN \times VR \pm$$

必須注意，為了使ΣΔ調變器輸出得到較高的解析度及線性度，故等效的參考電壓 ΔVR_I 建議落在 ΔVR_I=0.8V~1.2V，而等效的待測訊號 ΔSI_I 則操作在 ΔSI_I=±0.9 xΔVR_I 之間。

12.1.1.3. 梳狀濾波器 Comb Filter 設置方式

ΣΔ調變器輸出 1-bit 資料至二階梳狀濾波器 Comb Filter，再由 Comb Filter 轉成 24-bit 的數值存放於 AD1O[23:0]暫存器。AD1O[23:0]資料的更新速率即為 ΣΔADC 的輸出速率，計算方式為 ΣΔADC 取樣頻率與 ΣΔADC 輸出速率頻率比值，ΣΔADC 輸出速率頻率又稱為 OSR (Over Sampling Ratio)。

所以 ΣΔADC 輸出速率為 ADC_CK÷OSR，而 OSR 數值可透過 OSR[3:0]設置以產生不同的 ΣΔADC 輸出轉換頻率，如表 12-2(c)。

設置 / ADC_CK	OSR[3:0]										
	0000	0001	0010	0011	0100	0101	0110	0111	1000	1001	1010
	32768	32768	16384	8192	4096	2048	1024	512	256	128	64
500k	15	15	30	61	122	244	488	976	1953	3906	7812
250K	7	7	15	30	61	122	244	488	976	1953	3906
125K	3	3	7	15	30	61	122	244	488	976	1953

表 12-2 (c) ΣΔADC 超取樣頻率配置簡表

AD1O[23:0]分別由 AD1H[7:0]、AD1M[7:0]及 AD1L[7:0]組成(AD1O[2]=AD1O[1]=AD1O[0])，其用於存放 Comb Filter 輸出的 24-bit 資料，但其中的 bit0 與 bit1 固定恆為 0。Comb Filter 的數據格式組成分如表 12-3 所示。

+FSR/-FSR：正相與負相最大量測範圍

	等效待測訊號	AD1O[23:0]	
		十六進制	二進制
兩極性輸出 二補數格式	ΔVR_I	7FFFFC	0111 1111-1111 1111-1111 1100
	$\Delta VR_I \times \frac{1}{2^{21}}$	000004	00000000-0000-0000-000 0100
	0	000000	0000 0000-0000 0000-0000 0000
	$-\Delta VR_I \times \frac{1}{2^{21}}$	FFFFFC	1111 1111-1111 1111-1111 1100
	$-\Delta VR_I$	800000	1000 0000-0000 0000-0000-0000

表 12-3AD1O[23:0]與輸入信號關係表

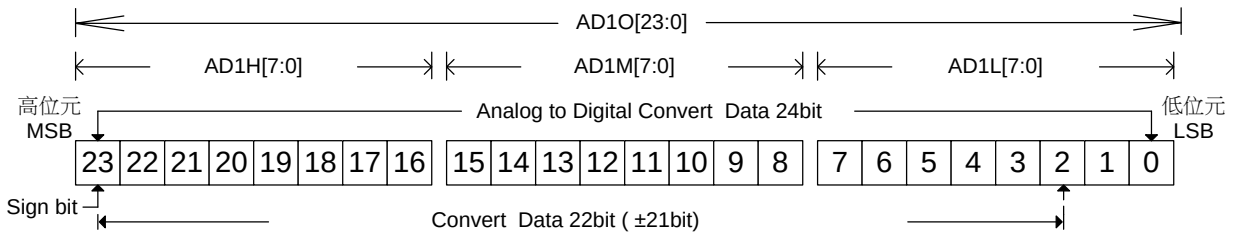


圖 12-5AD1O[23:0]解析度示意圖

12.2. 類比通道輸入特性

ΣΔADC 是使用切換式電容線路來進行類比訊號處理，當輸入緩衝器不使用時為了保證取樣電容的電壓可以得到正確的值，輸入信號的最大輸出阻抗必須受到限制，而且會與 ΣΔADC 的取樣頻率及信號倍率選擇有相互牽制的關係。

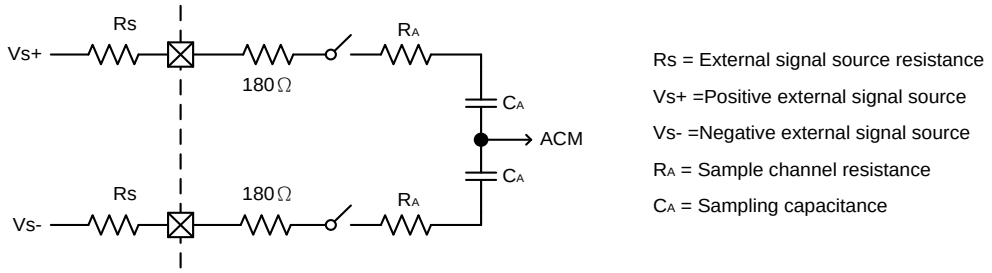


圖 12-6 AIx 輸入電容與阻抗模組

由圖 12-6 可知，當輸入信號不經緩衝器直接輸入時必須進一步考慮輸入信號內阻Rs與ΣΔADC的取樣頻率ADC_CK及寄生電阻R_A、電容C_A的效應。相關的計算公式如下：

*式 **12-3***

$$t_s > (R_s + R_A + 180\Omega) \times C_A \times [\ln(2^{ENOB} \times Gain) + 2]$$

t_s：ΣΔADC最短取樣時間

ENOB：期望得到 ΣΔADC 的有效位數

Gain：(ΣΔAD Gain)

*式 **12-4***

$$F_s = \frac{1}{2 \times t_s}$$

Fs：ΣΔADC 最短取樣頻率

由於ΣΔADC組成包含PGA與ΣΔAD，此兩部分在設計上存在各自的R_A與C_A值，而最短取樣時間t_s的計算是依直接與輸入信號匹配的部分來考量。

ΣΔAD Gain	C_A	R_A
x1/4		
x1/2		
x1	0.5pF	10k Ω
x2	1pF	10k Ω
x4	2pF	10k Ω
x8	4pF	5k Ω
X16		

表 12-4(a) ΣΔADC Gain與R_A及C_A關係表

VR Gain	C_A	R_A
x1/2	0.25pF	10k Ω
X1	0.5pF	10 kΩ

表 12-4(b) VR Gain與R_A及C_A關係表

ΣΔADC 主要應用是要量測低頻的訊號，但在真實世界裡待測訊號會含有許多高頻的雜訊，根據訊號取樣原理超過取樣頻率的高頻雜訊經過取樣後會產生零點飄移及低頻雜訊，進而造成量測的誤差。因此我們建議在晶片差動待測訊號及參考電壓端加上 10nF~100nF 的濾波電容以加強量測的準確性。

在 ADC 輸入通道的配置上，為得到較好的效能。建議差動訊號的選擇在路徑上選擇對等的配置。所謂的對等是指，都使用 IC 內部的訊號源或者由外部 AIX 所輸入。

12.3. 絕對溫度感測器,TPS

絕對溫度感測器由二極體(BJT)組成，其電壓信號對溫度的變化為一通過 0K 曲線，其具以下特色

- 溫度傳感器在環境溫度為 0K時其輸出的電壓值$V_{TPS@0K}$ =0V
- 透過測量方式可使得類比數位轉換器ADC的偏移電壓（$V_{ADC\text{-}OFFSET}$）與BJT之不對稱性(I_{S1}≠I_{S2})自動抵銷。
- 校正溫度僅需單點校正。

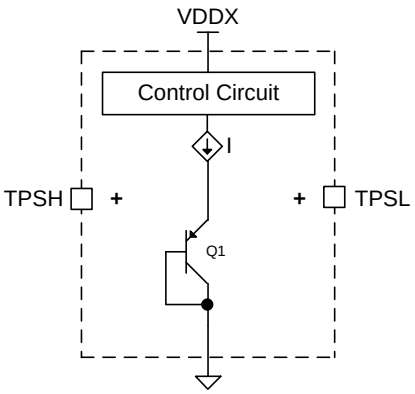


圖 12-7 絕對溫度感測器應用方塊圖

12.3.1. TPS 初始化設置與計算方式

- TPS 的啓用，除 ENAD1 設置為 1b，還須將 ENTPS 設置為 1b。
- ADC輸入信號選擇器設置INP=0010b、INN=0010b、TPSCH=0b測量信號ADC_{TPS0}
- ADC輸入信號選擇器設置INP=0011b、INN=0011b、TPSCH=1b測量信號ADC_{TPS1}
- 在同一溫度TA(°C)下，ΣΔADC測量得到ADC_{TPS0}與ADC_{TPS1}的數值後，將兩數相加並取平均值即可求得在溫度TA下測得TPS相對應的值$ADC_{TPS@TA}$。
- TPS的輸出值V_{TPS}對溫度變化為一線性曲線，故可推導得出其增益值G_{TPS}(或稱斜率)。

*式 **12-5 TPS** 增益公式*

$$G_{TPS} = \frac{ADC_{TPS@T_A}}{(273.15 + T_{offset} + T_A)K}$$

G_{TPS}:溫度計算斜率 $\frac{\text{ADC count}}{\text{K}}$

$ADC_{TPS@TA}$:校正溫度下所測得的ADC值

K=℃+273.15

T_{offset}=由於TPS在溫度單位轉換上的不理想，故會有一偏差值

- TPS 在溫度轉換上的不理想，因此實際上並非於℃=K-273.15，而是℃=K+KT=K+(-273.15-Toffset)其中的 KT 值請參考該顆 IC Data sheet ADC 章節內 TPS 規格。HY15P41 KT 值為-284

$$°C = K - 284 \qquad K = °C + 284$$

12.3.2. TPS 範例說明

假設將於 25˚C進行 TPS 的校正。校正後將 IC 移動置一較高溫環境(65˚C)，測試該環境下的溫度。

(1) 設定INP=0010b=TS0、INN=0010b=TS0、AD1CN5[TPSCH]=0b、AD1CN5[ENTPS]=1b，ADC量測得到一個數位碼ADC_{TPS0}=5897634。

(2) 設定INP=0011b=TS1、INN=0011b=TS1、AD1CN5[TPSCH]=1b、AD1CN5[ENTPS]=1b，ADC量測得到一個數位碼ADC_{TPS1}=5827679。

(3) 計算$ADC_{TPS@25}$=(ADC_{TPS0} +ADC_{TPS1})/2=5862656。此動作可消除Temperature Sensor的Offset。

(4) 計算G_{TPS}：

$$G_{TPS} = \frac{ADC_{TPS@T_A}}{(273.15 + T_{offset} + T_A)K} = \frac{5862656}{(284+25)K} = 18973$$

(5) 將IC移置高溫環境(65˚C)後一段時間後，參考步驟(1)~(3) 再次測得$ADC_{TPS@65}$：6630103

$$T_X = \frac{ADC_{TPS@65}}{G_{TPS}} - \left[273.15 + T_{offset}\right] = \frac{6630103}{18973} - 284 = 65.45^{o}C$$

暫存器說明-ΣΔADC

"-"no use,"*"read/write,"w"write,"r"read,"r0"only read 0,"r1"only read 1,"w0"only write 0,"w1"only write 1												
"$"for event status,"."unimplemented bit,"x"unknown,"u"unchanged,"d"depends on condition												
Address	**File Name**	**Bit7**	**Bit6**	**Bit5**	**Bit4**	**Bit3**	**Bit2**	**Bit1**	**Bit0**	**A-RESET**	**I-RESET**	**R/W**
023h	INTE0	GIE	-	ADIE	WDTIE	TB1IE	-	-	E0IE	0000 0000	0uuu uuuu	*,*,*,*,*,*,*,*
026h	INTF0	-	-	ADIF	WDTIF	TB1IF	-	-	E0IF	.000 0000	.uuu uuuu	*,*,*,*,*,*,*,*
033h	PWRCN	ENBGR	LDOC[2:0]			LDOM[0]	LDOM	ENLDO	CSFON	0000 0000	uuuu u00u	*,*,*,* *,wr0,wr0,*
03Ah	AD1H	ADC1 conversion high byte data register								..00 0000	..uu uuuu	-,-,*,*,*,*,*,*
03Bh	AD1M	ADC1 conversion middle byte data register								0000 0000	uuuu uuuu	*,*,*,*,*,*,*,*
03Ch	AD1L	ADC1 conversion low byte data register								0000 0000	uuuu uuuu	*,*,*,*,*,*,*,*
03Dh	AD1CN0	ENAD1	-	-	OSR[3:0]				CMFR	000. 0000	uuu. uuuu	*,*,*,*,*,*,*,*
03Eh	AD1CN1	-	-	VREGN			ADGN[2:0]			xxxx xxxx	uuuu uuuu	*,*,*,*,*,*,*,*
03Fh	AD1CN2	-	BIAS[2:0]			DCSET[3:0]				xxxx xxxx	uuuu uuuu	*,*,*,*,*,*,*,*
040h	AD1CN3	INP[3:0]				INN[3:0]				xxxx xxxx	uuuu uuuu	*,*,*,*,*,*,*,*
041h	AD1CN4	VRH[1:0]		VRL[1:0]		INX[1:0]		VRIS	INIS	0010 0000	uuuu uuuu	*,*,*,*,*,*,*,*
042h	AD1CN5	ENACM	ENV12	VCMS	LDOPL	ENBS	-	ENTPS	TPSCH	0000 0000	uuuu uuuu	*,*,*,*,*,*,*,*
047h	AIXM1	APDR3[1:0]		-	-	-	-	-	-	0000 0000	uuuu uuuu	*,*,*,*,*,*,*,*
048h	AIXM2	-	-	-	-	-	-	APDR5[1:0]		0000 0000	uuuu uuuu	*,*,*,*,*,*,*,*

表 12-5ΣΔADC 暫存器

INTE0/INTF0: 詳見*中斷*,***Interrupt*** 章節

PWRCN: 詳見*電源系統*,***Power System*** 章節

AD1O[23:0]類比數位轉換暫存器**:** 詳見*梳狀濾波器* ***Comb Filter*** *設置方式*章節

AD1H[7:0]AD1 類比數位轉換高位元組資料暫存器

AD1M[7:0]AD1 類比數位轉換資料暫存器

AD1L[7:0]AD1 類比數位轉換低位元組資料暫存器

AD1CN0: ΣΔADC 控制暫存器 **0**

位元	名稱	描述
Bit7	ENAD1	ΣΔADC 啓用控制器 <0>關閉 <1>啓用
Bit4~1	OSR<3:0>	ΣΔADC 超取樣率除頻器

OSR<3:0>	OSR	OSR<3:0>	OSR
0000	32768	1000	256
0001	32768	1001	128
0010	16384	1010	64
0011	8192	1011	32768
0100	4096	1100	32768
0101	2048	1101	32768
0110	1024	1110	32768
0111	512	1111	32768

Bit0	CMFR	Σ Δ ADC 與梳狀濾波器復位控制器 <0>不復位

位元	名稱	描述
		<1>復位；寫入動作即發生復位

AD1CN1: ΣΔADC 控制暫存器 1

位元	名稱	描述
Bit5	VREGN	VR±倍率調整器 <0>x1 <1>x1/2
Bit2~0	ADGN[2:0]	AD 倍率調整器

ADGN[2:0]	Gain	ADGN[2:0]	Gain
000	x1/4	100	x4
001	x1/2	101	x8
010	x1	110	x16
011	x2	111	RSVD

AD1CN2: ΣΔADC 控制暫存器 2

位元	名稱	描述
Bit6~4	BIAS[2:0]	偏壓電壓值設定

BIAS [2:0]	電壓值**(V)**	**BIAS [2:0]**	電壓值**(V)**
000	VDDA*0.20	100	VDDA*0.40
001	VDDA*0.25	101	VDDA*0.45
010	VDDA*0.30	110	VDDA*0.50
011	VDDA*0.35	111	VDDA*0.55

Bit3~0 DCSET[3:0] SI±偏壓調整器

DCSET<3:0>	Offset	DCSET<3:0>	Offset
0000	+0*(REFP – REFN)	1000	-0*(REFP – REFN)
0001	+0*(REFP – REFN)	1001	-0*(REFP – REFN)
0010	+2/8*(REFP – REFN)	1010	-2/8*(REFP – REFN)
0011	+2/8*(REFP – REFN)	1011	-2/8*(REFP – REFN)
0100	+4/8*(REFP – REFN)	1100	-4/8*(REFP – REFN)
0101	+4/8*(REFP – REFN)	1101	-4/8*(REFP – REFN)
0110	+6/8*(REFP – REFN)	1110	-6/8*(REFP – REFN)
0111	+6/8*(REFP – REFN)	1111	-6/8*(REFP – REFN)

AD1CN3: ΣΔADC 控制暫存器 3

<table>
<tr><th>位元</th><th>名稱</th><th>描述</th></tr>
<tr><td>Bit7~4</td><td>INP[3:0]</td><td>SI±"+"輸入信號選擇器
<table>
<tr><th>INP[3:0]</th><th>ADC 輸入通道</th><th>INP[3:0]</th><th>ADC 輸入通道</th></tr>
<tr><td>0000</td><td>-</td><td>1000</td><td>BIAS</td></tr>
<tr><td>0001</td><td>-</td><td>1001</td><td>VSS</td></tr>
<tr><td>0010</td><td>TS0</td><td>1010</td><td>-</td></tr>
<tr><td>0011</td><td>TS1</td><td>1011</td><td>-</td></tr>
<tr><td>0100</td><td>VDD/10</td><td>1100</td><td>-</td></tr>
<tr><td>0101</td><td>AI6</td><td>1101</td><td>-</td></tr>
<tr><td>0110</td><td>AI4</td><td>1110</td><td>-</td></tr>
<tr><td>0111</td><td>VDDA</td><td>1111</td><td>-</td></tr>
</table></td></tr>
<tr><td>Bit3~0</td><td>INN[3:0]</td><td>SI±"-"輸入信號選擇器
<table>
<tr><th>INN[3:0]</th><th>ADC 輸入通道</th><th>INN[3:0]</th><th>ADC 輸入通道</th></tr>
<tr><td>0000</td><td>-</td><td>1000</td><td>BIAS</td></tr>
<tr><td>0001</td><td>VSS</td><td>1001</td><td>-</td></tr>
<tr><td>0010</td><td>TS0</td><td>1010</td><td>-</td></tr>
<tr><td>0011</td><td>TS1</td><td>1011</td><td>-</td></tr>
<tr><td>0100</td><td>AI3</td><td>1100</td><td>-</td></tr>
<tr><td>0101</td><td>AI7</td><td>1101</td><td>-</td></tr>
<tr><td>0110</td><td>AI5</td><td>1110</td><td>-</td></tr>
<tr><td>0111</td><td>V12</td><td>1111</td><td>-</td></tr>
</table></td></tr>
</table>

AD1CN4: ΣΔADC 控制暫存器 4

<table>
<tr><th>位元</th><th>名稱</th><th>描述</th></tr>
<tr><td>Bit7~6</td><td>VRH[1:0]</td><td>VR±"+"電壓信號選擇器
<table>
<tr><th>VRH[1:0]</th><th>ADC 輸入通道</th></tr>
<tr><td>00</td><td>VDDA</td></tr>
<tr><td>01</td><td>VDDA/2</td></tr>
<tr><td>10</td><td>AI6</td></tr>
<tr><td>11</td><td>V12</td></tr>
</table></td></tr>
<tr><td>Bit5~4</td><td>VRL[1:0]</td><td>VR±"-"電壓信號選擇器
<table>
<tr><th>VRL[1:0]</th><th>ADC 輸入通道</th></tr>
<tr><td>00</td><td>VSS</td></tr>
<tr><td>01</td><td>AI3</td></tr>
<tr><td>10</td><td>AI5</td></tr>
<tr><td>11</td><td>V12</td></tr>
</table></td></tr>
</table>

位元	名稱	描述
Bit3~2	INX	SI±輸入信號轉置器 <11>INP→ADL,INN→ADH <10>INN→ADH & ADL,INP 浮接 <01>INP 浮接,INP→ADH & ADH <00>INP→ADH,INN→ADL
Bit1	VRIS[0]	VR+/VR- 短路控制器 <0>未短路 <1>短路
Bit0	INIS	SI±輸入信號短路控制器 <0>未短路 <1>短路

AD1CN5: ΣΔADC 控制暫存器 **5**

位元	名稱	描述
Bit7	ENACM	ADC Common Mode Voltage <0>關閉。 <1>啓用。
Bit6	ENV12	Voltage Source 1.2V (Buffer Enable) <0>關閉。 <1>啓用。
Bit5	VCMS	ADC Common Voltage. <0> VDDA/2。 <1> 1.2V。 VCMS 的選擇對於 ADC 量測的性能有很大的影響，理想的 ACM 電壓等 ADC 參考電壓 Ex1 假設 ADC 參考電壓輸入選擇為 AI6-AI5 當 VDDA=5V AI6-AI5 等校為 1.2V 時 VCMS 請選用 1 當 VDDA=5V AI6-AI5 等校為 3V 時 VCMS 請選用 0
Bit4	LDOPL	Internal resistance 250k Ω pull down switch. <0> OFF。 <1> ON。 以下幾點務必使 LDOPL 為 1，否則結果會不如預期 1.使用內部 LDO 輸出 2.ADC 參考電壓選用 VDDA/2-VSS
Bit3	ENBS	ADC Input Channel, Bias Voltage Enable Switch. <0> OFF。 <1> ON。

位元	名稱	描述
Bit1	ENTPS	內部 TPS 啓用控制 <0>關閉 <1>啓用，需設置相對的 ADC 網路
Bit0	TPSCH	TPS 輸出電壓反向控制 <0>正常 <1>反向

AIXM1:AIx Port下拉電阻選擇暫存器

位元	名稱	描述
Bit7~6	APDR3[1:0]	AI3 引腳下拉電阻選擇控制器 APDR3[1:0] / Function 00 / OFF(Default) 01 / 10K Ω 10 / 50K Ω 11 / 100K Ω

AIXM2:AIx Port下拉電阻選擇暫存器

位元	名稱	描述
Bit1~0	APDR4[1:0]	AI4 引腳下拉電阻選擇控制器 APDR3[1:0] / Function 00 / OFF(Default) 01 / 10K Ω 10 / 50K Ω 11 / 100K Ω

13. 同步串列通訊介面,Inter-Integrated Circuit Serial interface

I²C通訊介面包含主機(Master)與從機(Slave)兩種運作模式，主機模式可以根據系統的需求，結合傳送控制器(Transmission Controller, Tx Controller)傳送I²C封包格式的信號至I²C Bus，並以Clock Generator 決定所需的傳送速率。而Slave Controller 可以接收I²C Bus 上的信號，以從機模式接受Bus 上的主機之通訊需求，並結合傳送控制器回傳主機所需要的資料，除此之外，Slave 控制器內含之資料接收電路也是Master Controller 接收回傳資料的通道。

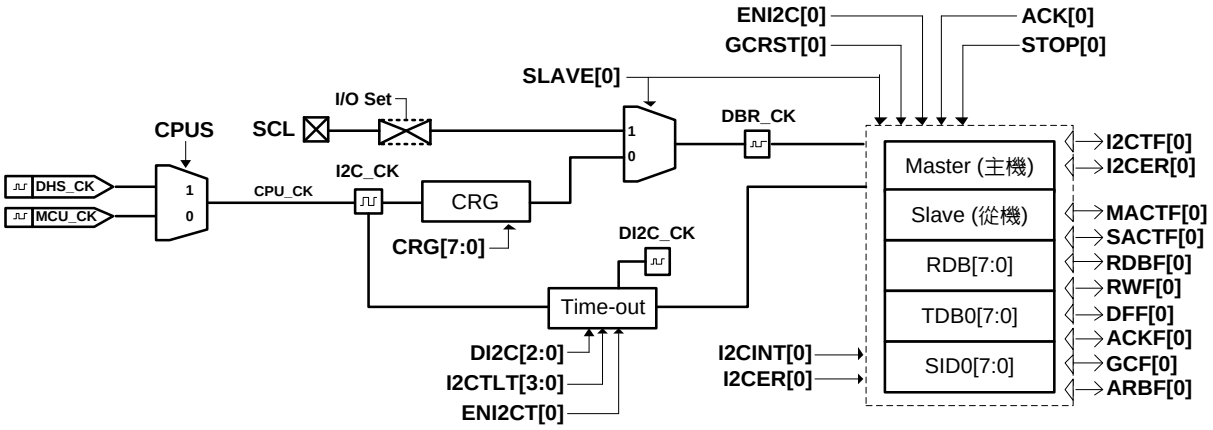


圖 13-1I²C系統架構圖

- I²C串列介面功能特性：
  - 標準I²C串列介面包含 2 個接腳，為串列資料(SDA)、串列時脈(SCL)。
  - 接腳為 Open Drain 輸出結構，需要外部提升電阻，確保高電位輸出。
  - 標準I²C串列介面可配置為主機(Master)、從機(Slave)或主/從機模式。
  - 可程式時脈，允許調整I²C傳輸速率。
  - 主機和從機之間的數據傳輸為雙向的。
  - I²C允許相當大的工作電壓範圍。
  - I²C的參考設計使用一個 7 位元長度的位址空間但保留了 16 個位址，所以在一組匯流排最多可和 112 個節點通訊。

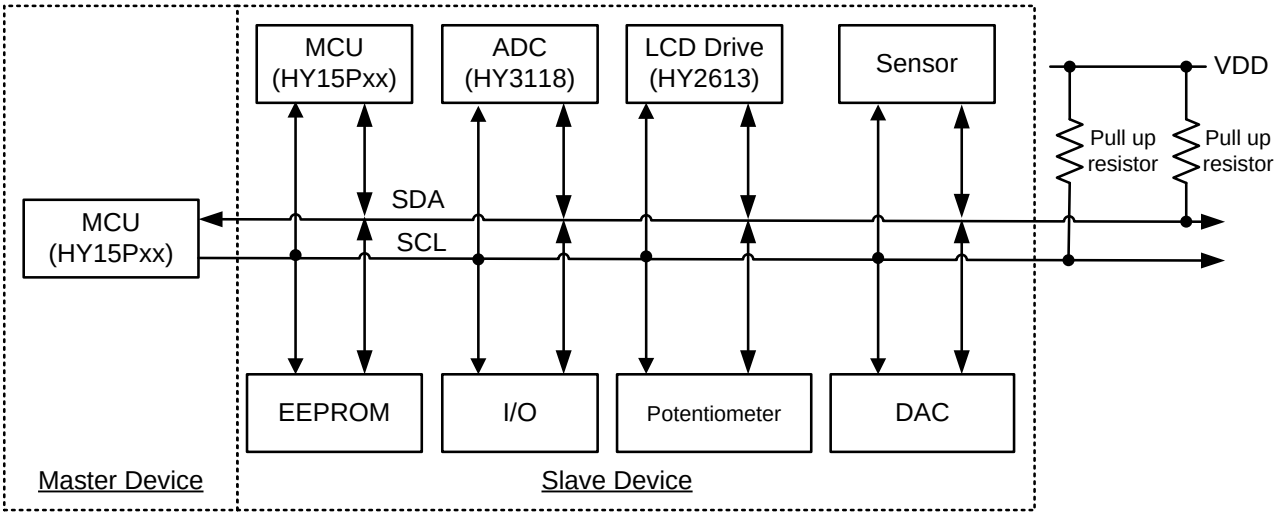


圖 13-2I^{2}C通訊接線示意圖

- I^{2}C串列介面信號：
  - 起始信號(START)：主機 SCL 為高電位時，發出 SDA 由高電位轉為低電位，開始資料傳送。
  - 資料(DATA)或位址(ADDRESS)信號：I^{2}C串列介面協議要求只有在SCL為低電位時，SDA上資料才可以改變。
  - 回應信號(Acknowledge)：接收資料的裝置(從機)在接收到第 8 位元後，向發送資料的裝置(主機)發送低電位，表示已收到資料。
  - 停止信號(STOP)：主機 SCL 為高電位時，發出 SDA 由低電位轉為高電位，結束資料傳送。

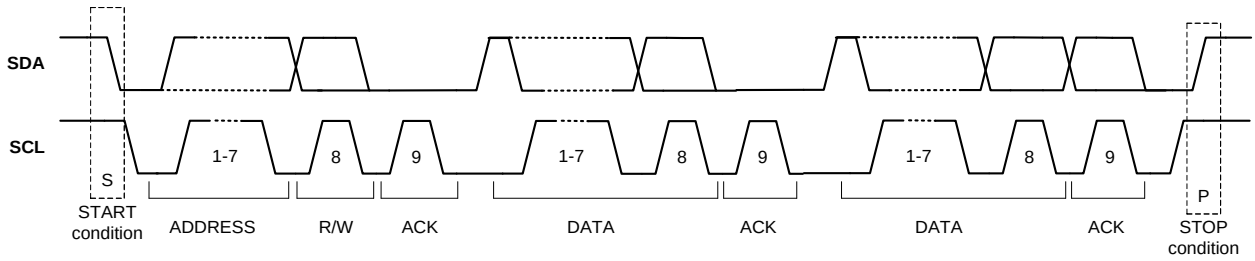


圖 13-3I^{2}C匯流排時序圖

13.1. 數據傳輸速率計算

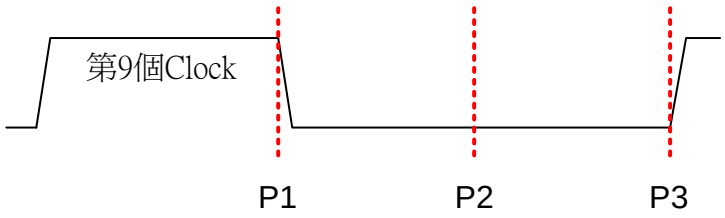
- Master Mode

  I^2C內部暫存器CRG[7:0]可以控制主機模式傳送數據的速度，CRG[7:0]的數值經由內部計數器產生主機的SCL的引腳信號，所以數據傳送率可以根據I^2C的時脈源I2C_CK的頻率，利用下列公式計算：

$$\text{Data Baud Rate(Hz)}=\frac{\text{I2C_CK}}{[4\times(CRG[7:0]+1)]}$$

- Slave Mode

  當Master端是使用的是標準硬體I^2C或者是會判斷SCL狀態才做動的裝置時，CRG[7:0]建議填值為 01H。如果Master端是使用I/O模擬而成的裝置，如需配合第九個Clock長度可依實際情況調整。公式計算為下



P1~P2的時間決定於ISR中和時將I2CINT寫0
P2~P3的時間由CRG[7:0]決定
Min=(CRG+1)*(CPU_CK週期)
Max=2*(CRG+1)*(CPU_CK週期)

13.2. 計時功能(Time-Out)

- Time-out控制是為了避免I^2C控制器將I^2C通訊匯流排鎖死，I^2C在操作的過程中為了提供MCU足夠的時間處理I^2C控制器的需求，因此I^2C控制器在每一個回應位元之後都會將SCL拉為Low，使Master無法傳出下一個時脈信號，即是發生通訊延時（Clock Stretching）。但是當MCU過於忙碌或任何原因無法回應I^2C控制器的需求時，I^2C通訊匯流排的SCL將有可能被鎖死於Low。
- 為了避免上述情況發生，Time-out 控制器可以根據使用者透過工作頻率除頻器 DI2C[2:0]及時間條件控制器 I2CTLT[3:0]，決定 SCL 處於 Low 狀態的 Time-out 條件。條件處理有以下狀態：
- 當偵測SCL被本機拉為Low的時間，滿足條件後I^2C控制器會強制將SCL放掉並且發出中斷事件至CPU。
- 當 SCL 在未達到 Time-out 時間被釋放為 High，則 Time-out 控制器內部的計數器將被重置，並於下次 SCL 再被拉為 Low 時重新計數。

13.3. I^2C串列介面通訊流程圖

- I^2C串列介面術語
  - (SPIA)：代表 對 ACT 控制暫存器所下達指令, S 為 Start 指令，P 為 Stop 指令，I 為中斷旗標，A 為 Acknowledge 指令。
  - SPIA：代表讀取 Action 控制暫存器之值，可以用於判讀中斷旗標或其它指令是否運作完成。
  - STA：讀取Status 暫存器(STA)之值，用以表示目前I^2C電路運作狀態。
  - 下列流程圖會以圖 16-4 所示之"灰底圓框"、"白底圓框"、"方框"分別表示I^2C介面之狀態：

    灰底圓框 ： 表示中斷旗標已被設立之 I2C 狀態。

    白底圓框 ： 表示中斷旗標未被設立，需由MCU 主動讀取之I^2C狀態。

    方框 ： 表示需由MCU 對I^2C下達指令。

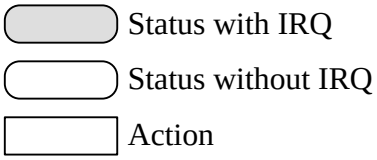


圖 13-4 流程圖符號

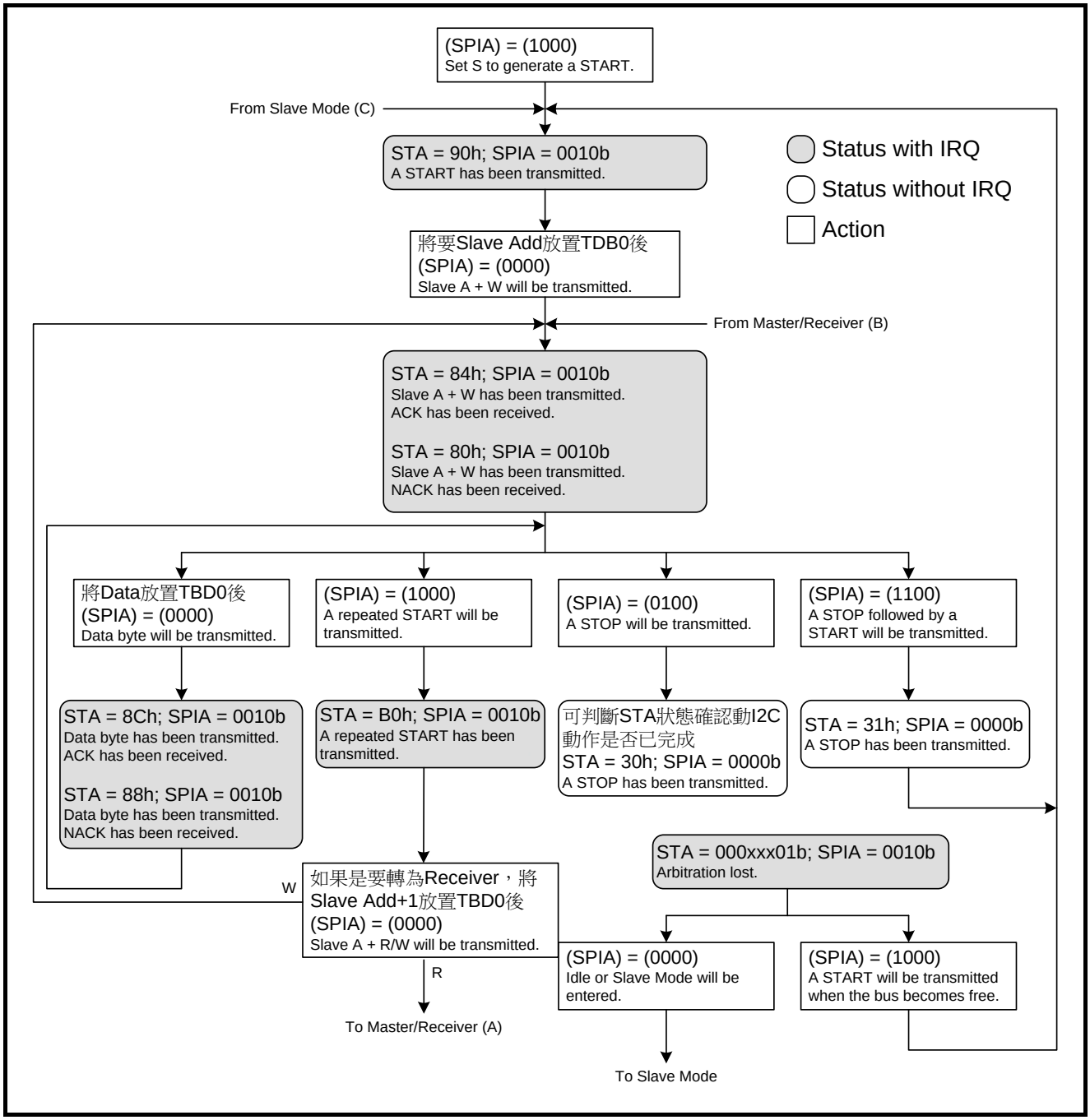


圖 13-5Master Transmitter Mode

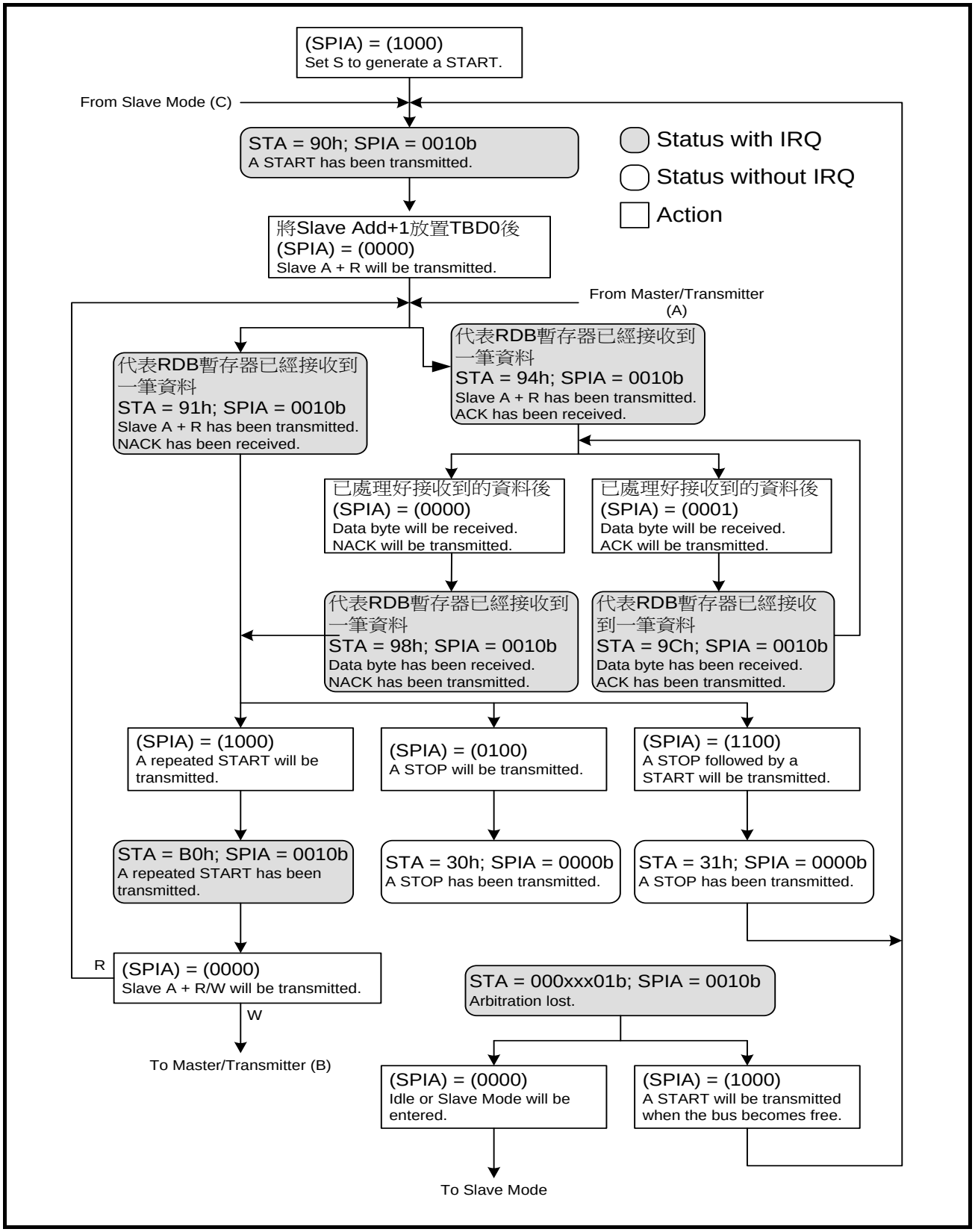


圖 13-6 Master Receiver Mode

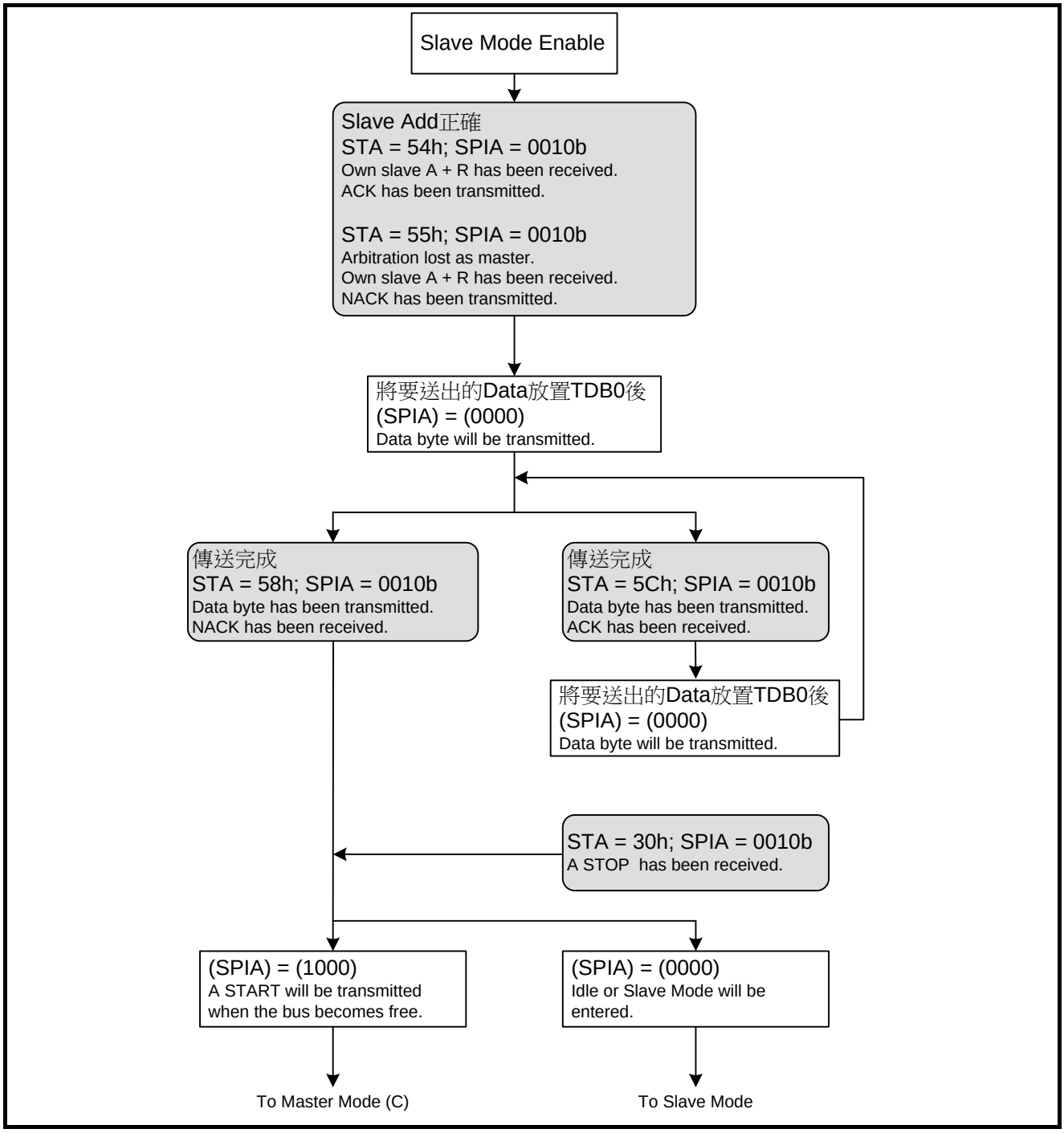


圖 13-7 Slave Transmitter Mode

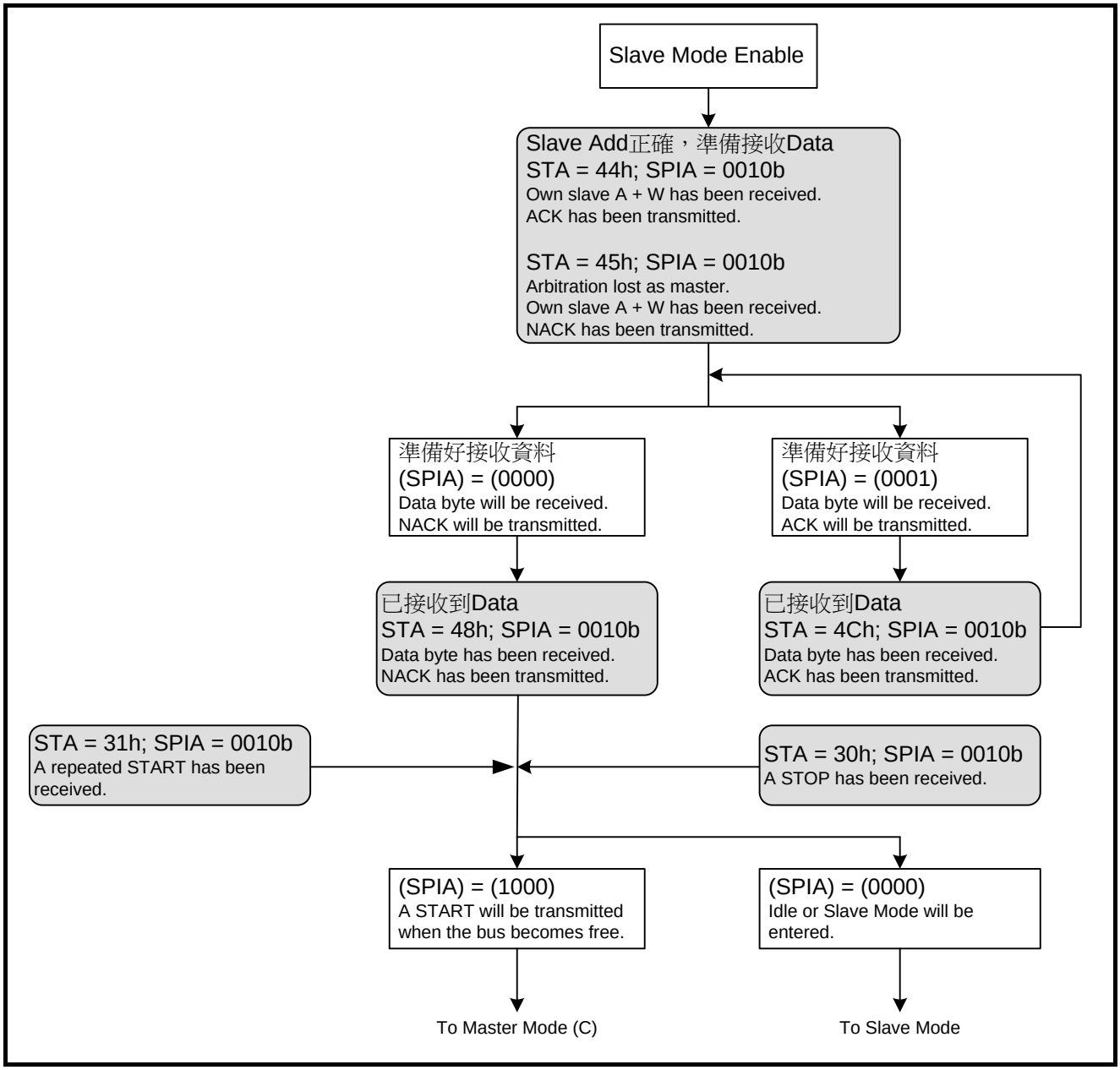


圖 13-8 Slave Receiver Mode

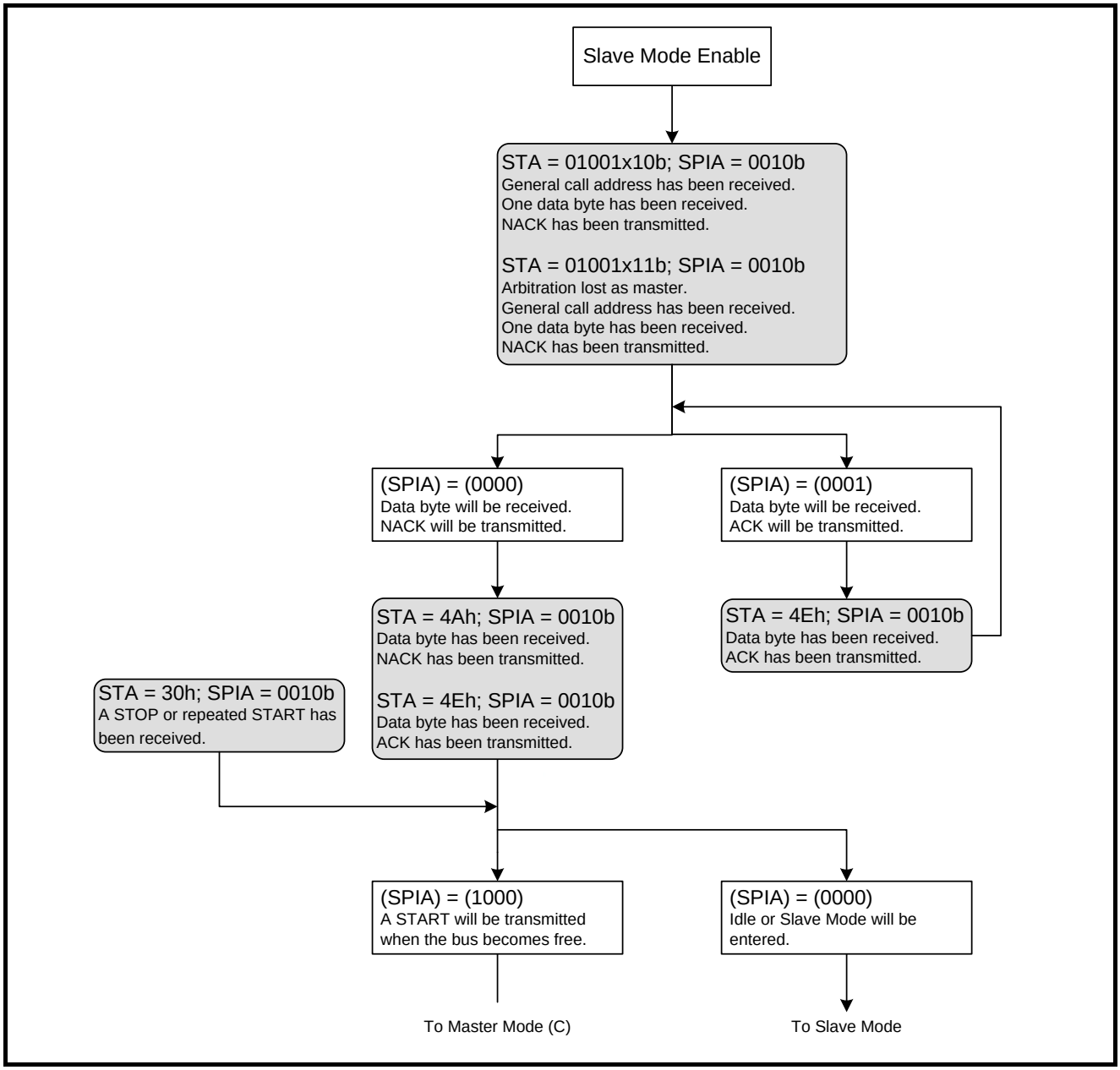


圖 13-9 General Call Mode

13.4. I²C暫存器說明

"-"no use,"*"read/write,"w"write,"r"read,"r0"only read 0,"r1"only read 1,"w0"only write 0,"w1"only write 1												
"$"for event status,"."unimplemented bit,"x"unknown,"u"unchanged,"d"depends on condition												
Address	File Name	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	A-RESET	I-RESET	R/W
023h	INTE0	GIE	TA1CIE	ADIE	WDTIE	TB1IE			EOIE	0000 0000	0uuu uuuu	*,*,*,*,*,*,*,*
024h	INTE1	TA1IE		TXIE	RCIE	I2CERIE	I2CIE			0000 0000	uuuu uuuu	*,*,*,*,*,*,*,*
027h	INTF1	-	-	TXIF	RCIF	I2CERIF	I2CIF	-	-	0000 0000	uuuu uuuu	*,*,*,* r,r,*,*
061h	CFG	Rsv.					GCRst	ENI2CT	ENI2C	.... .000	.... .uuu	-,-,-,- -,*,*
062h	ACT	SLAVE	-	-	I2CER	START	STOP	I2CINT	ACK	0000 0000	uuuu uuuu	*,*,*,*,*,*,*,*
063h	STA	MACTF	SACTF	RDBF	RWF	DFF	ACKF	GCF	ARBF	0001 0000	uuuu uuuu	*,*,*,*,*,*,*,*
064h	CRG	CRG[7:0]								0000 0000	uuuu uuuu	*,*,*,*,*,*,*,*
065h	TOC	I2CTF	DI2C[2:0]			I2CTLT[3:0]				0000 0000	uuuu uuuu	*,*,*,*,*,*,*,*
066h	RDB	RDB[7:1]							RDB[0]	xxxx xxxx	uuuu uuuu	*,*,*,*,*,*,*,*
067h	TDB0	TDB0[7:1]							TDB[0]	xxxx xxxx	uuuu uuuu	*,*,*,*,*,*,*,*
068h	SID0	SID[7:1],The corresponding address of the 7-bit mode							SIDV[0]	0000 0000	uuuu uuuu	*,*,*,*,*,*,*,*

表 13-1I²C暫存器

INTE0/INTE1/INTF1：詳見中斷,**Interrupt** 章節

TRISC4: PT4 引腳特性控制暫存器：詳見輸入**/**輸出埠,**I/O** 章節

PT4M2: PT4 數位輸出模式選擇暫存器：詳見輸入**/**輸出埠,**I/O** 章節

CFG：**I²C**設置暫存器**(Configuration Register)**

位元	名稱	描述
Bit2	GCRST	I²C全呼復位使能控制 <0>關閉 <1>開啓 ※當I²CSlave模式與GCRst功能同時被開啓時，如果I²CController接收General call ID 00h並且第一筆資料為"06h"即為General Call Reset條件成立，此時原本會發送至本機處理器的中斷信號(Interrupt)將被重置信號(Reset)取代，提供外部主機可以經由I²CBus重置本機晶片之功能。
Bit1	ENI2CT	開啓I²C超時監控功能位元 <0>關閉 <1>開啓I²C Time-out監控功能
Bit0	ENI2C	開啓I²C功能控制位元 <0>關閉 <1>開啓I²C通訊介面 ※注意事項: 當ENI2C關閉 時，將關 閉I²C 內部的Clock，除了 Configuration Register 可以進行寫入動作，其餘暫存器將無法寫入資料。

ACT: 動作暫存器**(Action Register)**

位元	名稱	描述
Bit7	SLAVE	從機開啓控制 <0>關閉 <1>開啓

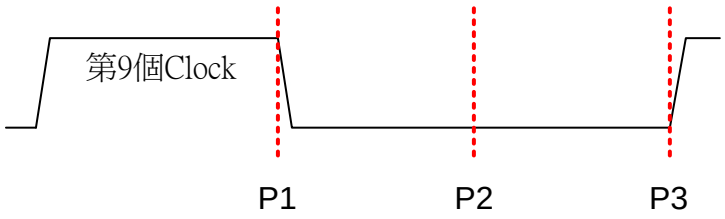
位元	名稱	描述
Bit4	I2CER	錯誤中斷旗標 <0>正常，寫 0 將會清除錯誤中斷旗標，使I^2C往下一個狀態執行。 <1>發生錯誤中斷
Bit3	START	開始命令位元 <0>正常 <1>於I^2C Bus 產生Start 信號
Bit2	STOP	停止命令位元 <0>正常 <1>於I^2C Bus 產生Stop 信號
Bit1	I2CINT	中斷旗標 <0>正常，寫 0 將會清除中斷旗標，使I^2C往下一個狀態執行。 <1>發生I^2C中斷
Bit0	ACK	ACK(Acknowledge)回覆位元 <0>未回覆 ACK 或回覆 NACK <1>ACK 已回覆

STA: I^2C狀態暫存器

位元	名稱	描述
Bit7	MACTF	主機模式啓用旗標(Master Mode Active Flag) <0>未啓用 <1>啓用
Bit6	SACTF	主機模式啓用旗標(Slave Mode Active Flag) <0>未啓用 <1>啓用
Bit5	RDBF	接收停止或重新開始旗標(Received Stop/Repeat-Start Flag) <0>正常 <1>接收停止或重新開始旗標已被發送或接收。
Bit4	RWF	讀寫狀態旗標(Read/Write State Flag) <0>寫命令已被發送或接收。 <1>讀命令已被發送或接收。
Bit3	DFF	資料旗標(Data Field Flag) <0>正常 <1>I^2C資料被發送或接收。
Bit2	ACKF	ACK 旗標(Acknowledge Flag) <0>ACK 未發送或接收。 <1>ACK 已發送或接收。

位元	名稱	描述
Bit1	GCF	General Call Flag <0>正常 <1>Currently General Call Operation
Bit0	ARBF	仲裁漏失旗標(Arbitration Lost Flag) <0>正常 <1>仲裁漏失

CRG: I²C時脈控制暫存器

位元	名稱	描述
Bit7~0	CRG[7:0]	I²C Bus Data Baud Rate Control Master Mode: I²C Bus 上的資料傳送是以SCL 引腳上的時脈信號所決定，而SCL 引腳上的時脈率可以由I²C 電路之時脈源的頻率CPU_CK 與CRG 經由下列公式計算: $\text{Data Baud Rate(Hz)}=\frac{\text{I2C_CK}}{[4\times(CRG[7:0]+1)]}$ Slave Mode:  P1~P2的時間決定於ISR中和時將I2CINT寫0 P2~P3的時間由CRG[7:0]決定 Min=(CRG+1)*(CPU_CK週期) Max=2*(CRG+1)*(CPU_CK週期)

TOC: I²C超時控制暫存器

位元	名稱	描述
Bit7	I2CTF	超時旗標 <1>I²CBus Clock Stretching Time-out <0>Normal
Bit6~4	DI2C[2:0]	Time-out Clock Pre-scale

DI2C[2:0]	Pre-scale	DI2C[2:0]	Pre-scale
000	CLKPS = CPU_CK / 1	100	CLKPS = CPU_CK / 16
001	CLKPS = CPU_CK / 2	101	CLKPS = CPU_CK / 32
010	CLKPS = CPU_CK / 4	110	CLKPS = CPU_CK / 64
011	CLKPS = CPU_CK / 8	111	CLKPS = CPU_CK / 128

<table>
<tr><th>位元</th><th>名稱</th><th>描述</th></tr>
<tr><td>Bit3~0</td><td>I2CTLT[3:0]</td><td>Time-out Limit；Time-out 的發生是以 CLKPS 計數 I2CTLT + 1 次後觸發
<table>
<tr><th>I2CTLT[3:0]</th><th>Limit</th><th>I2CTLT[3:0]</th><th>Limit</th></tr>
<tr><td>0000</td><td>1x CLKPS Cycle</td><td>1000</td><td>9 x CLKPS Cycle</td></tr>
<tr><td>0001</td><td>2x CLKPS Cycle</td><td>1001</td><td>10 x CLKPS Cycle</td></tr>
<tr><td>0010</td><td>3x CLKPS Cycle</td><td>1010</td><td>11x CLKPS Cycle</td></tr>
<tr><td>0011</td><td>4x CLKPS Cycle</td><td>1011</td><td>12x CLKPS Cycle</td></tr>
<tr><td>0100</td><td>5 x CLKPS Cycle</td><td>1100</td><td>13x CLKPS Cycle</td></tr>
<tr><td>0101</td><td>6 x CLKPS Cycle</td><td>1101</td><td>14x CLKPS Cycle</td></tr>
<tr><td>0110</td><td>7 x CLKPS Cycle</td><td>1110</td><td>15 x CLKPS Cycle</td></tr>
<tr><td>0111</td><td>8 x CLKPS Cycle</td><td>1111</td><td>16x CLKPS Cycle</td></tr>
</table></td></tr>
</table>

RDB: 接收資料暫存器

位元	名稱	描述
Bit7~1	RDB[7:1]	內容為接收位址(A7~A1)或資料(D7~D1)
Bit0	RDB[0]	內容為接收讀寫命令或資料(D0)

TDB0: 傳送資料暫存器

位元	名稱	描述
Bit7~1	TDB0[7:1]	內容為傳送位址(A7~A1)或資料(D7~D1)
Bit0	TDB[0]	內容為傳送讀寫命令或資料(D0)
※注意事項: 在通訊過程中當本機屬於非傳送 Address 或 Data 的狀態時必須將此暫存器設為 FFh，因為 TDB0 的 Bit 7 為 0 有可能將 SDA Bus 鎖死於 Low。		

SID0: 從機模式 **ID** 碼設置暫存器

位元	名稱	描述
Bit7~1	SID[7:1]	從機 ID 碼(A7~A1)
Bit0	SIDV[0]	從機 ID 碼有效控制 <0>從機 ID 碼無效 <1>從機 ID 碼有效

14. 非同步串列通訊介面,Enhanced Universal Asynchronous Receiver Transmitter

增強型非同步收發器 Enhanced Universal Asynchronous Receiver Transmitter,EUART 週邊通常也稱為串列通信介面或 SCI，EUART 可以被配置為能與 CRT 終端和個人電腦等外設通信的全雙工非同步系統；也可以被配置成能夠與 A/D 或 D/A 積體電路、串列 EEPROM 等外設通信的半雙工同步系統。

增強型 EUART 是在標準型 UART 的基礎上增加了幀(Frame)錯誤檢測和自動位址識別兩種功能，幀錯誤檢測通過檢測一幀資訊的停止位元來判斷該幀是否有效。自動位址識別功能自動將收到的位址幀內容與單片機的位址進行比較，只有匹配時才產生串列中斷。此版的這兩個功能前者由內置硬體電路完成後者由使用者軟體達成。

EUART 可以配置為以下幾種工作及偵錯模式：

- 帶有以下功能的全雙工非同步模式：
  傳輸鮑率發生器
- 偵錯模式
  幀(Frame)錯誤檢測[3]
  溢出（Overrun）錯誤檢測[4]
  硬體同位元檢查碼
- 資料傳輸與接收
  非同步發送(8 位或 9 位)
  非同步接收(8 位或 9 位)
- 字元接收自動喚醒功能

EUART 暫存器計有：

UR0CN	ENSP[0],ENTX[0],TX9[0],TX9D[0],PARITY[0]
UR0STA	RC9D [0],PERR[0],FERR[0],OERR[0],RCIDL[0],TRMT[0],ABDOVF[0]
BA0CN	ENCR[0],RC9[0],ENADD[0],ENABD[0]
BR0GR[15:0]	BG0RH[7:0], BG0RL[7:0]
TX0G	TX0R[7:0]
RCREG	RCREG[7:0]

[3] 幀錯誤檢測(FERR)：UART 沒有收到起始位元，亦即收到不知從何時開始到何時結束的訊號時稱之；這通常由訊號線上的雜訊引起，會使 UART 無法在移位暫存器上得到正確資料。

[4] 溢出錯誤檢測(OERR)：最近的一筆資料已覆蓋先前未取走的資料。

14.1. EUART 使用說明

14.1.1. 非同步資料發送設置步驟

- 將 ENSP 置為 1 後，PT4.4、PT4.5 自動設定為 UART 引腳。
- 配置 INTE1 暫存器 TXIE 位元及 INTE0 暫存器 GIE 位元決定是否允許傳送中斷致能。(INTF1 暫存器 TXIF 位元預設為 High，相關中斷致能須確定後再設定).
- 配置 BG0RH, BG0RL 暫存器，決定合適的鮑率值。
- 配置 UR0CN 暫存器 TX9 位元決定是否啓動第 9 位資料發送功能。(若啓動第 9 位資料發送功能，則須將該資料填入 TX9D 位元中。第 9 位位元可以是位址或是資料).
- 配置 UR0CN 暫存器 ENTX 位元啓動資料傳送功能。
- 寫入 TX0R 暫存器，決定傳送資料。(寫入後啓動發送)

14.1.2. 非同步資料接收設置步驟

- 將 ENSP 置為 1 後，PT4.4、PT4.5 自動設定為 UART 引腳。
- 配置 INTE2,暫存器 RCIE 位元及 INTE1 暫存器 GIE 位元決定是否允許接收中斷致能。
- 配置 BG0RH, BG0RL 暫存器，決定合適的鮑率值。
- 配置 UR0CN 暫存器 ENSP 位元啓動 EUART 串列 I/O 模組。
- 配置 BA0CN 暫存器 RC9 位元決定是否啓動第 9 位資料接收功能。
- 配置 BA0CN 暫存器 ENCR 位元啓動資料接收功能。
- 讀取 UR0STA 暫存器 RC9D 位元用以擷取接收資料第 9 位數據(RC9 設置情形下)，並判斷接收過程是否發生錯誤。
- 讀取 RCREG 暫存器用以擷取接收資料共 8 位數據。
- 讀取 UR0STA 暫存器 FERR 位元是否被設置，確定讀取資料是否錯誤，可透過清除 ENCR 位解除 FERR 位元。

14.1.3. 非同步資料接收(9 位元, RS-485 模式) 設置步驟

- 將 ENSP 置為 1 後，PT4.4、PT4.5 自動設定為 UART 引腳。
- 配置 BG0RH, BG0RL 暫存器，決定合適的鮑率值。
- 配置 UR0CN 暫存器 ENSP 位元啓動 EUART 串列 I/O 模組。
- 配置 BA0CN 暫存器 RC9 位元否啓動第 9 位資料接收功能。
- 配置 BA0CN 暫存器 ENADD 位元致能位址檢測功能。
- 配置 BA0CN 暫存器 ENCR 位元啓動資料接收功能。
- 配置 INTE2,暫存器 RCIE 位元及 INTE1 暫存器 GIE 位元決定是否允許接收中斷致能。當資料接收完成時 RCIF 位元將被設置。
- 讀取 UR0STA 暫存器 RC9D 位元用以擷取接收資料第 9 位數據(RC9 設置情形下)，並判斷接收過程是否發生錯誤。
- 讀取 RCREG 暫存器用以擷取接收資料共 8 位數據。
- 讀取 UR0STA 暫存器 FERR 位元是否被設置，確定讀取資料是否錯誤，可透過清除 ENCR 位解除 FERR 位元。
- 配置 BA0CN 暫存器 ENADD 位元用以關閉位址檢測，使得下一筆資料接收。

14.2. 串列傳輸鮑率發生器（BRG）

BRG 是一個專用的 13 位元發生器，支援 EUART 的非同步模式。BG0R[15:0]暫存器是一個獨立運行計時器的週期控制器。表 14-1 為串列傳輸鮑率計算公式，但僅適用於主控模式。

在給定目標串列傳輸鮑率且工作時脈為 CPU_CK 的情況下，可以使用表 14-1 中的公式計算 BRGR[15:0]暫存器中的近似整數值，從而確定串列傳輸鮑率誤差。範例 14-1 描述出串列傳輸鮑率與誤差率的計算方式。

BRG/EUART MODE	串列傳輸鮑率計算公式
13 位元/非同步	CPU_CK÷[4 (n + 1)]
CPU_CK=工作頻率； n = BG0RH:BG0RL 暫存器對的值	

表 14-1 串列傳輸鮑率公式

工作在非同步模式下，其工作頻率為 CPU_CK(2MHz)，而目標串列傳輸鮑率為 9600bps。
求解 BG0R[15:0]=< ? >即 BG0RH[7:0]:BG0RL[7:0]=< ? >
已知公式：目標串列傳輸鮑率＝CPU_CK÷(4 (<BG0R[15:0]>+1))：
故 BG0R[15:0]＝((CPU_CK÷目標串列傳輸鮑率)÷4)–1
＝((2000000÷9600)÷4)–1
＝51.08
≒51 即 BG0RH[7:0]=<00>，BG0RL[7:0]=<33>；註 33 為 16 進制
而實際上 BRG 計算結果為：實際串列傳輸鮑率＝2000000÷4(51+1))＝9615.38
所以存在一定誤差，其計算方式為：
誤差率＝(實際串列傳輸鮑率–目標串列傳輸鮑率)/目標串列傳輸鮑率
＝(9615-9600)/9600
＝0.16%

範例 14-1 計算串列傳輸鮑率誤差

14.2.1. 功耗管理模式下的操作

晶片時脈用於產生所需的串列傳輸鮑率。當進入一種功耗管理模式時，新時脈源可能會工作在一個不同的頻率下。這可能需要調整 BRGR[15:0]暫存器中的值。

14.2.2. RC 取樣方式

取樣電路會在傳輸鮑率週期的中心點進行取樣，以判定 RC 引腳上出現的是高電位還是低電位。

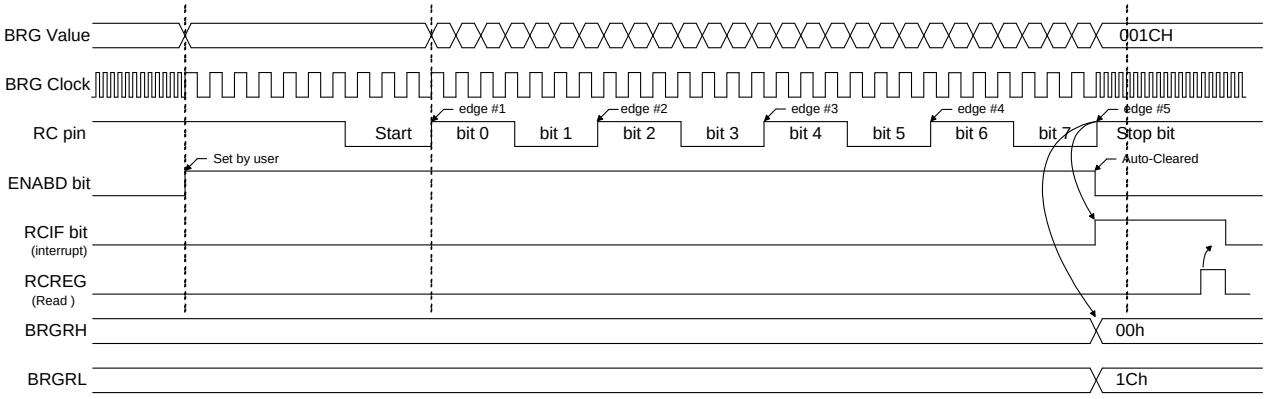
14.2.3. 自動鮑率

EUART 模組支援自動檢測和校準功能，亦可稱之為自動鮑率。自動鮑率必須在喚醒啓用控制器 WUE[0]設置 0 時才有效，並將自動鮑率啓用控制器 ENABD[0]設置 1 即可啓用。

在接收到開始狀態後，即開始進行自動波特率檢測功能(接收值必須為 055H，且不能是偶同位檢察)。在自動檢測和校準完成後會將計算出了結果寫入 BG0RH[7:0]與 BG0RL[7:0]，相關時序如圖 14-1。

當 BRGR[15:0]計算滿出時即其內容由 01FFFH 到 00000H 產生溢位，則自動包率溢位旗標 ABDOVF[0]會被置 1，使用者可以利用指令將 ABDOVF[0]設置 0 或透過 ENABD[0]設置 0 以讓 ABDOVF[0]置 0。在 ABDOVF[0]置 1 後，ENABD[0]的狀態仍會保持在 1，相關時序如圖 14-2。

Automatic BAUD rate calculation



Note：The ABD sequence requires the EUART module to be configured in WUE = 0

圖 14-1 自動鮑率計算波形

BRG Overflow Sequence

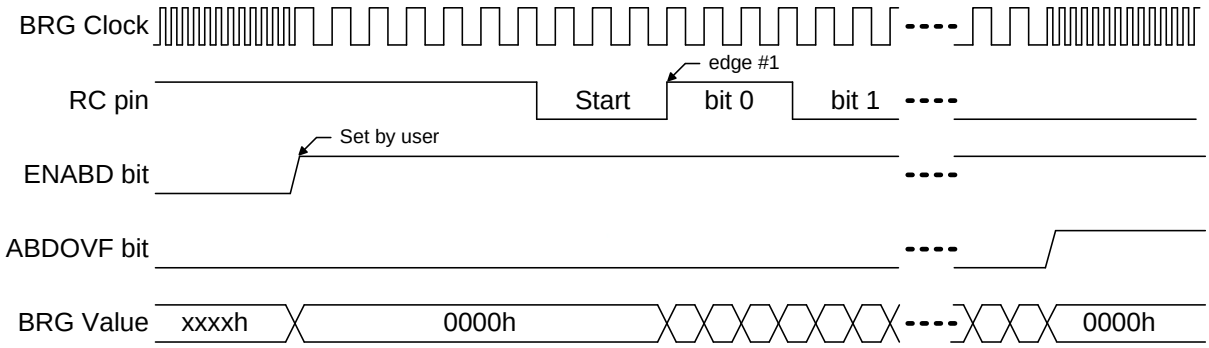


圖 14-2 自動鮑率溢位(ABDOVF)波形

14.3. 硬體同位元檢查

◆ EUART 支援硬體奇偶校驗功能，校驗位元保存在第 9 個資料位元中。使用時依使用者暫存器設定而進行同位元檢查(ENADD[0]=0)，相關設定如表 14-2

傳送/接收 8/9 位元資料		PARITY	狀態
TX9	RC9		
0	0	0	傳送/接收資料無同位元檢查訊息
0	0	1	傳送/接收資料無同位元檢查訊息
0	1	0	接收資料具同位元檢查功能，偶同位
0	1	1	接收資料具同位元檢查功能，奇同位
1	0	0	傳送資料具同位元檢查碼，偶同位
1	0	1	傳送資料具同位元檢查碼，奇同位
1	1	0	
1	1	1	
註：當 RC9[0]設置 1 時，啓用同位元檢查功能而當奇偶同位錯誤時 PERR[0]置 1。 假使 RC9[0]與 ENADD[0]同時設置 1，則忽略 PERR[0]錯誤位元的值。			

表 14-2 同位元檢查狀態表

14.4. EUART 非同步模式

◆ 此模式使用標準的"不歸零"（Non-Return-to-Zero，NRZ）格式，即是 1 個起始位元加上 8 個或 9 個資料位元最後為 1 個停止位，最常用的資料格式為 8 位元。而晶片上專用 13 位元串列傳輸鮑率發生器，可借助於工作時脈振盪器產生標準串列傳輸鮑率頻率。

◆ 再者，EUART 首先發送和接收的資料是最低有效位，發送器和接收器在功能上是各自獨立的，但採用相同的資料格式和串列傳輸鮑率。其更支援硬體奇偶校驗功能，校驗位元會保存在第 9 個資料位元中。

14.4.1. EUART 非同步發送器 (UART TXIF/RCIF flag 由 0->1 發生中斷)

圖 14-3 為 EUART 發送器的時序圖，發送器的核心是以串列方式發送移位暫存器（Transmit Shift Register，TSR）內的資料，而使用者是無法讀/寫 TSR。

TSR 從讀/寫發送緩衝暫存器 TX0R[7:0]中獲取資料。TX0R[7:0]暫存器中的資料由軟體寫入，在前一次載入的停止位發送完成前，不會再向 TSR 暫存器載入資料；一旦停止位元發送完畢，TX0R 暫存器中的新資料（如果有的話）就會被載入 TSR。一旦 TX0R 暫存器向 TSR 暫存器傳輸了資料，TX0R 暫存器就為空（未再次有寫入動作），同時標誌位元 TXIF 由 1 置 0 (當 UR0CN 暫存器 ENTX 位元被設置之後，TXIF 位元將被設置為 1)。而 TXIF 不會在 TX0R 裝入新資料時立即被清零，而是在裝入新資料後的第二個指令週期被清零。當 TXIF 被置 0 之後，會在一個指令週期後再被置 1。可以通過將中斷允許位 TXIE 置 1 或清零來允許/禁止該中斷。不管 TXIE 的狀態如何，只要中斷發生， TXIF 就會由 1 置 0 並且不能由軟體清零，並且會在一個指令週期後再被置 1。倘若此時 TSR 暫存器內的資料尚未發送完畢，TX0R 暫存器又被寫入資料，則在裝入新資料後的第二個指令週期後 TXIF 會再被清零並維持到 STOP BIT 發生時才會被置 1。

因此在 TX0R 裝入新資料後立即查詢 TXIF，其回傳的值是不可參考。TXIF 表示的是 TX0R 暫存器的狀態，而另一個位元 TRMT 則表示 TSR 暫存器的狀態。TRMT 是唯讀位，它在 TSR 暫存器為空（未再次有載入動作）時被置 1。TRMT 位元與任何中斷邏輯均無關聯，因此要確定 TSR 暫存器是否為空，用戶只能對此位進行查詢。而資料非同步發送時序圖可參考下圖 14-4, 圖 14-5 說明

- UART 動作除了讀寫以外，與 CPU 指令週期無關
- TXIF,RCIF 表示中斷用途，與其他任何事件無關
- 要用 CPU 去檢視周邊元件時，須先注意相對操作速度

EUART TRANSMIT BLOCK DIAGRAM

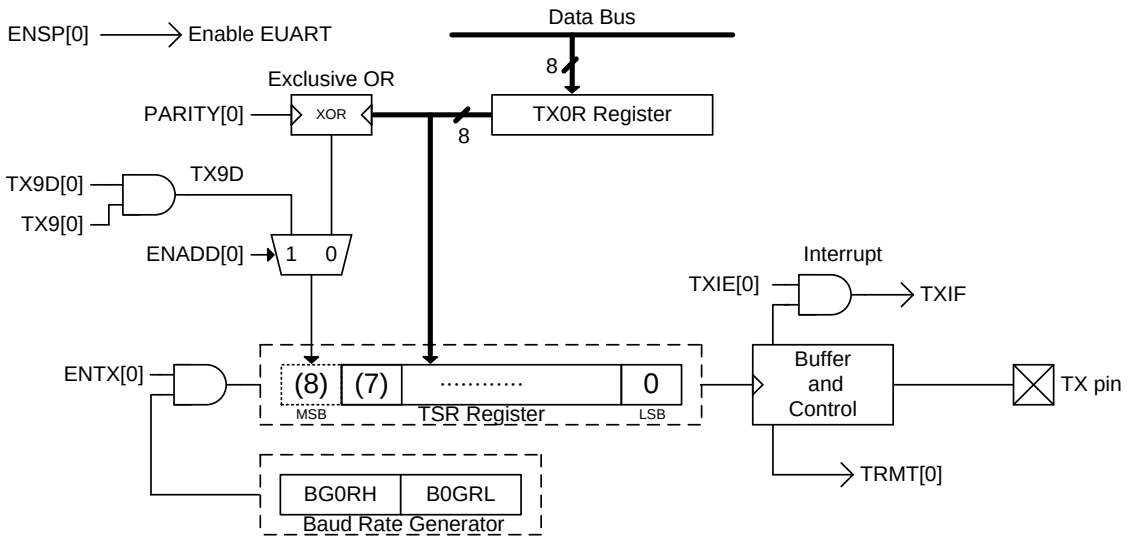


圖 14-3 EUART 傳送方塊圖

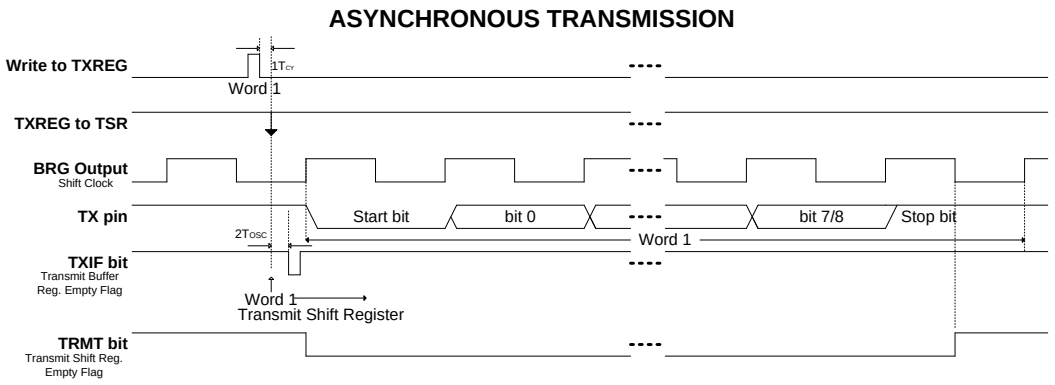


圖 14-4 非同步發送時序圖

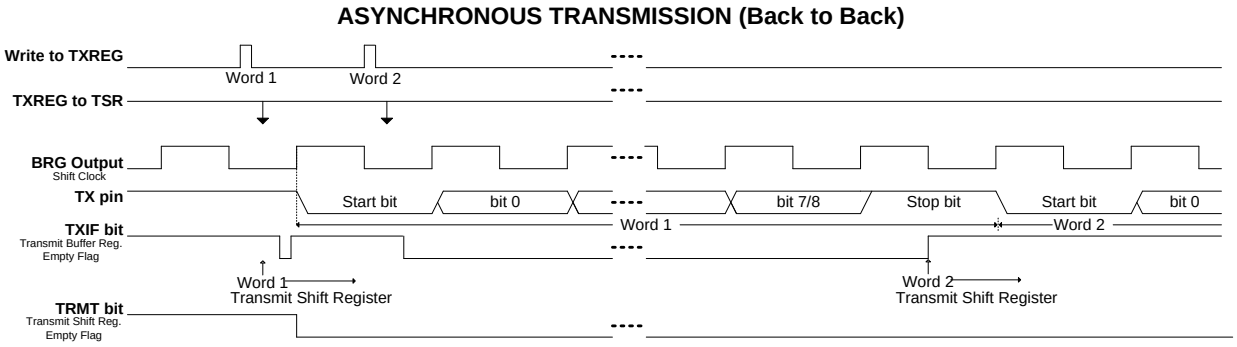


圖 14-5 非同步發送時序(背對背)

◆ EUART 非同步接收器

圖 14-6、圖 14-7 顯示了接收器的方塊圖。圖 14-8 顯示了非同步接收時序。在 RC 引腳上接收資料，並驅動資料恢復電路。資料恢復電路實際上是一個以 13 位元串列傳輸鮑率為工作頻率的高速移位元器，而主接收串列移位元器的工作頻率等於鮑率或 OSC_RC2M。此模式通常用於 RS-232 系統。

若 RC 引腳接收資料時未接收到完整位元組(開始、8(9)位元資料、結束)，FERR 位元將被設置為 1, 可透過清除 ENCR 位元清除 FERR 位元。

當 RC 引腳已經接收到 2 筆完整位元組資料後(皆未從 RCREG 暫存器中將資料讀出), OERR 位元將被設置為 1, 可透過清除 ENCR 位元清除 OERR 位元。

當完整資料接收完成時，INTF2 暫存器 RCIF 位元將會被設置，而 RCIF 位元被設置時將無法使用指令進行清除，執行讀取 RCREG 暫存器的動作將可以清除 RCIF 狀態。

UR0STA 暫存器 RCIDL 位元反應是否處於接收狀態。使用者間接由此判斷資料接收是否完成。

資料接收時，硬體將會針對接收的 8 位元資料進行互斥或運算(exclusive or)，若 RC9 設置為 1 時，將針對包含接收到的 RC9D 資料(共 9 位元)進行互斥或運算(exclusive or)。運算後再與使用者設定的 PARITY 位元再次進行互斥或運算(exclusive or)，並將運算結果顯示在 PERR 位元。若接收資料正確，則 PERR 設定為 0. 若接收資料錯誤，則 PERR 設定為 1. PERR 位元無法使用指令清除，在下一筆資料接收正確時，PERR 將會被設置為 0.

EUART 8-BITs RECEIVE BLOCK DIAGRAM

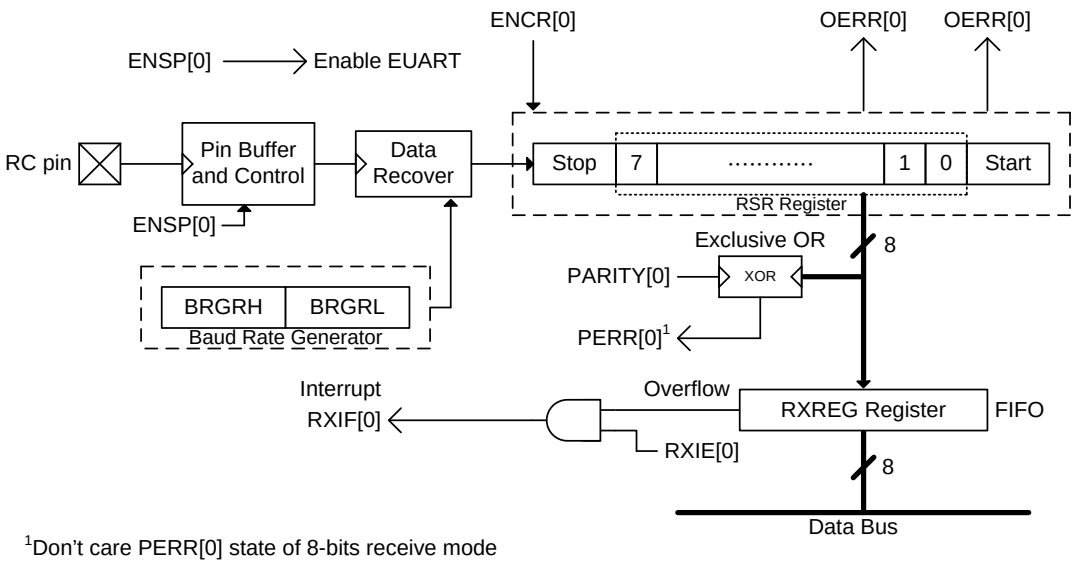


圖 14-6 EUART 8-bits 接收方塊圖

EUART 9-BITs RECEIVE BLOCK DIAGRAM

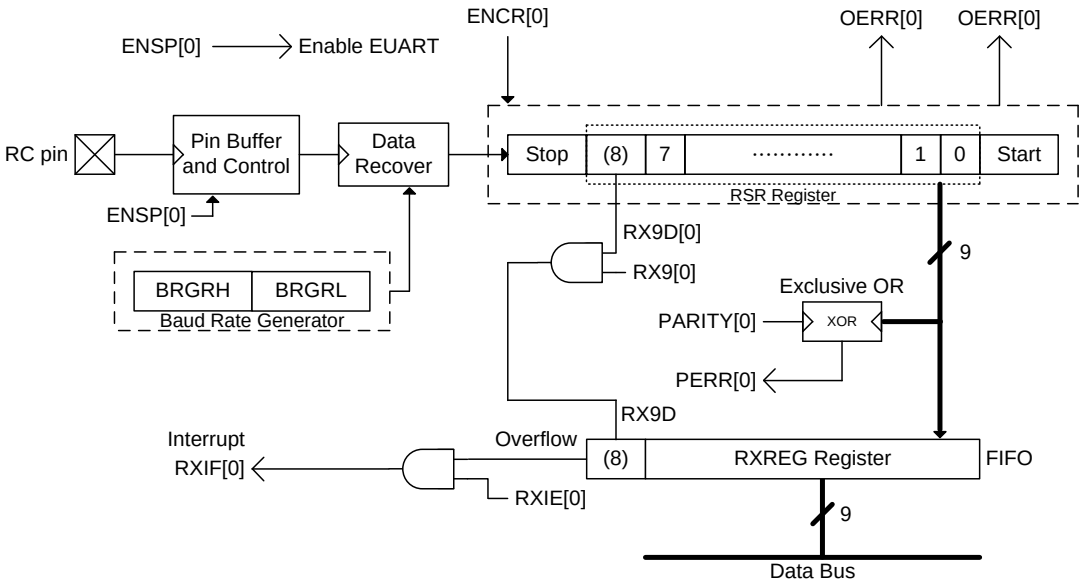


圖 14-7EUART 9-bits 接收方塊圖

ASYNCHRONOUS RECEPTION

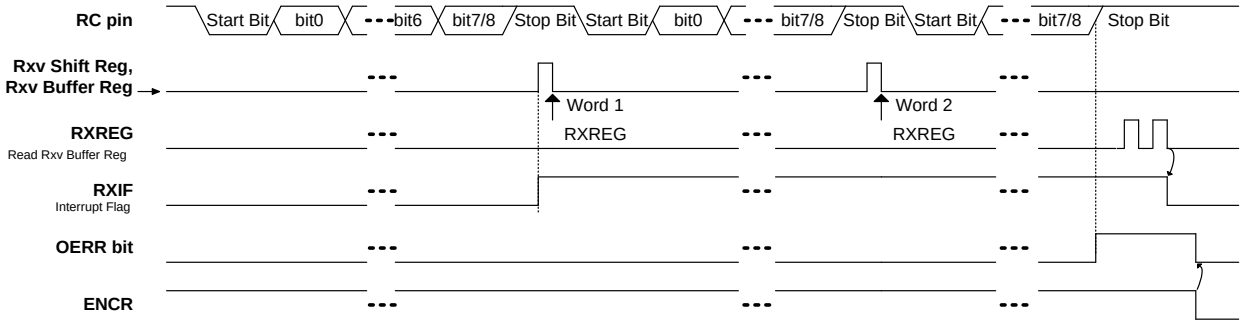


圖 14-8 非同步接收時序

◆ 位址檢測功能的 9 位元模式

此模式通常用於 RS-485 系統。可依照 EUART 使用說明章節配置帶有位址檢測功能的非同步接收操作。使用者可透過 BA0CN 暫存器 ENADD 位元設置決定為位址檢測或是資料檢測。

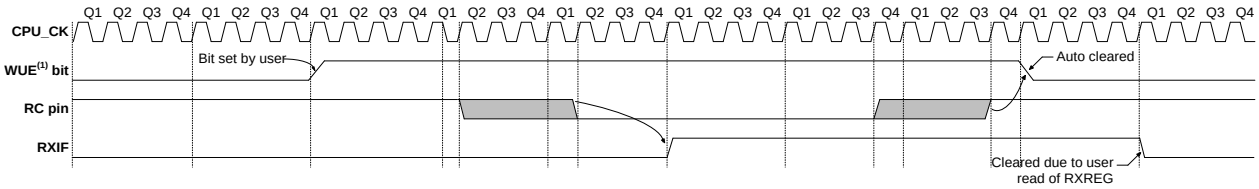
◆ 字元接收自動喚醒

在休眠(sleep)或等待 (idle) 模式下，EUART 的所有時脈源都會暫停。因此，串列傳輸鮑率發生器處於非啓動狀態(ILDE UART 會動作)，並且無法進行正確的位元組接收。自動喚醒功能允許在 RC 線上有事件發生時喚醒控制器，該功能需要 EUART 工作在非同步模式下通過將 UR0CN 暫存器 WUE 位元設置 1(Sleep 需要置 1，Idle 不需要)，致能自動喚醒功能。該功能啓用後，將禁止 RC 上的典型接收操作，且 EUART 保持在空閒狀態並監視喚醒事件（與 CPU 運行模式無關）。

喚醒事件是指 RC 線上發生高電位到低電位的轉換。在喚醒事件後，模組會產生一個 RCIF 中斷，在正常工作模式下中斷會與 Q 時脈同步產生，可參考下圖 14-9；如果晶片處於休眠或等待模式，則兩者不同步，可參考下圖 14-10 說明。通過讀 RCREG 寄存器可清除中斷條件。

喚醒事件後，當 RC 線上出現由低向高的電位轉換時，WUE 位自動清零。此時，EUART 模組將從空閒狀態返回正常工作模式。由此用戶可知事件已經結束。

AUTO-WAKE-UP BIT (WUE) TIMINGS DURING NORMAL OPERATION



Note：(1) The EUART remains in Idle while the WUE bit is set.

圖 14-9 正常模式下自動喚醒時序

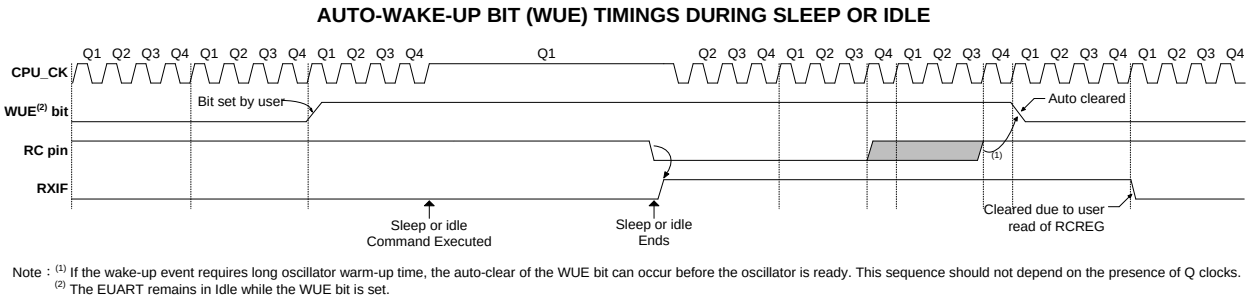


圖 14-10 休眠或等待模式下自動喚醒時序

- 使用自動喚醒功能的注意事項

  因為自動喚醒功能是通過檢測 RC 上的上升沿跳變實現的，所以在停止位前該引腳上任何的狀態改變都可能會產生錯誤的結束信號並導致資料或幀錯誤。因此，為了確保正確的傳輸，必須首先發送全 00H。(如果是 9bit 必須 9 個 bit 都是 0)

  另外還必須考慮振盪器起振時間，尤其在採用起振延遲較長的振盪器應用中更要注意這一點。或喚醒信號字元必須足夠長，並且跟有足夠長的時間間隔，以便使選定振盪器有充足的時間起振並保證 EUART 正確初始化。

- 使用 WUE 位的注意事項

  WUE 和 RCIF 事件的時序來判斷接收資料的有效性可能會引起混淆。如前所述，將 WUE 位置 1 會使 EUART 進入空閒模式。喚醒事件會產生一個接收中斷，並將 RCIF 位置 1。此後當 RC 出現上升沿時 WUE 位被清零。然後通過讀 RCREG 寄存器清除中斷條件。

  一般情況下，此時喚醒後 RCREG 中的資料是無效資料，應該丟棄。WUE 位清零（或仍然置 1）且 RCIF 標誌位置 1 並不能表明 RCREG 中資料接收是完整的。用戶應該考慮使用固件驗證是否完整地接收了資料。要確保沒有丟失有效資料，應檢查 RCIDL 位元來驗證是否還在接收資料。如果不在進行接收，則可將 WUE 位置 1，使晶片立即進入休眠模式。

14.5. 暫存器說明-UART

"-"no use,"*"read/write,"w"write,"r"read,"r0"only read 0,"r1"only read 1,"w0"only write 0,"w1"only write 1												
"$"for event status,"."unimplemented bit,"x"unknown,"u"unchanged,"d"depends on condition												
Address	File Name	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	A-RESET	I-RESET	R/W
023h	INTE0	GIE	-	ADIE	WDTIE	TB1IE	TMAIE	E1IE	E0IE	0000 0000	0uuu uuuu	*,*,*,*,*,*,*,*
024h	INTE1	-		TXIE	RCIE					0000 0000	uuuu uuuu	*,*,*,*,*,*,*,*
027h	INTF1	-		TXIF	RCIF					0000 0000	uuuu uuuu	*,*,*,* r,r,*,*
069h	UR0CN	ENSP	ENTX	TX9	TX9D	PARITY	-	-	WUE	0000 0..0	uuuu u..u	*,*,*,*,-,-,*
06Ah	UR0STA	-	RC9D	PERR	FERR	OERR	RCIDL	TRMT	ABDOVF	.000 0010	.uuu uuuu	-,r,r,r r,r,r,rw0
06Bh	BA0CN	-	-	-	-	ENCR	RC9	ENADD	ENABD	 0000	.... uuuu	-,-,-,- *,*,*,*
06Ch	BG0RH	-	-	-	Baud Rate Generator Register High Byte					...x xxxx	...u uuuu	-,-,-,* *,*,*,*
06Dh	BG0RL	Baud Rate Generator Register Low Byte								xxxx xxxx	uuuu uuuu	*,*,*,*,*,*,*,*
06Eh	TX0R	UART Transmit Register								xxxx xxxx	uuuu uuuu	*,*,*,*,*,*,*,*
06Fh	RCREG	UART Receive Register								xxxx xxxx	uuuu uuuu	r,r,r,r r,r,r,r
070h	PT1				PT1.4	PT1.3				xxxx xxxx	xxxx xxxx	*,*,*,*,*,*,*,*
071h	TRISC1	TC1.7	TC1.6	TC1.5	TC1.4	TC1.3	TC1.2	TC1.1	TC1.0	0000 0000	uuuu uuuu	*,*,*,*,*,*,*,*
073h	PT1PU	PU1.7	PU1.6	PU1.5	PU1.4	PU1.3	PU1.2	PU1.1	PU1.0	0000 0000	uuuu uuuu	*,*,*,*,*,*,*,*
075h	PT1M2	-	PM1.7[0]	-	PM1.6[0]	-	PM1.5[0]	-	PM1.4[0]	xxxx xxxx	xxxx xxxx	*,*,*,*,*,*,*,*

表 14-3UART 暫存器

INTE0/INTE1/INTF1: 詳見中斷,**Interrupt** 章節

TRISC4: PT4 引腳特性控制暫存器：詳見輸入/輸出埠,**I/O** 章節

PT4M2: PT4 數位輸出模式選擇暫存器：詳見輸入/輸出埠,**I/O** 章節

UR0CN: UART 控制暫存器

位元	名稱	描述
Bit7	ENSP	UART 端口功能致能位元 <0>關閉 UART 端口，並將 TX, RC 引腳組態為 I/O 使用 <1>啓動 UART 端口，並將 TX, RC 引腳組態為 UART 端口使用 註: 當啓動 UART 串行端口之後，須適當配置輸入或輸出腳位使用.
Bit6	ENTX	UART 傳送功能致能位元 <0>關閉 <1>啓動
Bit5	TX9	傳送第 9 位元功能致能 <0>關閉 <1>啓動
Bit4	TX9D	傳送第 9 位元資料 <0>資料為"0" <1>資料為"1"
Bit3	PARITY	奇/偶同位檢查設定 <0>偶同位檢查 <1>奇同位檢查
Bit0	WUE	字元接收自動喚醒致能位元 <0>關閉 <1>啓動

UR0STA: UART 狀態暫存器

位元	名稱	描述
Bit6	RC9D	接收第 9 位元資料 <0>資料為"0" <1>資料為"1"
Bit5	PERR	資料同位檢查結果旗標 <0>接收同位檢查正確 <1>接收同位檢查錯誤
Bit4	FERR	UART 資料接收不完整(開始、8(9)位元資料、結束)旗標 <0>表示資料接收完整 <1>表示資料接收不完整
Bit3	OERR	已接收到 2 筆資料未處理狀態旗標 <0>未發生 <1>已發生
Bit2	RCIDL	反應是否為接收狀態旗標 <0>在接收狀態 <1>不在接收狀態
Bit1	TRMT	表示傳送移位暫存器(TSR)狀態旗標 <0>表示 TSR 暫存器有資料 <1>表示 TSR 暫存器為空的
Bit0	ABDOVF	自動鮑率溢位旗標 <0>未發生 <1>已發生

BA0CN: UART 接收資料控制暫存器

位元	名稱	描述
Bit3	ENCR	資料接收功能致能位元 <0>關閉。 <1>啓動。
Bit2	RC9	接收第 9 位元功能致能位元 <0>關閉 <1>啓動。
Bit1	ENADD	位址檢測位元 <0>關閉。 <1>啓動。
Bit0	ENABD	自動鮑率控制器致能位元 <0>關閉。 <1>啓動。

BG0RH/BG0RL: Baudrate 控制暫存器

TX0R: UART 資料傳送暫存器

RCREG: UART 資料接收暫存器

15. 內建 EPROM, Build-In EPROM

Build-In EPROM(BIE)功能可儲存產品序號、安全密碼、程式運算後產生的數據資料…等，外部硬體僅需外接 VBIE 為 8.5V 電壓於 VPP/RST 引腳，並搭配燒錄指令使用此功能，HY15P41 系列儲存位址範圍 00H~3FH 共 64words 同等於 128bytes。

使用外部 VBIE 電源(8.5V)燒錄 BIE 區塊時，可以透過指令一次燒錄一個字組(word)資料于 BIE 區塊內；每次呼叫燒錄副程式進行燒錄動作，僅能燒錄一個字組(word)資料，所花費時間約 500msec。

BIE 暫存器摘要：

BIECN	BIEWR[0], BIERD[0]
BIEARL	BIE_ADDR[5:0]
BIEDH	BIE_DATA[15:8]
BIEDL	BIE_DATA[7:0]

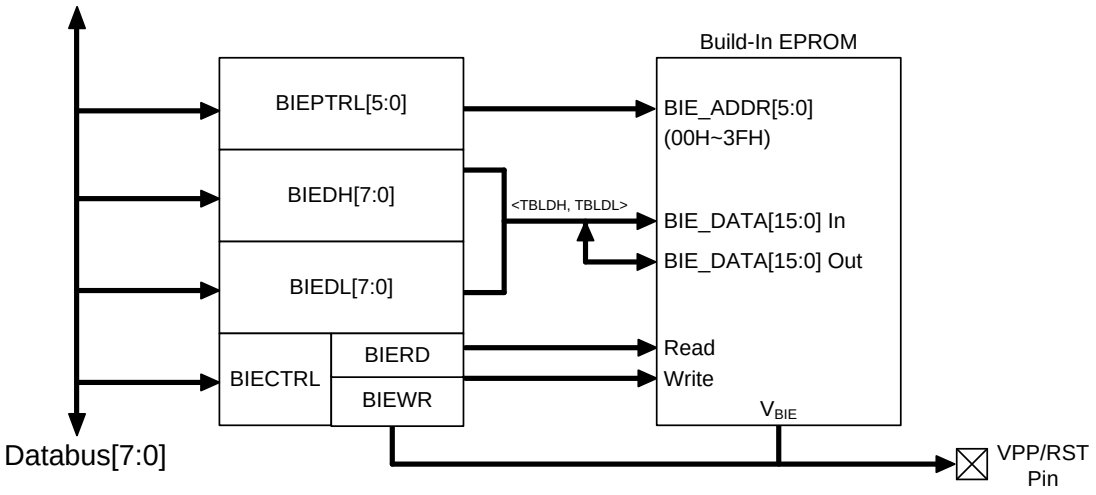


圖 15-1 BIE 方塊圖

15.1. 暫存器說明-BIE

"-"no use,"*"read/write,"w"write,"r"read,"r0"only read 0,"r1"only read 1,"w0"only write 0,"w1"only write 1												
"$"for event status,"."unimplemented bit,"x"unknown,"u"unchanged,"d"depends on condition												
Address	**File Name**	**Bit7**	**Bit6**	**Bit5**	**Bit4**	**Bit3**	**Bit2**	**Bit1**	**Bit0**	**A-RESET**	**I-RESET**	**R/W**
02Eh	BIECN	1	-	-	-	-	-	BIEWR	BIERD	1… .000	1… .uuu	r1,-,-,- -,*,*,*
030h	BIEARL			BIE Address Register as BIEAL[5:0]						xxxx xxxx	uuuu uuuu	*,*,*,*,*,*,*
031h	BIEDRH	BIE High Byte Data Register								xxxx xxxx	uuuu uuuu	*,*,*,*,*,*,*
032h	BIEDRL	BIE Low Byte Data Register								xxxx xxxx	uuuu uuuu	*,*,*,*,*,*,*

'

表 15-1BIE 暫存器

BIECN: BIE 控制暫存器

位元	名稱	描述
Bit1	BIEWR	寫入 EPROM 控制位元 <0>不可寫入 <1>可寫入
Bit0	BIERD	讀取 EPROM 控制位元 <0>不可讀取 <1>可讀取

BIEARL: EPROMLow Byte 位址定義

BIEAL[5:0]: OTP address

BIEDH: EPROM High Byte 資料定義

BIEDL: EPROM Low Byte 資料定義

16. 修訂記錄

以下描述本文件差異較大的地方，而標點符號與字形的改變不在此描述範圍。

文件版次	頁次	摘要
V01	All	初版發行
V02	20~22	修正 CLK 網路說明
	56~76	修改 PWM 說明
	93~118	優化 UART、I2C 說明
	120	修改 BIE 暫存器說明
V03	79~88	修改 ADC 網路配置說明
V04	79~88	修改 ADC 暫存器說明
	75	修改 PWMxA 暫存器說明
	99、108	增加 I2C 於 Slave Mode 時 CRG[7 :0]說明
	90~91	優化絕對溫度傳感器 TPS 說明