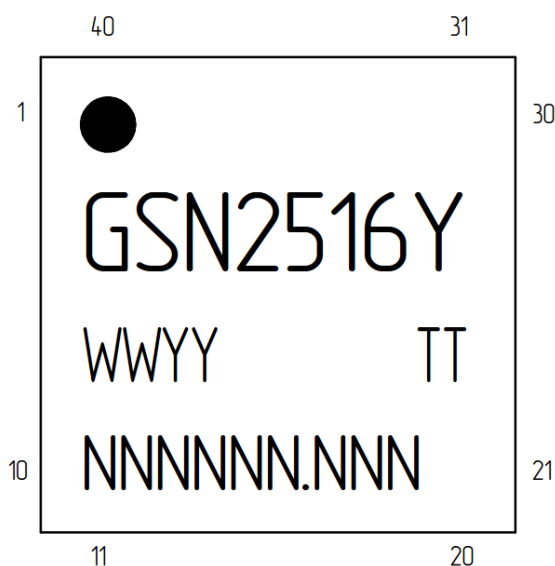


МИКРОСХЕМА GSN2516Y

Спецификация

Флеш-память (NOR) с последовательным интерфейсом SPI



Основные параметры
микросхемы:

- Объем памяти 16 Мбит;
- Скорость непрерывной передачи данных 50 МБ/сек;
- До 100 тыс. циклов перезаписи;
- Напряжение питания 2,3 – 3,6 В.

Тип корпуса: 41-выводной металлополимерный LGA41 (6х6 мм)

Содержание

1	ОБЩЕЕ ОПИСАНИЕ	7
2	ХАРАКТЕРИСТИКИ	7
3	СТРУКТУРНАЯ СХЕМА	9
4	НАЗНАЧЕНИЕ КОНТАКТОВ	11
4.1	Описание контактов.....	12
4.1.1	Выбор микросхемы Chip Select (/CS).....	12
4.1.2	Последовательный ввод данных, вывод и IO (DI, DO и IO0, IO1, IO2, IO3)	12
4.1.3	Защита от записи (/WP)	12
4.1.4	Удержание (/HOLD).....	13
4.1.5	Последовательные синхроимпульсы (CLK).....	13
4.1.6	Сброс (/RESET)	13
5	ФУНКЦИОНАЛЬНОЕ ОПИСАНИЕ	14
5.1	Операции SPI.....	14
5.1.1	Инструкции для стандартного SPI	14
5.1.2	Инструкции Dual SPI	14
5.1.3	Инструкции Quad SPI	14
5.1.4	Функция Hold	15
5.1.5	Программный сброс и Контакт /RESET аппаратного сброса.....	15
5.2	Защита записи.....	16
5.2.1	Функции защиты от записи.....	16
6	РЕГИСТРЫ СОСТОЯНИЯ	17
6.1	Состав регистров	17
6.1.1	Бит BUSY	19
6.1.2	Бит включения записи (Write Enable Latch) (WEL)	19
6.1.3	Биты защиты блока (BP2, BP1, BP0).....	19
6.1.4	Защита верхнего/нижнего блока (TB).....	19
6.1.5	Защита сектора/блока (SEC)	19
6.1.6	Бит Дополненной Защиты Complement Protect (CMP).....	20
6.1.7	Защита регистра состояния Status Register Protect (SRP, SRL).....	20
6.1.8	Состояние приостановки стирания/программирования (SUS).....	21
6.1.9	Биты блокировки регистра безопасности (LB3, LB2, LB1)	21
6.1.10	Бит Quad Enable (QE).....	21
6.1.11	Выбор защиты записи (WPS).....	21

6.1.12	Уровень мощности выходных сигналов	21
6.1.13	Зарезервированные биты - <i>нефункциональные</i>	22
6.1.14	Защита памяти регистра состояния (CMP = 0).....	22
6.1.15	Защита памяти регистра состояния (CMP = 1).....	23
6.1.16	Защита памяти отдельных блоков (WPS=1).....	24
7	ИНСТРУКЦИИ	25
7.1	Наборы инструкций	25
7.1.1	Набор инструкций 1 (инструкции стирания, программирования)	25
7.1.2	Набор инструкций 2 (инструкции Dual/Quad SPI-)	27
7.2	Описание инструкций.....	29
7.2.1	Включение записи (Write Enable) (06h)	29
7.2.2	Включение записи для энергозависимого регистра состояний (Write Enable for Volatile Status Register) (50h).....	29
7.2.3	Выключение записи (Write Disable) (04h)	30
7.2.4	Чтение регистра состояния-1 (Read Status Register-1)(05h), регистра состояния-2 (Status Register-2) (35h) и регистра состояния-3 (Status Register-3) (15h)	30
7.2.5	Запись регистра состояния-1 (Write Status Register-1) (01 h), регистра состояния-2 (Status Register-2) (31h) и регистра состояния-3 (Status Register-3) (11h)	31
7.2.6	Чтение данных (Read Data) (03h).....	33
7.2.7	Быстрое чтение (Fast Read) (0Bh)	33
7.2.8	Быстрое чтение, двойной вывод (Fast Read Dual Output) (3Bh)	34
7.2.9	Быстрое чтение, четверной вывод (Fast Read Quad Output) (6Bh)	35
7.2.10	Быстрое чтение, двойной ввод-вывод (Fast Read Dual I/O) (BBh)	36
7.2.11	Быстрое чтение, четверной ввод-вывод (Fast Read Quad I/O) (EBh) ..	38
7.2.12	Установка Burst with Wrap (Set Burst with Wrap) (77h)	41
7.2.13	Программирование страницы (Page Program) (02h)	42
7.2.14	Программирование страницы, четверной вход (Quad Input Page Program) (32h).....	43
7.2.15	Стирание сектора Sector Erase (20h).....	45
7.2.16	Стирание блока 32 КБ (32KB Block Erase) (52h)	46
7.2.17	Стирание блока 64 КБ (64KB Block Erase) (D8h)	47
7.2.18	Стирание микросхемы (Chip Erase) (C7h/60h)	48
7.2.19	Приостановка стирания/программирования (Erase/Program Suspend) (75h)	49

7.2.20	Возобновление стирания/программирования (Erase/Program Resume) (7Ah)	51
7.2.21	Выключение питания (Power-down) (B9h)	52
7.2.22	Вывод из состояния выключения питания/идентификатор устройства (Release Power-down/Device ID) (ABh)	53
7.2.23	Чтение идентификатора производителя/устройства (Read Manufacturer/Device ID) (90h)	55
7.2.24	Чтение идентификатора производителя/устройства, двойной ввод/вывод (Read Manufacturer/Device ID Dual I/O) (92h)	56
7.2.25	Чтение идентификатора производителя/устройства, четверной ввод/вывод Read Manufacturer/Device ID Quad I/O (94h)	57
7.2.26	Чтение уникального идентификационного номера (Read Unique ID Number) (4Bh)	58
7.2.27	Чтение идентификатора JEDEC (Read JEDEC ID) (9Fh)	59
7.2.28	Чтение регистра SFDP (Read SFDP Register) (5Ah)	60
7.2.29	Стирание регистра безопасности (Erase Security Registers) (44h)	61
7.2.30	Программирование регистров безопасности (Program Security Registers) (42h)	63
7.2.31	Чтение регистров безопасности (Read Security Registers) (48h)	64
7.2.32	Блокировка отдельных блоков/секторов (Individual Block/Sector Lock) (36h)	65
7.2.33	Разблокировка отдельных блоков/секторов Individual Block/Sector Unlock (39h)	66
7.2.34	Чтение битов блокировки блоков/секторов (Read Block/Sector Lock) (3Dh)	66
7.2.35	Глобальная блокировка блоков/секторов (Global Block/Sector Lock) (7Eh)	67
7.2.36	Глобальная разблокировка блоков/секторов (Global Block/Sector Unlock) (98h)	67
7.2.37	Включение сброса (Enable Reset) (66h) и сброс устройства (Reset Device) (99h)	68
8	ЭЛЕКТРИЧЕСКИЕ ХАРАКТЕРИСТИКИ	69
8.1	Абсолютные предельные значения	69
8.2	Рабочие режимы эксплуатации	69
8.3	Включение и выключение питания	70
8.4	Электрические характеристики по постоянному току	71
8.5	Условия работы в импульсном режиме	72
8.6	Электрические характеристики по переменному току	73

8.7	Тайминг Serial Output.....	76
8.8	Тайминг Serial Input	76
8.9	Тайминг /HOLD	76
8.10	Тайминг /WP	76
9	УКАЗАНИЯ ПО ПРИМЕНЕНИЮ И МОНТАЖУ	77
9.1	Общие положения	77
9.2	Указания по монтажу.....	77
9.3	Корпус микросхемы.....	78
10	ПРИМЕНЕНИЕ В РЕЖИМАХ И УСЛОВИЯХ, НЕ ПРЕДУСМОТРЕННЫХ В ТУ	80
11	ТРЕБОВАНИЯ ПО БЕЗОПАСНОСТИ	80

1 Общее описание

Флеш-память с последовательным интерфейсом GSN2516Y (16-Мбит) обеспечивает решение для хранения данных для систем с ограниченным пространством, контактами и питанием. Устройство работает от источника питания 2,3...3,6 В, потребляя ток не более 2 мА в активном состоянии и 1 мкА в режиме низкого энергопотребления.

Структура GSN2516Y организована в виде 8 192 программируемых страниц по 256 байт каждая. Одновременно можно запрограммировать до 256 байт. Страницы можно стирать группами по 16 (стирание сектора 4 КБ), группами по 128 (стирание блока 32 КБ), группами по 256 (стирание блока 64 КБ) или весь чип (стирание чипа). GSN2516Y имеет 512 стираемых секторов и 32 стираемых блока, соответственно. Небольшие сектора размером 4 КБ обеспечивают большую гибкость в приложениях, требующих хранения данных и параметров/

GSN2516Y поддерживает стандартный последовательный периферийный интерфейс (SPI) и высокопроизводительный режим Dual/Quad, со следующими входами/выходами SPI: Serial Clock, Chip Select, Serial Data I/O0 (DI), I/O1 (DO), I/O2 (/WP) и I/O3 (/HOLD). Поддерживаются тактовые частоты SPI до 104 МГц, что обеспечивает эквивалентную тактовую частоту 208 МГц (104 МГцх2) для режима Dual и 416 МГц (104 МГц х 4) для режима Quad.

Устройство поддерживает идентификацию по стандарту JEDEC с помощью 64-битного уникального серийного номера.

2 Характеристики

Параметры памяти:

- Объем памяти 16М-бит/2М-байт (2,097,152);
- 256 байт на программируемую страницу.

Параметры SPI:

- Стандартный SPI: CLK, /CS, DI, DO, /WP, /Hold;
- Dual SPI: CLK, /CS, IO0, IO1, /WP, /Hold;
- Quad SPI: CLK, /CS, IO0, IO1, IO2, IO3;
- Эквивалентная частота Dual/Quad SPI 208/416 МГц;
- Скорость непрерывной передачи данных 50 МБ/с;
- Минимум 100 тыс. циклов записи-стирания данных на сектор;
- Более чем 20-летнее хранение данных.

Структура секторов памяти:

- Посекторное стирание (4К-байт);
- Поблочное стирание (32К и 64К-байт);
- Приостановка и возобновление стирания/программирования.

Безопасность и идентификация:

- Программная и аппаратная защита от записи;
- Блокировка источника питания;
- Специальная защита от записи OTP (Special One Time Programm);
- 64-битный уникальный идентификатор для каждого устройства;
- Регистр параметров обнаружения (SFDP);
- Регистры безопасности 3X256 байт с блокировкой OTP;
- Энергозависимый и энергонезависимый регистр состояния.

Энергопотребление, температурный диапазон

- Напряжение питания от 2,3 до 3,6 В;
- Потребление 2 мА в активном режиме, и <1 мкА (типовое) в режиме низкого энергопотребления;
- Рабочий температурный диапазон от -40 до +85 °С.

Электрические характеристики микросхемы приведены в таблице 1.

Таблица 1 – Электрические характеристики микросхемы GSN2516Y

Наименование параметра, единица измерения	Буквенное обозначение параметра	Значение параметра			Примечание
		не менее	типовое	не более	
Напряжение питания, В	VCC	2,3	-	2,7	При $f_r=50$ МГц, $f_R=25$ МГц
		2,7	-	3,6	При $f_r=104$ МГц $f_R=25$ МГц
Входное напряжение высокого уровня, В	V _{IH}	VCCx0,7	-	VCC+0,4	-
Входное напряжение низкого уровня, В	V _{IL}	-	-	VCCx0,3	-
Выходное напряжение высокого уровня, В	V _{OH}	VCC-0,2	-		I _{OH} =-100 мкА
Выходное напряжение низкого уровня, В	V _{OL}	-	-	0,2	I _{OL} =100 мкА
Ток, в режиме ожидания, мкА	I _{CC1}	-	10	25	/CS=VCC VIN=GND или VCC

Ток, в режиме «выключено», мкА	I_{CC2}	-	1	5	/CS=VCC VIN=GND или VCC
Ток утечки входов, мкА	I_{LI}	-	-	± 2	-
Ток утечки входов/выходов, мкА	I_{LO}	-	-		-
Ток в режиме чтения / Dual / Quad 1 МГц, мА	I_{CC3}	-	2	10	C=0.1 VCC / 0.9 VCC DO - без нагрузки
Ток в режиме чтения / Dual / Quad 33 МГц, мА		-	4	15	То же
Ток в режиме чтения / Dual / Quad 50 МГц, мА		-	6	18	То же
Ток в режиме чтения / Dual / Quad 104 МГц, мА		-	8	20	То же
Ток записи регистра состояний, мА	I_{CC4}	-	20	25	/CS=VCC
Ток программирования страницы, мА	I_{CC5}	-	20	25	То же
Ток стирания одиночного сектора / блока, мА	I_{CC6}	-	20	25	То же
Ток стирания чипа, мА	I_{CC7}	-	20	25	То же

3 Структурная схема

Структурная схема изделия приведена на рисунке 1.

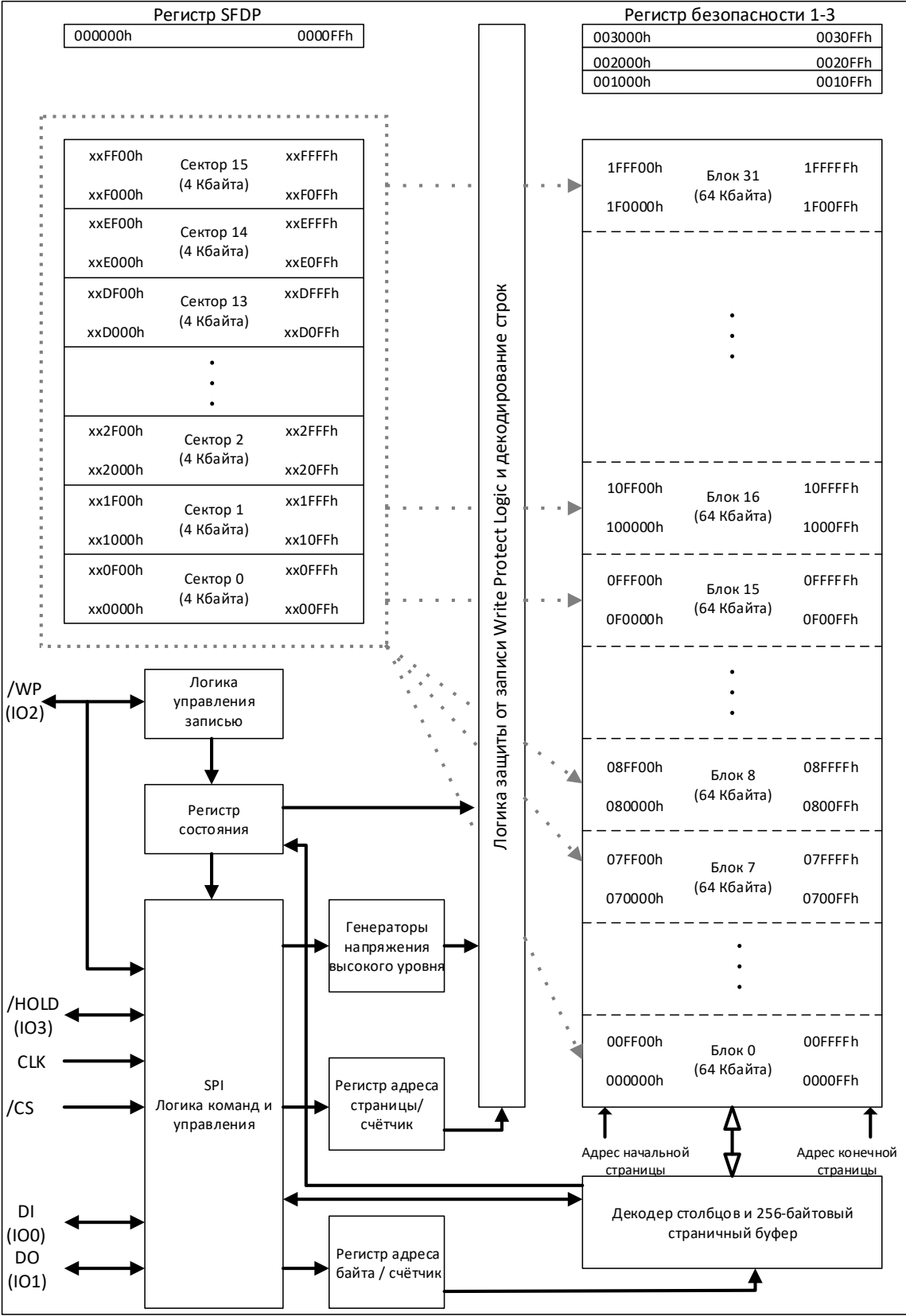


Рисунок 1 – Структурная схема микросхемы GSN2516Y

4 Назначение контактов

Нумерация контактов микросхемы представлена на рисунке 2, данные о назначении контактов приведены в таблице 2.

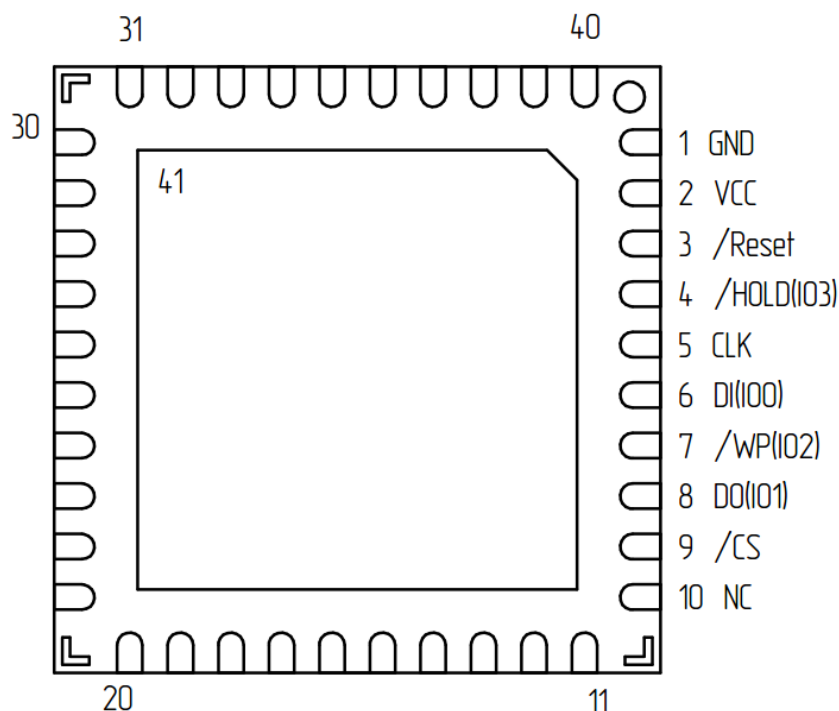


Рисунок 2 – Нумерация контактов микросхемы GSN2516Y

Таблица 2 – Назначение контактов микросхемы GSN2516Y

Номер контакта	Название контакта	Тип	Примечание
1	GND	PWR	GND
2	VCC	PWR	Питание
3	/RESET	Digital	Вход Reset
4	/HOLD (IO3)	Digital IO	Вход Hold (IO3**)
5	CLK	Digital	Вход синхронизации
6	DI (IO0)	Digital IO	Вход ввода данных (IO0*)
7	/WP (IO2)	Digital IO	Вход защиты от записи Write Protect (IO2**)
8	DO (IO1)	Digital IO	Выход вывода данных (IO1*)
9	/CS	Digital	Вход выбора микросхемы
10 - 41	NC	-	Не имеют внутренних соединений
* IO0 и IO1 используются для стандартных инструкций и Dual SPI. ** IO0 – IO3 используются для инструкций Quad SPI, функции /WP и /HOLD доступны только для стандартных инструкций или Dual SPI.			

4.1 Описание контактов

4.1.1 Выбор микросхемы Chip Select (/CS)

Контакт SPI Chip Select (/CS) разрешает и запрещает работу с устройством. При высоком уровне /CS работа с устройством запрещена, и контакты Serial Data Output (DO или IO0, IO1, IO2, IO3) переходят в режим высокого импеданса. В этом случае, энергопотребление устройства будет находиться на уровне режима ожидания, если не выполняется цикл внутреннего стирания, программирования или записи регистра состояния. При подаче низкого уровня /CS работа с устройством будет разрешена, энергопотребление возрастет до активного уровня, и в устройство можно будет записывать инструкции и читать данные. После включения питания, /CS должна перейти из высокого уровня в низкий, прежде чем будет принята новая команда. Вход /CS должен совпадать с уровнем питания VCC при включении и выключении питания. При необходимости для этого можно использовать подтягивающий резистор на /CS.

4.1.2 Последовательный ввод данных, вывод и IO (DI, DO и IO0, IO1, IO2, IO3)

GSN2516Y поддерживает стандартный SPI, Dual SPI и Quad SPI. Инструкции для стандартного SPI используют однонаправленный контакт DI (вход) для последовательной записи инструкций, адресов или данных на устройство по нарастающему фронту входа Serial Clock (CLK). Стандартный SPI также использует однонаправленный DO (выход) для чтения данных или статуса из устройства по спадающему фронту CLK.

Инструкции Dual и Quad SPI используют двунаправленные контакты ввода-вывода для последовательной записи инструкций, адресов или данных в устройство по нарастающему фронту CLK и чтения данных или статуса из устройства по спадающему фронту CLK. Инструкции Quad SPI требуют установки энергонезависимого бита включения Quad (QE) в Регистр состояния-2. Когда QE=1, контакт /WP становится IO2, а контакт /HOLD становится IO3.

4.1.3 Защита от записи (/WP)

Контакт защиты от записи Write Protect (/WP) может быть использован для предотвращения записи в регистр состояния. Используется вместе с битами защиты блока регистра состояния (CMP, SEC, TB, BP2, BP1 и BP0) и битами защиты регистра состояния Status Register Protect (SRP), сектор размером 4 КБ или весь массив памяти может быть аппаратно защищен. Активный уровень /WP – низкий. Когда бит QE регистра состояния-2 установлен для Quad I/O, функция контакта /WP недоступна, так как этот контакт используется для IO2.

4.1.4 Удержание (/HOLD)

Контакт /HOLD позволяет приостановить работу устройства, когда он активирован. Когда /HOLD переводится в низкий уровень и /CS – имеет низкий уровень, контакт DO будет иметь высокий импеданс, а сигналы на контактах DI и CLK будут игнорироваться. Когда /HOLD переводится в высокий уровень, работа устройства может возобновиться. Функция /HOLD может быть полезна, когда несколько устройств используют одни и те же сигналы SPI. Активный уровень /HOLD – низкий. Когда бит QE регистра состояния-2 установлен для ввода-вывода Quad, функция контакта /HOLD недоступна, так как этот контакт используется для IO3.

4.1.5 Последовательные синхроимпульсы (CLK)

Контакт SPI Serial Clock Input (CLK) обеспечивает синхронизацию операций последовательного ввода и вывода.

4.1.6 Сброс (/RESET)

Контакт /RESET позволяет контроллеру выполнить сброс устройства.

5 Функциональное описание

5.1 Операции SPI

5.1.1 Инструкции для стандартного SPI

Доступ к GSN2516Y осуществляется через SPI-совместимую шину, состоящую из четырех сигналов: Serial Clock (CLK), Chip Select (/CS), Serial Data Input (DI) и Serial Data Output (DO). Инструкции для стандартного SPI используют входной контакт DI для последовательной записи инструкций, адресов или данных в устройство по нарастающему фронту сигнала CLK. Выходной контакт DO используется для чтения данных или статуса из устройства по спадающему фронту CLK.

Поддерживаются режимы работы шины SPI 0 (0,0) и 3 (1,1). Основное различие между режимом 0 и режимом 3 касается нормального состояния сигнала CLK, когда мастер шины SPI находится в режиме ожидания и данные не передаются на флеш-память с последовательным интерфейсом. Для режима 0 сигнал CLK имеет низкий уровень на спадающем и нарастающем фронтах /CS. Для режима 3 сигнал CLK имеет высокий уровень на спадающем и нарастающем фронтах /CS.

5.1.2 Инструкции Dual SPI

Микросхема GSN2516Y поддерживает работу с Dual SPI при использовании инструкций “Быстрое чтение с двойным выходом (3Bh)” (Fast Read Dual Output (3Bh)) и “Быстрое чтение с двойным вводом-выводом (BBh)” (Fast Read Dual I/O (BBh)). Эти инструкции позволяют передавать данные на устройство или с устройства со скоростью, в два-три раза превышающую скорость обычных флеш-памятей с последовательным интерфейсом. Инструкции Dual SPI Read идеально подходят для быстрой загрузки кода в оперативную память при включении питания (копирование исполняемого кода) или для выполнения некритичного по скорости кода непосредственно с шины SPI (XIP). При использовании инструкций Dual SPI контакты DI и DO становятся двунаправленными контактами ввода/вывода: IO0 и IO1.

5.1.3 Инструкции Quad SPI

Микросхема GSN2516Y поддерживает работу с Quad SPI при использовании инструкций “Quad Output Fast Read (6Bh)”, “Quad I/O Fast Read (EBh)”. Эти инструкции позволяют передавать данные на устройство или с него в четыре-шесть раз быстрее, чем обычная последовательная флеш-память с последовательным интерфейсом. Инструкции Quad Read обеспечивают значительное улучшение скорости передачи данных с непрерывным и произвольным доступом, позволяя быстро копировать исполняемый код в оперативную память или выполнять его

непосредственно с шины SPI (XIP). При использовании инструкций Quad SPI контакты DI и DO становятся двунаправленными IO0 и IO1, а контакты /WP и /HOLD становятся IO2 и IO3, соответственно. Инструкции Quad SPI требуют установки энергонезависимого бита включения Quad (QE) в Регистр состояния-2.

5.1.4 Функция Hold

Для операций стандартного SPI и Dual SPI сигнал /HOLD позволяет приостановить операции GSN2516Y, пока он выбран (при низком уровне /CS). Функция /HOLD может быть полезна в случаях, когда данные и тактовые сигналы SPI используются совместно с другими устройствами. Например, если буфер страницы был записан только частично, когда приоритетное прерывание требует использования шины SPI. В этом случае функция /HOLD может сохранить состояние инструкции и данных в буфере, чтобы программирование могло возобновиться с того места, на котором оно остановилось, как только шина снова станет доступной. Функция /HOLD доступна только при стандартном SPI и Dual SPI, но не при Quad SPI.

Чтобы инициировать состояние /HOLD, устройство должно быть выбрано с низким уровнем /CS. Состояние /HOLD активируется по спадающему фронту сигнала /HOLD, если сигнал CLK уже имеет низкий уровень. Если CLK еще не имеет низкого уровня, то состояние /HOLD активируется после следующего спадающего фронта CLK. Состояние /HOLD завершится по нарастающему фронту сигнала /HOLD, если сигнал CLK уже имеет низкий уровень. Если CLK еще не имеет низкого уровня, состояние /HOLD завершится после следующего спадающего фронта CLK. Во время состояния /HOLD Serial Data Output (DO) имеет высокий импеданс, а Serial Data Input (DI) и Serial Clock (CLK) игнорируются. Сигнал Chip Select (/CS) должен оставаться активным (низким) в течение всего времени работы /HOLD, чтобы избежать сброса внутреннего логического состояния устройства.

5.1.5 Программный сброс и Контакт /RESET аппаратного сброса

Микросхема GSN2516Y может быть возвращена в исходное состояние, как при включении питания, с помощью последовательности программного сброса, либо в режиме SPI, либо в режиме QPI. Эта последовательность должна включать в себя две последовательные команды: Enable Reset (66h) & Reset (99h). Если последовательность команд успешно принята, устройству потребуется приблизительно 30 мкс (tRST) для сброса. В период сброса никакие команды не принимаются.

Переключение контакта /RESET в низкий уровень на минимальное время ~1 мкс (tRESET*) приведет к сбросу устройства в исходное состояние, как при включении питания. Любая текущая операция программирования/стирания будет прервана, и может произойти повреждение данных. Пока значение /RESET низкое, устройство не будет принимать никаких команд.

Аппаратный контакт /RESET имеет наивысший приоритет среди всех входных сигналов. Переключение /RESET в низкий уровень на минимальный период ~ 1 мкс (t_{RESET^*}) прервет любые текущие внешние/внутренние операции, независимо от состояния других сигналов SPI (/CS, CLK, IOs, /WP и/или /HOLD).

Примечания:

- Хотя более короткий импульс /RESET (несколько сотен наносекунд) часто также приводит к сбросу устройства, для обеспечения надежной работы рекомендуется минимальное время в 1 мкс.
- У контакта /RESET имеется внутренний подтягивающий резистор. Если функция сброса не нужна, этот контакт можно оставить неподключенным.

5.2 Защита записи

Для устройств, использующих энергонезависимую память, следует учитывать возможность возникновения шума и других неблагоприятных системных условий, которые могут нарушить целостность данных. Для решения этой проблемы в микросхеме GSN2516Y реализовано несколько средств защиты данных от случайной записи.

5.2.1 Функции защиты от записи

- Устройство сбрасывается, когда VCC ниже порогового значения;
- Задержка до включения возможности записи после включения питания;
- Инструкции включения/выключения записи и автоматическое выключение записи после стирания или программирования;
- Программная и аппаратная (контакт /WP) защита от записи с помощью регистра состояния Status Register;
- Защита от записи с помощью инструкции Power-down;
- Блокировка защиты от записи Lock Down до следующего включения питания;
- Защита от записи* Speical One Time Program (OTP).

При включении питания или при выключении питания GSN2516Y будет поддерживать состояние сброса, пока VCC находится ниже порогового значения V_{wl} . В состоянии сброса все операции отключены, и никакие инструкции не распознаются. Во время включения питания и после того, как напряжение VCC превысит V_{wl} , все инструкции, связанные с программой и стиранием, дополнительно отключаются на время задержки t_{puw} . Сюда входят инструкции включения записи Write Enable, программирования страницы Page Program, стирания сектора Sector Erase, стирания блока Block Erase, стирания микросхемы Chip Erase и записи регистра состояния Write Status Register. Обратите внимание, что контакт выбора микросхемы (/CS) должен

совпадать с уровнем питания VCC при включении питания до достижения минимального уровня VCC и временной задержки t_{vSL} , а также должен совпадать с уровнем питания VCC при выключении питания для предотвращения нештатной последовательности команд. При необходимости для этого можно использовать подтягивающий резистор на /CS.

После включения питания устройство автоматически переводится в состояние запрета записи, при этом Status Register Write Enable Latch (WEL) устанавливается в 0. Перед тем как будет принята инструкция программирования страницы Page Program, Sector Erase, Block Erase, Chip Erase или Write Status Register, должна быть передана инструкция Write Enable. После выполнения команды программирования, стирания или записи Write Enable Latch (WEL) автоматически очищается до состояния 0, запрещающего запись.

Программно-управляемая защита от записи осуществляется с помощью инструкции Write Status Register и установки битов Status Register Protect (SRP или SRL) и Block Protect (CMP, SEC, TB, BP2, BP1 и BP0). Эти параметры позволяют настроить только для чтения такую часть, как сектор размером 4 КБ, или весь массив памяти. Используется вместе с контактом Write Protect (/WP), изменения в регистре состояния могут быть разрешены или запрещены аппаратным управлением. Кроме того, инструкция Power-down обеспечивает дополнительный уровень защиты от записи, поскольку все инструкции игнорируются, за исключением инструкции Release Power-down.

6 Регистры состояния

Инструкции Read Status Register-1 и Status Register-2 могут быть использованы для получения информации о доступности массива флэш-памяти, разрешении или запрете записи, состоянии защиты от записи, настройке Quad SPI, состоянии блокировки Security Register и состоянии Erase/Program Suspend. Инструкция Write Status Register может быть использована для настройки функций защиты устройства от записи, настройки Quad SPI и блокировки Security Register OTP. Доступ к регистру состояния Status Register при записи контролируется состоянием битов защиты энергонезависимого регистра состояния Status Register Protect (SRP/SRL), инструкцией включения записи Write Enable, а в режиме Standard/Dual SPI - контактом /WP.

6.1 Состав регистров

Состав регистров состояния-1, -2, -3 приведен на рисунках 3, 4, 5.

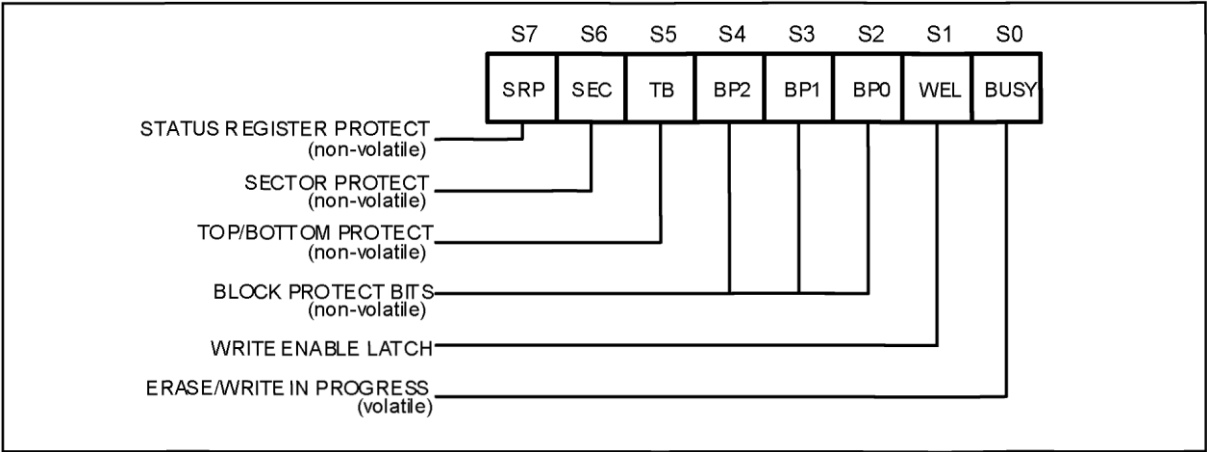


Рисунок 3 – Регистр состояния-1

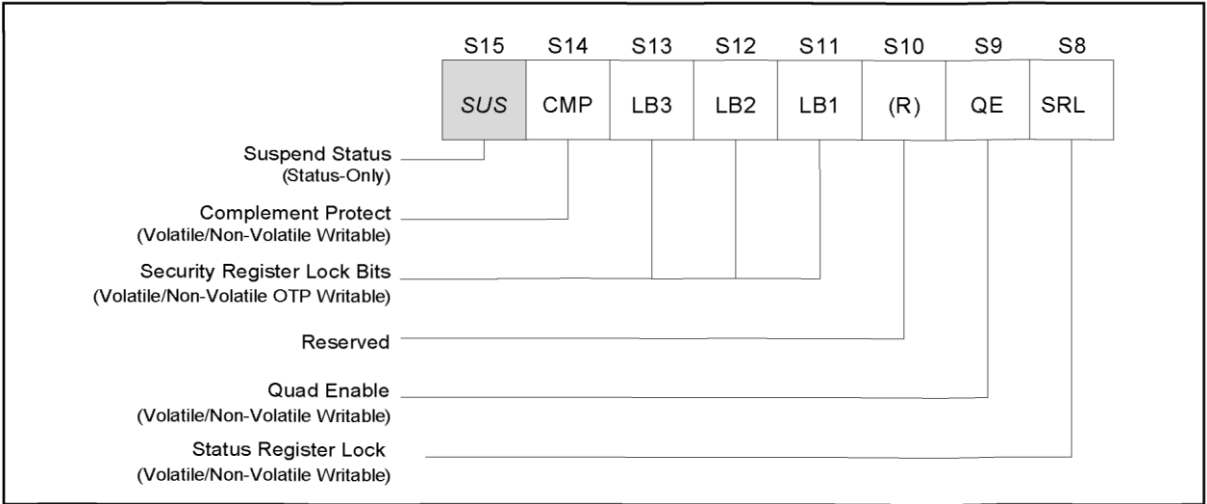


Рисунок 4 – Регистр состояния-2

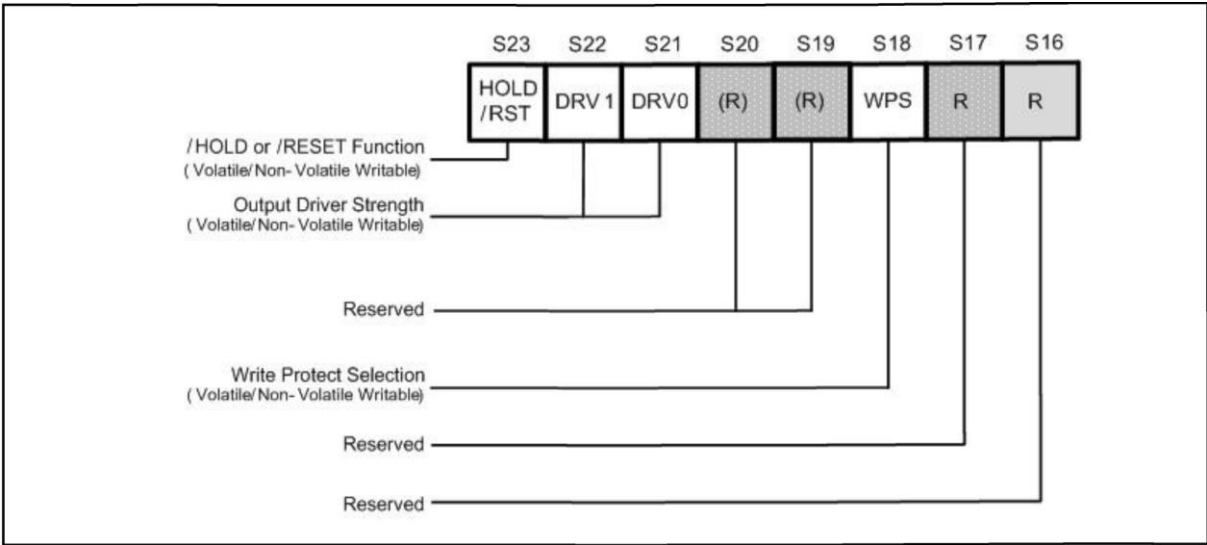


Рисунок 5 – Регистр состояния-3

6.1.1 Бит BUSY

BUSY – это бит, доступный только для чтения в регистре состояния (SO), который устанавливается в состояние 1, когда устройство выполняет инструкцию Page Program, Quad Page Program, Sector Erase, Block Erase, Chip Erase, Write Status Register или Erase/Program Security Register. В течение этого времени устройство будет игнорировать дальнейшие инструкции, за исключением инструкций Read Status Register и Erase/Program Suspend. Когда инструкция по программированию, стиранию или записи состояния/защиты регистра будет завершена, бит BUSY будет установлен в состояние 0, указывающее, что устройство готово к дальнейшим инструкциям.

6.1.2 Бит включения записи (Write Enable Latch) (WEL)

Write Enable Latch (WEL) - это бит, доступный только для чтения в регистре состояния (S1), который устанавливается в 1 после выполнения инструкции Write Enable и устанавливается в 0, когда для устройства отключена запись. Состояние выключения записи возникает при включении питания или после выполнения любой из следующих инструкций: Write Disable, Page Program, Quad Page Program, Sector Erase, Block Erase, Chip Erase, Write Status Register, Erase Security Register и Program Security Register.

6.1.3 Биты защиты блока (BP2, BP1, BP0)

Биты защиты блока (BP2, BP1, BP0) – это энергонезависимые биты чтения/записи в регистре состояния (S4, S3 и S2), которые обеспечивают управление и отображают текущий статус защиты от записи Write Protection. Биты защиты блока Block Protect могут быть установлены с помощью инструкции Write Status Register. Массив памяти, полностью или частично, может быть защищен от инструкций Program и Erase. Заводская настройка по умолчанию для битов защиты блока установлена 0, ни один из массивов не защищен.

6.1.4 Защита верхнего/нижнего блока (TB)

Энергонезависимый бит защиты верхнего/нижнего блока (TB) контролирует, защищают ли биты защиты блока (BP2, BP1, BP0) верхнюю (TB=0) или нижнюю (TB=1) часть массива. Заводская настройка по умолчанию - TB=0. Бит TB может быть установлен с помощью инструкции Write Status Register в зависимости от состояния битов SRP/SRL и WEL.

6.1.5 Защита сектора/блока (SEC)

Энергонезависимый бит защиты сектора/блока (SEC) контролирует, защищают ли биты защиты блока (BP2, BP1, BP0) секторы по 4 КБ (SEC=1) или блоки по 64 КБ

(SEC=0) в верхней (TB=0) или нижней (TB=1) части массива. По умолчанию установлено значение SEC=0.

6.1.6 Бит Дополненной Защиты Complement Protect (CMP)

Бит Complement Protect (CMP) - это энергонезависимый бит чтения/записи в регистре состояния (S14). Он используется совместно с битами SEC, TB, BP2, BP1 и BP0 для обеспечения большей гибкости при защите массива. После установки CMP в 1, предыдущая защита массива, установленная SEC, TB, BP2, BP1 и BP0, будет отменена. Например, когда CMP=0, верхний сектор размером 4 КБ может быть защищен, а остальной массив - нет; когда CMP=1, верхний сектор размером 4 КБ станет незащищенным, а остальной массив станет доступным только для чтения. По умолчанию установлено значение CMP=0.

6.1.7 Защита регистра состояния Status Register Protect (SRP, SRL)

Биты защиты регистра состояния Status Register Protect (SRP) - это энергонезависимые биты чтения/записи в регистре состояния (S7). Бит SRP управляет методом защиты от записи: программная защита или аппаратная защита. Биты блокировки регистра состояния Status Register Lock (SRL) являются энергонезависимыми битами чтения/записи в регистре состояния (S8). Бит SRL управляет методом защиты от записи: временная блокировка или постоянное однократное программирование (таблица 3).

Таблица 3 – Регистры SRL, SRP

SRL	SRP	/WP	Регистр состояния	Описание
0	0	X	Программная защита	Контакт /WP не имеет никакого контроля. Запись в регистр состояния возможна после инструкции Write Enable, WEL=1. [Заводское значение по умолчанию]
0	1	0	Аппаратная защита	При низком уровне контакта /WP регистр состояния блокируется и запись в него невозможна.
0	1	1	Аппаратное снятие защиты	При высоком уровне /WP регистр состояния разблокирован и может быть записан в него после команды разрешения записи, WEL=1.
1	X	X	Блокировка источника питания	Регистр состояния защищен и не может быть снова записан до следующего цикла выключения и включения питания.
1	X	X	Однократное программирование	Регистр состояния постоянно защищен и не может быть записан. (включается добавлением префиксной команды AAh, 55h)

Примечание:

Когда SRL =1, цикл выключения и включения питания изменит состояние SRL =0.

6.1.8 Состояние приостановки стирания/программирования (SUS)

Бит Suspend Status – это бит, доступный только для чтения в регистре состояния (S15), который устанавливается в 1 после выполнения инструкции Erase/Program Suspend (75h). Бит состояния SUS устанавливается в 0 командой Erase/Program Resume (7Ah), а также при выключении и включении питания.

6.1.9 Биты блокировки регистра безопасности (LB3, LB2, LB1)

Биты блокировки регистра безопасности (Security Register Lock Bits) (LB3, LB2, LB1) – это энергонезависимые биты однократного программирования (OTP) в регистре состояния Status Register (S13, S12, S11), которые обеспечивают управление защитой от записи и отображают статус регистров безопасности. Состояние по умолчанию LB[3:1] равно 0, регистры безопасности Security Registers разблокированы. LB[3:1] может быть установлен в 1 индивидуально с помощью инструкции Write Status Register. LB[3:1] программируются один раз (OTP), как только он установлен в 1, соответствующий 256-байтовый регистр безопасности навсегда станет доступным только для чтения.

6.1.10 Бит Quad Enable (QE)

Бит Quad Enable (QE) - это энергонезависимый бит чтения/записи в регистре состояния (S9), который разрешает работу Quad SPI. Когда бит QE установлен в состояние 0 (заводское значение по умолчанию), контакты /WP и /HOLD включены. Когда бит QE установлен в 1, контакты Quad IO2 и IO3 включены, а функции /WP и /HOLD отключены.

6.1.11 Выбор защиты записи (WPS)

Бит WPS используется для выбора схемы защиты записи Write Protect. Когда WPS=0, устройство будет использовать комбинацию битов CMP, SEC, TB, BP[2:0] для защиты определенной области массива памяти. Если WPS=1, устройство будет использовать блокировку отдельных блоков Individual Block Locks для защиты отдельных секторов или блоков. Значение по умолчанию для всех битов блокировки отдельных блоков Individual Block Lock равно 1 при включении питания устройства или после сброса.

6.1.12 Уровень мощности выходных сигналов

Биты DRV1 и DRV0 используются для определения уровня мощности выходных сигналов в режиме чтения.

Таблица 4 – Параметры битов DRV1, DRV0

DRV1, DRV0	Уровень $v_{IOVJCNB}$ сигналов
0,0	100%
0,1	75%
1,0	50%
1,1	25% (по умолчанию)

6.1.13 Зарезервированные биты - нефункциональные

Есть несколько зарезервированных битов регистра состояния, которые могут быть прочтены как "0" или "1". Рекомендуется игнорировать значения этих битов. Во время выполнения инструкции Write Status Register зарезервированные биты могут быть записаны как "0", но это не будет иметь никакого эффекта.

6.1.14 Защита памяти регистра состояния (CMP = 0)

Таблица 5 – Защита памяти регистра состояния (CMP = 0)

Регистр состояния ⁽¹⁾					Защита памяти ⁽³⁾			
SEC	TB	BP2	BP1	BP0	Защищаемые блоки	Защищаемые адреса	Защищаемая плотность памяти	Защищаемая часть ⁽²⁾
X	X	0	0	0	НЕТ	НЕТ	НЕТ	НЕТ
0	0	0	0	1	31	1F0000h - 1FFFFFFh	64 КБ	Верхняя 1/32
0	0	0	1	0	30 и 31	1E0000h - 1FFFFFFh	128 КБ	Верхняя 1/16
0	0	0	1	1	с 28 по 31	1C0000h - 1FFFFFFh	256 КБ	Верхняя 1/8
0	0	1	0	0	с 24 по 31	180000h - 1FFFFFFh	512 КБ	Верхняя 1/4
0	0	1	0	1	с 16 по 31	100000h - 1FFFFFFh	1 МБ	Верхняя 1/2
0	1	0	0	1	0	000000h - 00FFFFh	64 КБ	Нижняя 1/32
0	1	0	1	0	0 и 1	000000h - 01FFFFh	128 КБ	Нижняя 1/16
0	1	0	1	1	от 0 до 3	000000h - 03FFFFh	256 КБ	Нижняя 1/8
0	1	1	0	0	от 0 до 7	000000h - 07FFFFh	512 КБ	Нижняя 1/4
0	1	1	0	1	от 0 до 15	000000h - 0FFFFFFh	1 МБ	Нижняя 1/2

X	X	1	1	X	с 0 по 31	000000h - 1FFFFFFh	2 МБ	BCE
1	0	0	0	1	31	1FF000h - 1FFFFFFh	4 КБ	U - 1/512
1	0	0	1	0	31	1FE000h - 1FFFFFFh	8 КБ	U - 1/256
1	0	0	1	1	31	1FC000h - 1FFFFFFh	16 КБ	U - 1/128
1	0	1	0	X	31	1F8000h - 1FFFFFFh	32 КБ	U - 1/64
1	1	0	0	1	0	000000h - 000FFFh	4 КБ	L - 1/512
1	1	0	1	0	0	000000h - 001FFFh	8 КБ	L - 1/256
1	1	0	1	1	0	000000h - 003FFFh	16 КБ	L - 1/128
1	1	1	0	X	0	000000h - 007FFFh	32 КБ	L - 1/64

Примечания:

- 1) X = не имеет значения.
- 2) L = нижняя; U = верхняя.
- 3) Если какая-либо команда стирания или программирования задает область памяти, содержащую защищенную часть данных, эта команда будет проигнорирована.

6.1.15 Защита памяти регистра состояния (CMP = 1)

Таблица 6 – Защита памяти регистра состояния (CMP = 1)

Регистр состояния ⁽¹⁾					Защита памяти ⁽³⁾			
SEC	TB	BP2	BP1	BP0	Защищаемые блоки	Защищаемые адреса	Защищаемая плотность памяти	Защищаемая часть ⁽²⁾
X	X	0	0	0	с 0 по 31	000000h - 1FFFFFFh	BCE	BCE
0	0	0	0	1	от 0 до 30	000000h - 1EFFFFh	1,984 КБ	Нижняя 31/32
0	0	0	1	0	с 0 по 29	000000h - 1DFFFFh	1,920 КБ	Нижняя 15/16
0	0	0	1	1	с 0 по 27	000000h - 1BFFFFh	1,792 КБ	Нижняя 7/8
0	0	1	0	0	с 0 по 23	000000h - 17FFFFh	1,536 КБ	Нижняя 3/4
0	0	1	0	1	от 0 до 15	000000h - 0FFFFFFh	1 МБ	Нижняя 1/2
0	1	0	0	1	с 1 по 31	010000h - 1FFFFFFh	1,984 КБ	Верхняя 31/32
0	1	0	1	0	2 и 31	020000h - 1FFFFFFh	1,920 КБ	Верхняя 15/16
0	1	0	1	1	с 4 по 31	040000h - 1FFFFFFh	1,792 КБ	Верхняя 7/8
0	1	1	0	0	с 8 по 31	080000h - 1FFFFFFh	1,536 КБ	Верхняя 3/4
0	1	1	0	1	с 16 по 31	100000h - 1FFFFFFh	1 МБ	Верхняя 1/2
X	X	1	1	X	НЕТ	НЕТ	НЕТ	НЕТ
1	0	0	0	1	с 0 по 31	000000h - 1FEFFFFh	2,044 КБ	L - 511/512

1	0	0	1	0	с 0 по 31	000000h - 1FDFFFh	2,040 КБ	L - 255/256
1	0	0	1	1	с 0 по 31	000000h - 1FBFFFh	2,032 КБ	L - 127/128
1	0	1	0	X	с 0 по 31	000000h - 1F7FFFh	2,016 КБ	L - 63/64
1	1	0	0	1	с 0 по 31	001000h - 1FFFFFFh	2,044 КБ	U - 511/512
1	1	0	1	0	с 0 по 31	002000h - 1FFFFFFh	2,040 КБ	U - 255/256
1	1	0	1	1	с 0 по 31	004000h - 1FFFFFFh	2,032 КБ	U - 127/128
1	1	1	0	X	с 0 по 31	008000h - 1FFFFFFh	2,016 КБ	U - 63/64

Примечания:

- 1) X = не имеет значения.
- 2) L = нижняя; U = верхняя.
- 3) Если какая-либо команда стирания или программирования задает область памяти, содержащую защищенную часть данных, эта команда будет проигнорирована.

6.1.16 Защита памяти отдельных блоков (WPS=1)

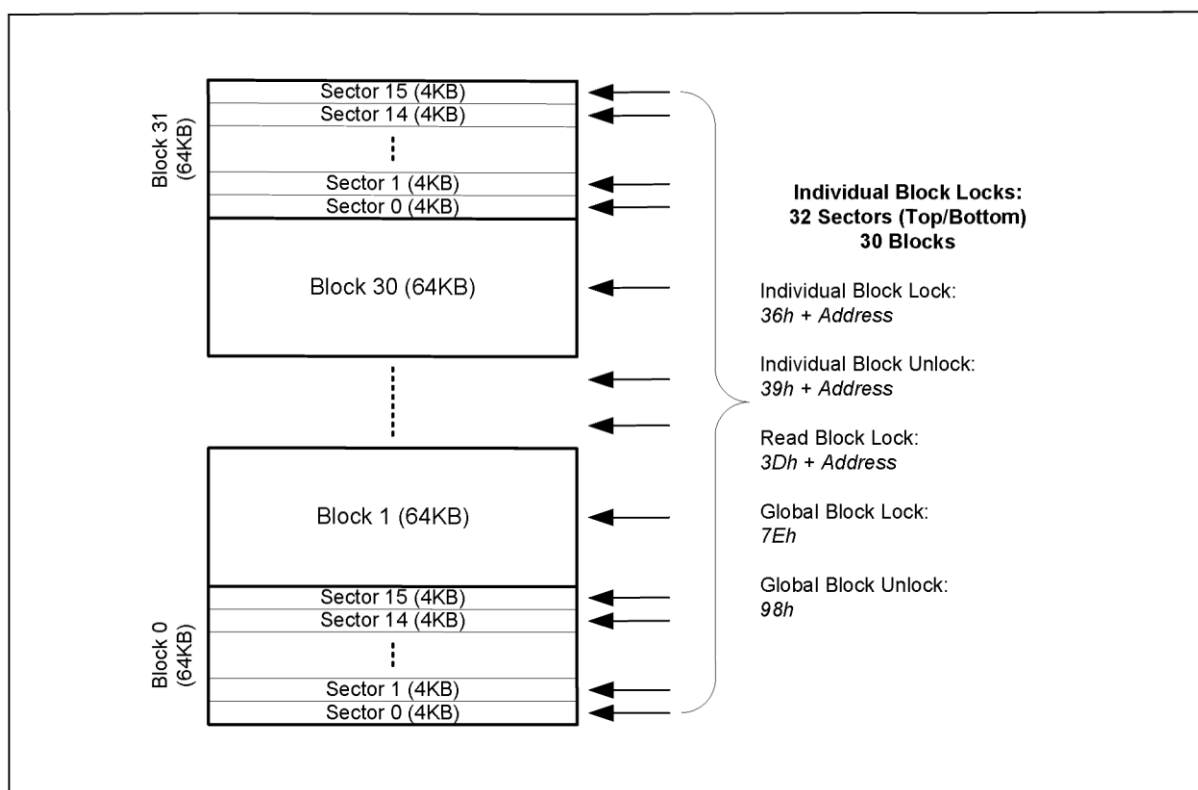


Рисунок 6 – Блокировка отдельных блоков/секторов

Примечания:

- 1) Защита отдельных блоков/секторов осуществима только при WPS=1.
- 2) По умолчанию после включения питания все отдельные биты блокировки блоков/секторов установлены в 1, весь массив памяти защищен.

7 ИНСТРУКЦИИ

Набор инструкций микросхемы GSN2516Y состоит из тридцати пяти основных инструкций, которые полностью управляются через шину SPI. Инструкции запускаются по спадающему фронту сигнала Chip Select (/CS). Первый байт данных, поступающий на вход DI, содержит код инструкции. Данные на входе DI отбираются по нарастающему фронту тактового генератора, причем старшим битом (MSB) является первый.

Инструкции варьируются по длине от одного байта до нескольких байт и могут сопровождаться байтами адреса, байтами данных, пустыми байтами, а в некоторых случаях комбинацией. Инструкции завершаются по нарастающему фронту /CS. Все инструкции чтения могут быть выполнены после любого тактируемого бита. Однако все инструкции записи, программирования или стирания должны завершаться на границе байта (на /CS подается высокий уровень после тактирования полных 8 бит), иначе инструкция будет проигнорирована. Эта функция дополнительно защищает устройство от непреднамеренной записи. Кроме того, пока память программируется или стирается, или когда записывается регистр состояния, все инструкции, кроме Read Status Register, будут игнорироваться до завершения цикла программирования или стирания.

7.1 Наборы инструкций

7.1.1 Набор инструкций 1 (инструкции стирания, программирования)

Таблица 7 – Набор инструкций 1 (инструкции стирания, программирования)⁽¹⁾

Ввод и вывод данных	Байт 1	Байт 2	Байт 3	Байт 4	Байт 5	Байт 6	Байт 7
Количество тактовых сигналов (1-1-1)	8	8	8	8	8	8	8
Включение записи	06h						
Энергозависимое SR включение записи	50h						
Выключение записи	04 h						
Вывод из состояния выключения питания/ID	ABh	Пустой	Пустой	Пустой	(ID7-ID0) ⁽²⁾		
Идентификатор JEDEC	90h 9Fh	Пустой (MF7-MF0)	Пустой (ID15-ID8)	00h (ID7-ID0)	(MF7-MF0)	(ID7-ID0)	
Чтение уникального идентификатора	4Bh	Пустой	Пустой	Пустой	Пустой	(UID63-0)	
Чтение данных	03h	A23-A16	A15-A8	A7-A0	(D7-D0)		
Быстрое чтение	0Bh	A23-A16	A15-A8	A7-A0	Пустой	(D7-D0)	
Программирование страниц	02h	A23-A16	A15-A8	A7-A0	D7-D0	D7-D0 ⁽³⁾	

Стирание сектора (4 КБ)	20h	A23-A16	A15-A8	A7-A0			
Стирание блока (32 КБ)	52ч	A23-A16	A15-A8	A7-A0			
Стирание блока (64 КБ)	D8h	A23-A16	A15-A8	A7-A0			
Стирание микросхемы	C7h/60h						
Чтение регистра состояния-1	05h	(S7-S0) ⁽²⁾					
Запись регистра состояния-1 ⁽⁴⁾	01h	(S7-S0) ⁽⁴⁾					
Чтение регистра состояния-2	35h	(S15-S8) ⁽²⁾					
Запись регистра состояния-2	31h	(S15-S8)					
Чтение регистра состояния-3	15h	(S23-S16) ⁽²⁾					
Запись регистра состояния-3	11h	(S23-S16)					
Чтение регистра SFDP	5Ah	00	00	A7-A0	Пустой	(D7-D0)	
Стирание регистра безопасности ⁽⁵⁾	44h	A23-A16	A15-A8	A7-A0			
Программирование регистра безопасности ⁽⁵⁾	42h	A23-A16	A15-A8	A7-A0	D7-D0 ⁽³⁾		
Чтение регистра безопасности	48h	A23-A16	A15-A8	A7-A0	Пустой	(D7-D0)	
Глобальная блокировка блоков	7Eh						
Глобальная разблокировка блоков	98h						
Блокировка чтения блока	3Dh	A23-A16	A15-A8	A7-A0	(L7-L0)		
Блокировка отдельных блоков	36h	A23-A16	A15-A8	A7-A0			
Разблокировка отдельных блоков	39h	A23-A16	A15-A8	A7-A0			
Приостановка стирания/программирования	75h						
Возобновление стирания/программирования	7Ah						
Выключение питания	B9h						
Включение сброса	66h						
Сброс устройства	99h						

7.1.2 Набор инструкций 2 (инструкции Dual/Quad SPI-)

Таблица 8 – Набор инструкций 2 (инструкции Dual/Quad SPI-)⁽¹⁾

Ввод и вывод данных	Байт 1	Байт 2	Байт 3	Байт 4	Байт 5	Байт 6	Байт 7	Байт 8	Байт 9
Количество тактовых сигналов (1-1-2)	8	8	8	8	4	4	4	4	4
Быстрое чтение, двойной выход	3Bh	A23-A16	A15-A8	A7-A0	Пустой	Пустой	(D7-D0) ⁽⁷⁾		
Количество тактовых сигналов (1-2-2)	8	4	4	4	4	4	4	4	4
Быстрое чтение, двойной ввод-вывод	BBh	A23-A16 ⁽⁶⁾	A15-A8 ⁽⁶⁾	A7-A0 ⁽⁶⁾	M7-M0	(D7-D0) ⁽⁷⁾			
Идентификатор устройства, двойной ввод-вывод	92h	A23-A16 ⁽⁶⁾	A15-A8 ⁽⁶⁾	00 ⁽⁶⁾	Пустой ⁽¹¹⁾	(MF7-MF0)	(ID7-ID0) ⁽⁷⁾		
Количество тактовых сигналов (1-1-4)	8	8	8	8	2	2	2	2	2
Программирование страницы, вход Quad	32h	A23-A16	A15-A8	A7-A0	(D7-D0) ⁽⁹⁾	(D7-D0) ⁽³⁾			
Быстрое чтение, выход Quad	6Bh	A23-A16	A15-A8	A7-A0	Пустой	Пустой	Пустой	Пустой	(D7-D0) ⁽¹⁰⁾
Количество тактовых сигналов (1-4-4)	8	2(8)	2(8)	2(8)	2	2	2	2	2
Идентификатор устройства, Quad I/O	94h	A23-A16	A15-A8	00	Пустой ⁽¹¹⁾	Пустой	Пустой	(MF7-MF0)	(ID7-ID0)
Быстрое чтение, Quad I/O	EBh	A23-A16	A15-A8	A7-A0	M7-M0	Пустой	Пустой	(D7-D0)	
Установка Burst with Wrap	77h	Пустой	Пустой	Пустой	W7-W0				

Примечания:

- 1) Байты данных сдвигаются с первым старшим значащим битом. Байтовые поля с данными в скобках "(" указывают на вывод данных из устройства на 1, 2 или 4 контакт ввода-вывода.
- 2) Содержимое регистра состояния и идентификатор устройства будут повторяться непрерывно до тех пор, пока /CS не завершит выполнение инструкции.
- 3) Для регистров Page Program, Quad Page Program и Program Security требуется не менее одного байта ввода данных, до 256 байт ввода данных. Если на устройство отправлено более 256 байт данных, адресация вернется к началу страницы и перезапишет ранее отправленные данные.
- 4) Запись регистра состояния-1 (01h) также можно использовать для программирования регистров состояния-1 и 2.
- 5) Адрес регистра безопасности:

Регистр безопасности 1: A23-16 = 00h; A15-8 = 10h; A7-0 = адрес байта

Регистр безопасности 2: A23-16 = 00h; A15-8 = 20h; A7-0 = адрес байта

Регистр безопасности 3: A23-16 = 00h; A15-8 = 30h; A7-0 = адрес байта

6) Формат ввода адреса Dual SPI:

IO0 = A22, A20, A18, A16, A14, A12, A10, A8 A6, A4, A2, A0, M6, M4, M2, M0

IO1 = A23, A21, A19, A17, A15, A13, A11, A9 A7, A5, A3, A1, M7, M5, M3, M1

7) Формат вывода данных Dual SPI:

IO0 = (D6, D4, D2, D0)

IO1 = (D7, D5, D3, D1)

8) Формат ввода адреса Quad SPI:

Формат ввода Set Burst with Wrap

IO0 = A20, A16, A12, A8, A4, A0, M4, M0 IO0 = x, x, x, x, x, x, W4, x

IO1 = A21, A17, A13, A9, A5, A1, M5, M1 IO1 = x, x, x, x, x, x, W5, x

IO2 = A22, A18, A14, A10, A6, A2, M6, M2 IO2 = x, x, x, x, x, x, W6, x

IO3 = A23, A19, A15, A11, A7, A3, M7, M3 IO3 = x, x, x, x, x, x, x, x

9) Формат ввода/вывода данных Quad SPI:

IO0 = (D4, D0,)

IO1 = (D5, D1,)

IO2 = (D6, D2,)

IO3 = (D7, D3,)

10) Формат вывода данных быстрого чтения Quad I/O:

IO0 = (x, x, x, x, D4, D0, D4, D0)

IO1 = (x, x, x, x, D5, D1, D5, D1)

IO2 = (x, x, x, x, D6, D2, D6, D2)

IO3 = (x, x, x, x, D7, D3, D7, D3)

11) Первый пустой M7-M0 должен быть установлен на Fxh

7.2 Описание инструкций

7.2.1 Включение записи (Write Enable) (06h)

Инструкция Write Enable (рисунок 7) устанавливает бит Write Enable Latch (WEL) в регистре состояния в 1. Бит WEL должен быть установлен перед каждой инструкцией Page Program, Quad Page Program, Sector Erase, Block Erase, Chip Erase, Write Status Register и Erase/Program Security Registers. Инструкция Write Enable вводится путем подачи низкого уровня /CS, передачи кода инструкции "06h" на вход данных (DI) по нарастающему фронту CLK, а затем подачи высокого уровня /CS.

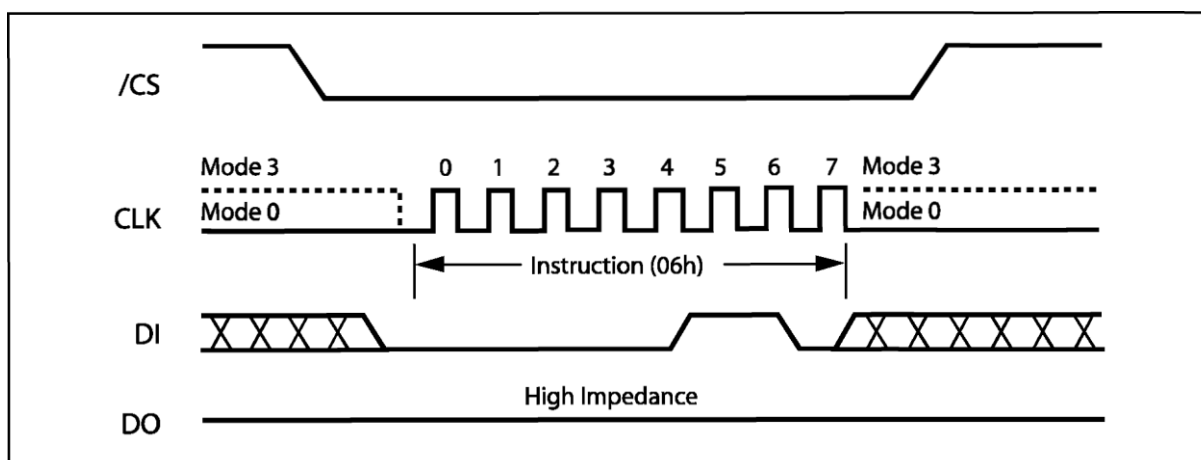


Рисунок 7 – Диаграмма инструкции Write Enable

7.2.2 Включение записи для энергозависимого регистра состояний (Write Enable for Volatile Status Register) (50h)

Биты энергонезависимого регистра состояния также могут быть записаны как энергонезависимые биты. Это обеспечивает большую гибкость для быстрого изменения конфигурации системы и схем защиты памяти без ожидания типичных циклов записи энергонезависимых битов или влияния на долговечность энергонезависимых битов регистра состояния. Чтобы записать энергозависимые значения в биты регистра состояния, перед инструкцией Write Status Register (01h) должна быть выполнена инструкция Write Enable for Volatile Status Register (50h). Инструкция Write Enable for Volatile Status Register (рис. 8) не устанавливает бит Write Enable Latch (WEL), она достоверна только для инструкции Write Status Register для изменения значений битов энергозависимого Status Register.

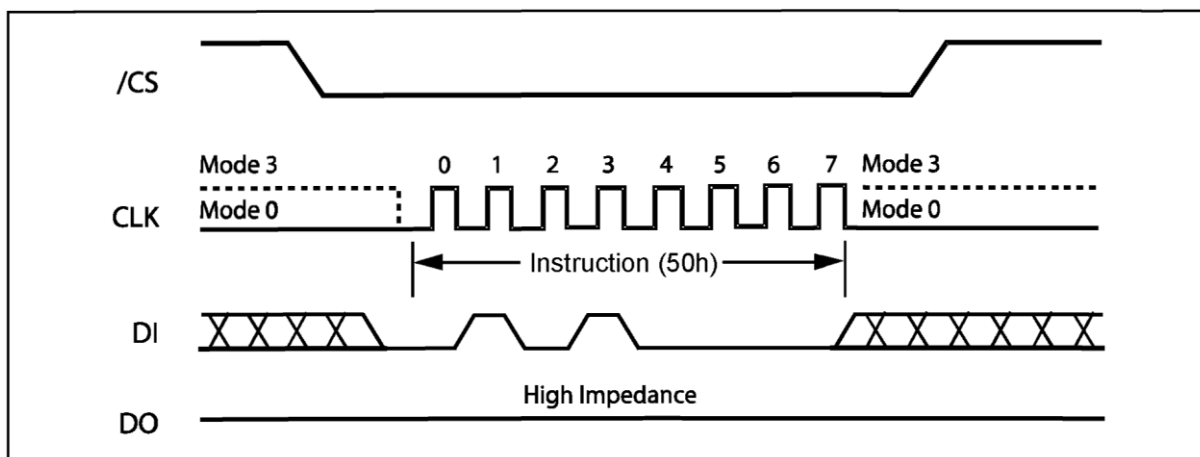


Рисунок 8 – Диаграмма инструкции Write Enable for Volatile Status Register

7.2.3 Выключение записи (Write Disable) (04h)

Инструкция Write Disable (рис. 9) сбрасывает бит Write Enable Latch (WEL) в регистре состояния на 0. Инструкция Write Disable вводится путем подачи низкого уровня /CS, передачи кода инструкции "04h" на контакт DI, а затем подачи высокого уровня /CS. Обратите внимание, что бит WEL автоматически сбрасывается после включения питания и по завершении инструкций Write Status Register, Erase/Program Security Registers, Page Program, Quad Page Program, Sector Erase, Block Erase и Chip Erase.

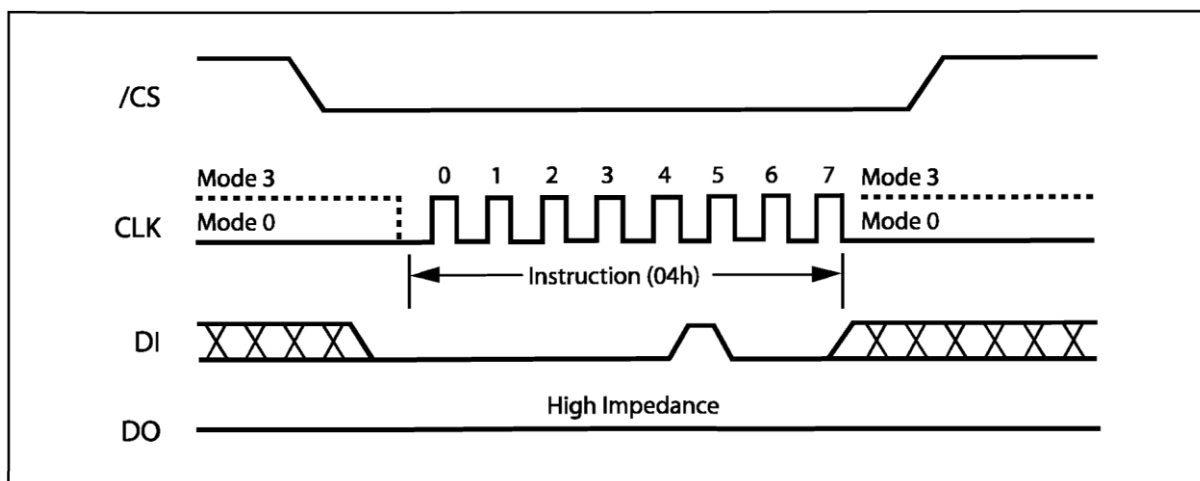


Рисунок 9 – Диаграмма инструкции Write Disable

7.2.4 Чтение регистра состояния-1 (Read Status Register-1)(05h), регистра состояния-2 (Status Register-2) (35h) и регистра состояния-3 (Status Register-3) (15h)

Инструкции Read Status Register позволяют читать 8-битные регистры состояния. Ввод инструкции осуществляется подачей низкого уровня /CS и передачей

кода команды "05h" для Регистра состояния-1, "35h" для Регистра состояния-2 или "15h" для Регистра состояния-3 на вход DI по нарастающему фронту CLK. Затем биты регистра состояния передаются на выход DO по спадающему фронту CLK, причем старший бит (MSB) идет первым, как показано на рис. 10.

Инструкция Read Status Register может быть использована в любое время, даже во время выполнения цикла Program, Erase или Write Status Register. Это позволяет проверить бит состояния BUSY, чтобы определить, когда цикл завершен и может ли устройство принять другую команду. Регистр состояния можно читать непрерывно, как показано на рис. 10. Выполнение команды завершается подачей высокого уровня на /CS.

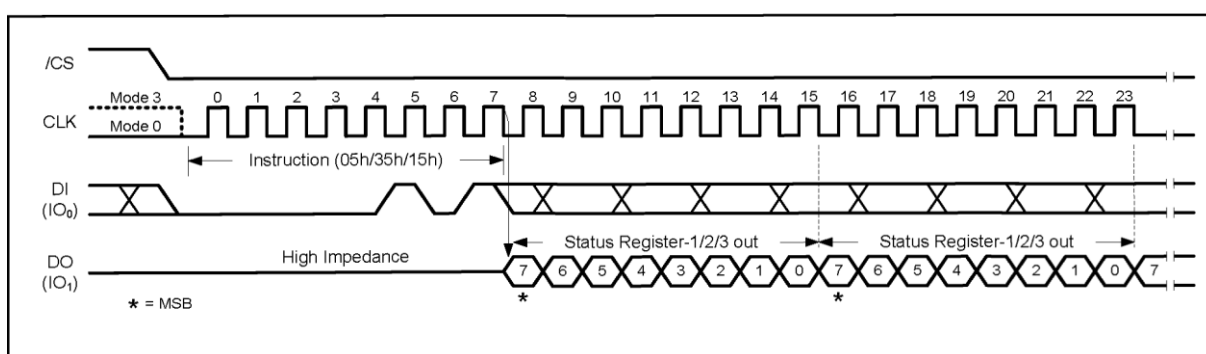


Рисунок 10 – Диаграмма инструкции Read Status Register

7.2.5 Запись регистра состояния-1 (Write Status Register-1) (01 h), регистра состояния-2 (Status Register-2) (31h) и регистра состояния-3 (Status Register-3) (11h)

Инструкция Write Status Register позволяет записывать регистры состояния. К записываемым битам регистра состояния относятся: SRP, SEC, TB, BP[2:0] в регистре состояния-1; CMP, LB[3:1], QE, SRL в регистре состояния-2; HOLD/RST, DRV1, DRV0, WPS в регистре состояния-3. Все остальные позиции битов регистра состояния доступны только для чтения и не будут затронуты инструкцией Write Status Register. LB[3:1] – это энергонезависимые биты OTP, после установки в 1 они не могут быть сброшены в 0.

Для записи энергонезависимых битов регистра состояния необходимо предварительно выполнить стандартную инструкцию Write Enable (06h), чтобы устройство приняло инструкцию записи регистра состояния (бит регистра состояния WEL должен быть равен 1). Как только запись включена, ввод инструкции осуществляется подачей низкого уровня на /CS, посылая код передач кода инструкции "01 h/31 h/11 h", а затем записывая байт данных регистра состояния, как показано на рис. 11.

Для записи энергонезависимых битов регистра состояния перед командой записи регистра состояния должна быть выполнена инструкция Write Enable for Volatile Status

Register (50h) (бит регистра состояния WEL остается равным 0). Однако SRL и LB[3:1] не могут быть изменены с "1" на "0" из-за защиты OTP для этих битов. При выключении питания или выполнении программного/аппаратного сброса Software/Hardware Reset значения битов энергозависимого регистра состояния будут потеряны, а значения битов энергонезависимого регистра состояния Status Register будут восстановлены.

Во время процедуры записи в энергонезависимый регистр состояния (06h в сочетании с 01 h/31 h/11h), после подачи высокого уровня на /CS начнется цикл самосинхронизирующейся записи Write Status Register длительностью t_w . Пока выполняется цикл Write Status Register, инструкция Read Status Register может быть использована для проверки состояния бита BUSY. Бит BUSY равен 1 во время цикла записи регистра состояния и равен 0, когда цикл завершен и готов снова принимать другие инструкции. После завершения цикла Write Status Register бит Write Enable Latch (WEL) в регистре состояния будет очищен до 0.

Во время процедуры записи в энергозависимый регистр состояния (50h в сочетании с 01 h/31 h/11 h) после подачи высокого уровня /CS биты регистра состояния будут обновлены до новых значений в течение времени t_{SHSL2} (см. "Характеристики переменного тока"). Бит BUSY будет оставаться 0 в течение периода обновления битов регистра состояния.

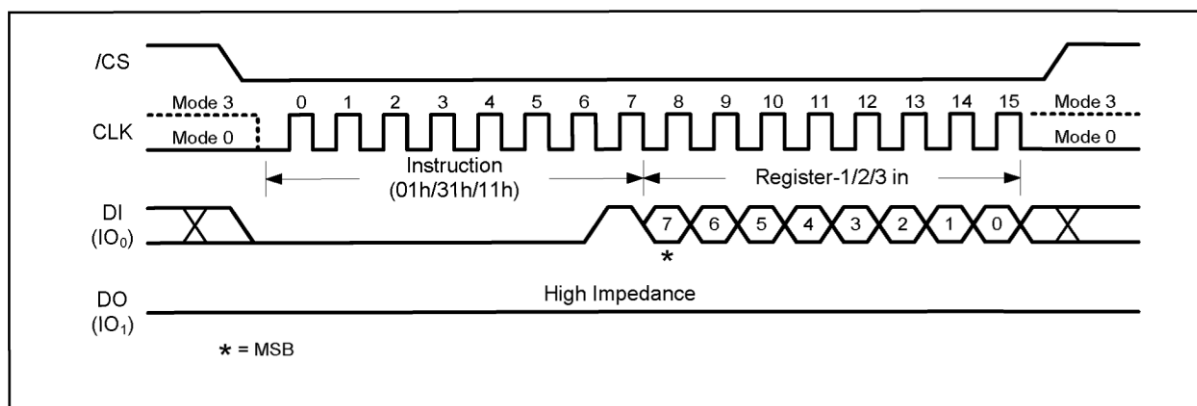


Рисунок 11 – Диаграмма инструкции Write Status Register-1/2/3

7.2.6 Чтение данных (Read Data) (03h)

Инструкция Read Data позволяет последовательно читать из памяти один или несколько байтов данных. Инструкция инициируется подачей низкого уровня на контакт /CS, а затем передачей кода инструкции "03h", за которым следует 24-битный адрес (A23-A0), на контакт DI. Биты кода и адреса передаются по нарастающему фронту контакта CLK. После получения адреса, на выход DO по спадающему фронту CLK будет передан байт данных, взятый из указанного адреса памяти, причем первым будет передан старший значащий бит (MSB). Адрес автоматически увеличивается до следующего старшего адреса после передачи каждого байта данных, обеспечивая непрерывный поток данных. Это означает, что доступ ко всей памяти может быть получен с помощью одной инструкции, пока работает тактовый генератор. Выполнение команды завершается подачей высокого уровня на /CS.

Последовательность инструкции Read Data показана на рис. 12. Если инструкция Read Data задается во время выполнения цикла Erase, Program или Write (BUSY=1), инструкция игнорируется и не оказывает никакого влияния на текущий цикл. Инструкция Read Data позволяет использовать тактовые частоты от D.C. до максимума f_R .

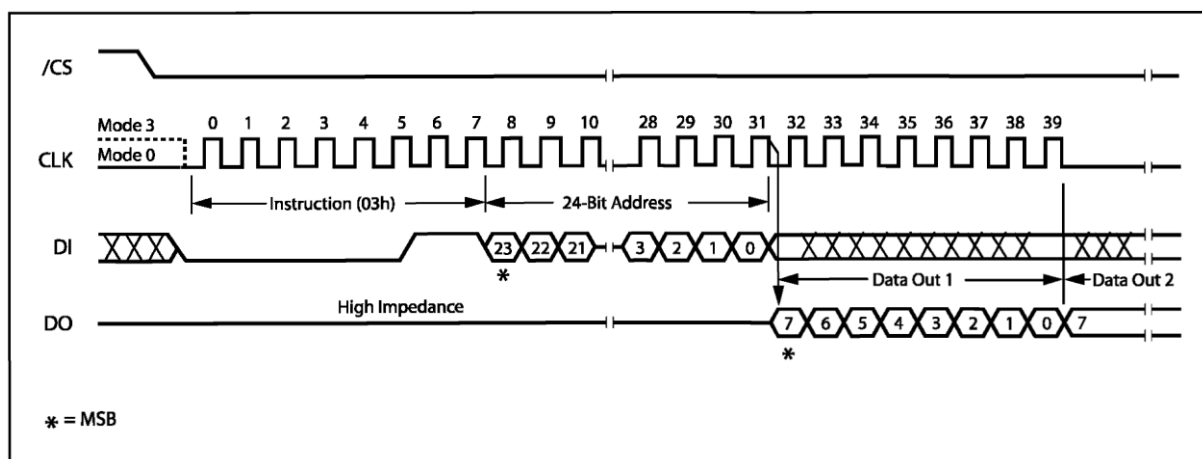


Рисунок 12 – Диаграмма инструкции Read Data

7.2.7 Быстрое чтение (Fast Read) (0Bh)

Инструкция Fast Read аналогична инструкции Read Data за исключением того, что она может работать на максимально возможной частоте F_r . Это достигается путем добавления восьми “пустых” тактов после 24-битного адреса, как показано на рис. 13. Пустые такты дают внутренним схемам устройства дополнительное время для установки начального адреса. Во время пустых тактов значение данных на контакте DO не имеют значения.

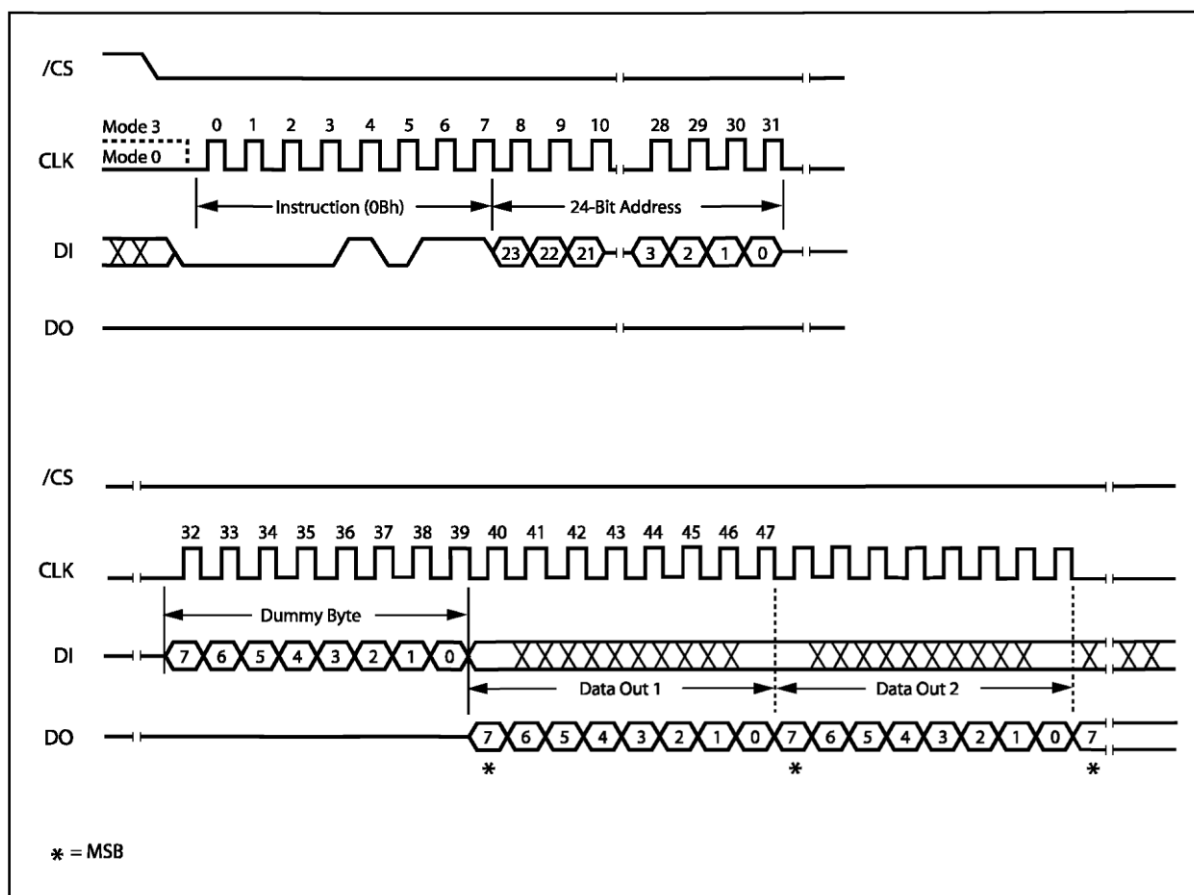


Рисунок 13 – Диаграмма инструкции Fast Read

7.2.8 Быстрое чтение, двойной вывод (Fast Read Dual Output) (3Bh)

Инструкция Fast Read Dual Output (3Bh) аналогична стандартной инструкции Fast Read (0Bh), за исключением того, что данные выводятся на два контакта: IO0 и IO1. Это позволяет передавать данные с GSN2516Y со скоростью, вдвое превышающей скорость стандартных устройств SPI. Инструкция Fast Read Dual Output идеально подходит для быстрой загрузки кода с флэш-памяти в оперативную память при включении питания или для приложений, которые кэшируют сегменты кода в оперативную память для выполнения.

Подобно инструкции Fast Read, инструкция Fast Read Dual Output может работать на максимально возможной частоте F_r . Это достигается путем добавления восьми “пустых” тактов после 24-битного адреса, как показано на рис.14. Пустые такты дают внутренним схемам устройства дополнительное время для установки начального адреса. Входные данные во время пустых тактов не имеют значения. Однако контакт IO0 должен быть высокоимпедансным до спадающего фронта первого тактового сигнала вывода данных.

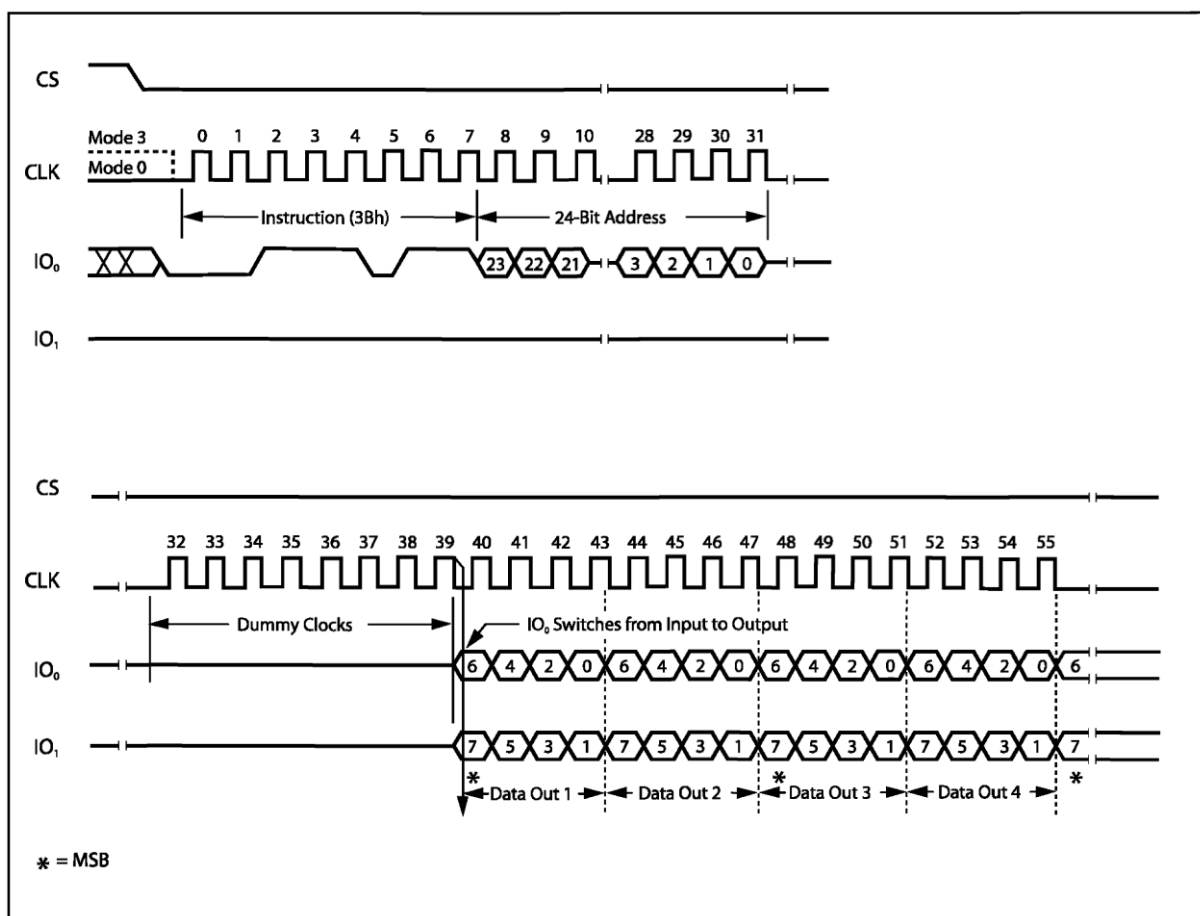


Рисунок 14 – Диаграмма инструкции Fast Read Dual Output

7.2.9 Быстрое чтение, четверной вывод (Fast Read Quad Output) (6Bh)

Инструкция Fast Read Quad Output (6Bh) аналогична инструкции Fast Read Dual Output (3Bh), за исключением того, что данные выводятся на четыре контакта: IO0, IO1, IO2 и IO3. Бит Quad Enable (QE) в регистр состояния-2 должен быть установлен в 1, прежде чем устройство примет инструкцию быстрого чтения инструкции Quad Output. Инструкция Fast Read Quad Output позволяет передавать данные со скоростью, в четыре раза превышающей скорость стандартных устройств SPI.

Инструкция Fast Read Quad Output может работать на максимально возможной частоте F_r . Это достигается путем добавления восьми “пустых” тактов после 24-битного адреса, как показано на рис. 15. Пустые такты дают внутренним схемам устройства дополнительное время для установки начального адреса. Входные данные во время пустых тактов не имеют значения. Однако контакты ввода-вывода должны быть высокоимпедансными до спадающего фронта первого тактового сигнала вывода данных.

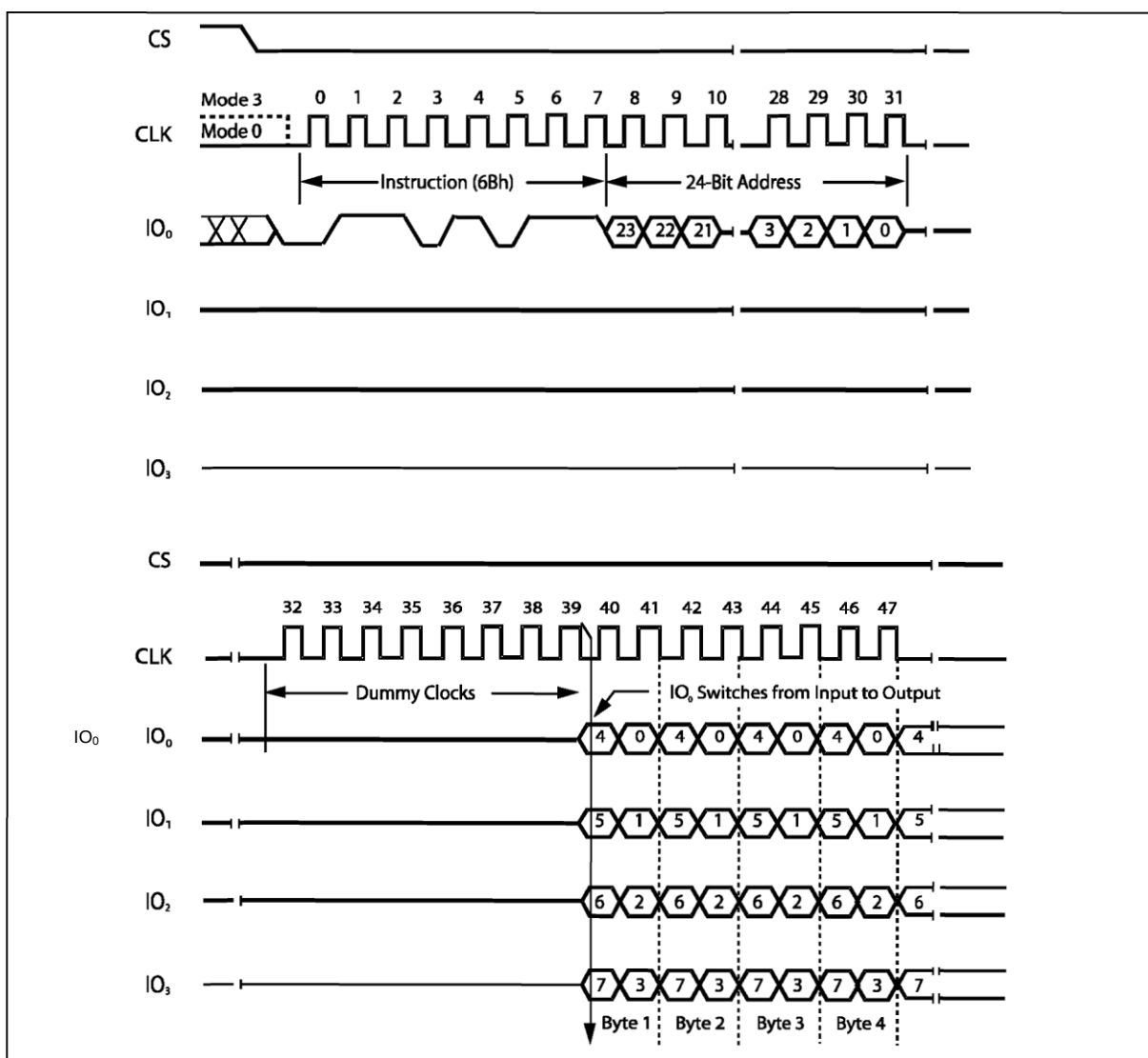


Рисунок 15 – Диаграмма инструкции Fast Read Quad Output

7.2.10 Быстрое чтение, двойной ввод-вывод (Fast Read Dual I/O) (BBh)

Инструкция Fast Read Dual I/O (BBh) позволяет улучшить произвольный доступ при использовании двух контактов ввода-вывода, IO0 и IO1. Она аналогична инструкции Fast Read Dual Output (3Bh), но с возможностью ввода битов адреса (A23-0) по два бита за такт. Такое снижение нагрузки на инструкции может позволить выполнять код (XIP) непосредственно с Dual SPI в некоторых приложениях.

Инструкция Fast Read Dual I/O может еще больше снизить издержки на выполнение инструкции за счет установки битов "Continuous Read Mode" (M7-0) после битов входного адреса (A23-0), как показано на рис. 16. Старший полубайт (M7-4) управляет длиной следующей инструкции Fast Read Dual I/O через включение или исключение кода инструкции первого байта. Младшие биты младшего разряда (M3-0) не имеют значения ("x"). Однако контакты ввода-вывода должны быть

высокоимпедансными до спадающего фронта первого тактового сигнала вывода данных.

Если биты M5-4 "Continuous Read Mode" = (1,0), то следующая инструкция ввода/вывода Fast Read Dual (после того, как /CS переведен в состояние 1, а затем в состояние 0) не требует кода инструкции BBh, как показано на рис. 17. Это уменьшает последовательность инструкции на восемь тактов и позволяет сразу же вводить адрес чтения после подачи низкого уровня на /CS. Если биты M5-4 "Continuous Read Mode" не равны (1,0), то следующая инструкция (после того, как /CS переведен в состояние 1, а затем в состояние 0) требует код инструкции первого байта, таким образом возвращаясь к нормальной работе. Рекомендуется ввести FFFFh на IO0 для следующей инструкции (16 тактов), чтобы обеспечить M4 = 1 и вернуть устройство к нормальной работе.

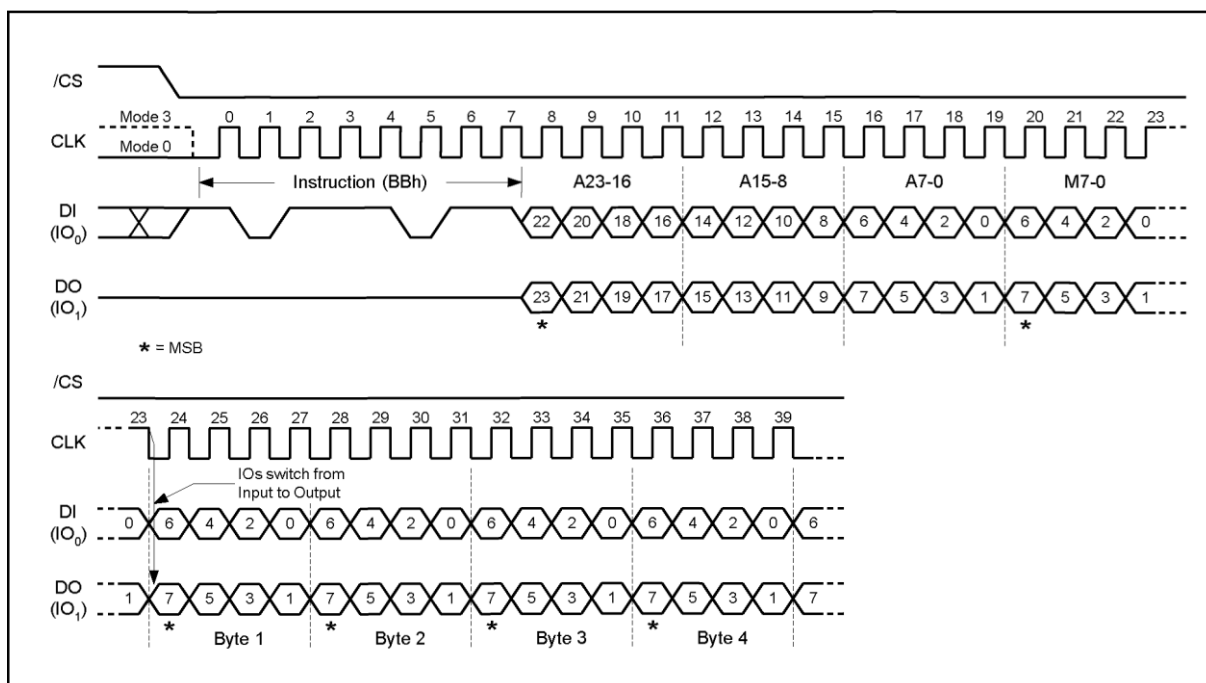


Рисунок 16 – Диаграмма инструкции Fast Read Dual I/O (начальная инструкция или предыдущая инструкция M5-4 ≠ 10, только режим SPI)

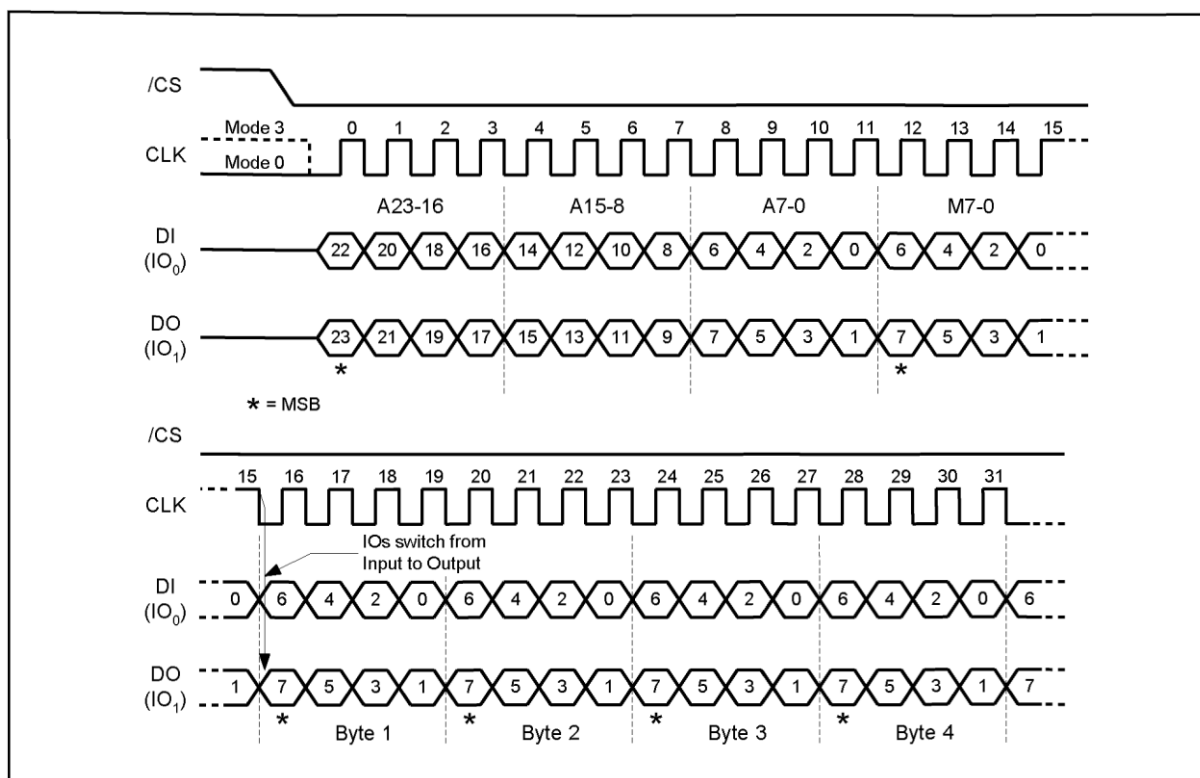


Рисунок 17 – Диаграмма инструкции Fast Read Dual I/O (предыдущий набор инструкций M5-4 = 10, только режим SPI)

7.2.11 Быстрое чтение, четверной ввод-вывод (Fast Read Quad I/O) (EBh)

Инструкция Fast Read Quad I/O (EBh) аналогична инструкции Fast Read Dual I/O (BBh), за исключением того, что биты адреса и данных вводятся и выводятся через четыре контакта IO0, IO1, IO2 и IO3, а перед выводом данных требуется четыре пустых такта в режиме SPI. Quad I/O значительно снижает издержки на выполнение инструкции, обеспечивая более быстрый произвольный доступ для выполнения кода (XIP) непосредственно с Quad SPI. Бит Quad Enable (QE) в регистр состояния-2 должен быть установлен, чтобы включить инструкцию быстрого чтения Quad I/O.

Инструкция Fast Read Quad I/O может еще больше снизить издержки на выполнение инструкции за счет установки битов "Continuous Read Mode" (M7-0) после битов входного адреса (A23-0), как показано на рис. 18. Старший полубайт (M7-4) управляет длиной следующей инструкции Fast Read Quad I/O через включение или исключение кода инструкции первого байта. Младшие биты младшего разряда (M3-0) не имеют значения ("x"). Однако контакты ввода-вывода должны быть высокоимпедансными до спадающего фронта первого тактового сигнала вывода данных.

Если биты M5-4 "Continuous Read Mode" = (1,0), то следующая инструкция ввода/вывода Fast Read Quad (после того, как /CS переведен в состояние 1, а затем в состояние 0) не требует кода инструкции EBh, как показано на рис. 19. Это уменьшает последовательность инструкции на восемь тактов и позволяет сразу же вводить адрес чтения после подачи 0 на /CS. Если биты M5-4 "Continuous Read Mode" не равны (1,0), то следующая инструкция (после того, как /CS переведен в состояние 1, а затем в состояние 0) требует код инструкции первого байта, таким образом возвращаясь к нормальной работе. Рекомендуется ввести FFh на IO0 для следующей инструкции (8 тактов), чтобы обеспечить M4 = 1 и вернуть устройство к нормальной работе.

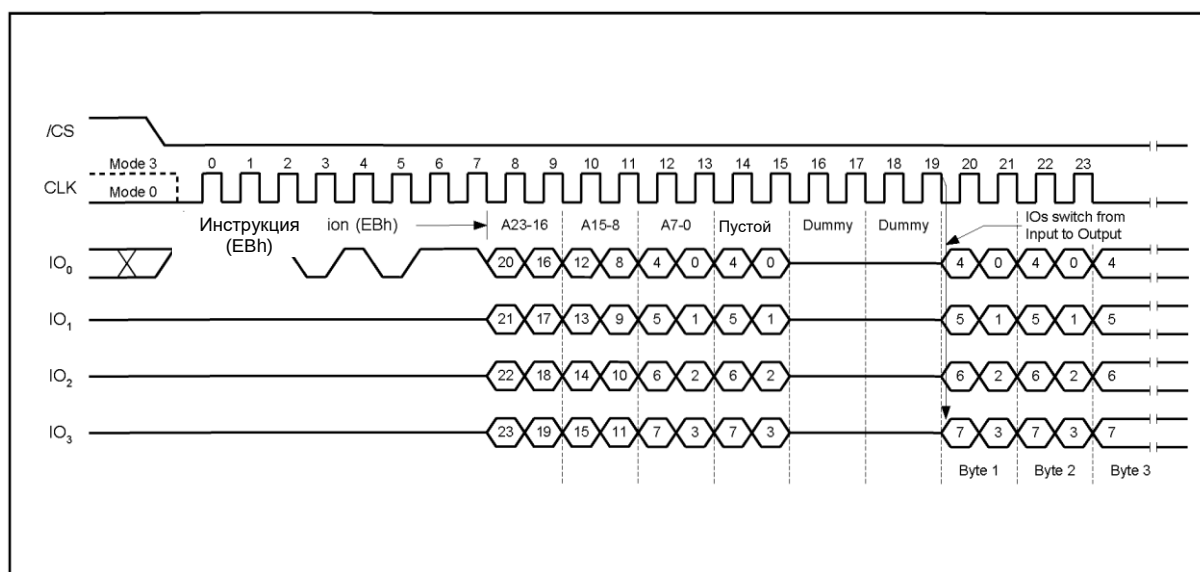


Рисунок 18 – Диаграмма инструкции Fast Read Quad I/O (начальная инструкция или предыдущая M5-4#10, режим SPI)

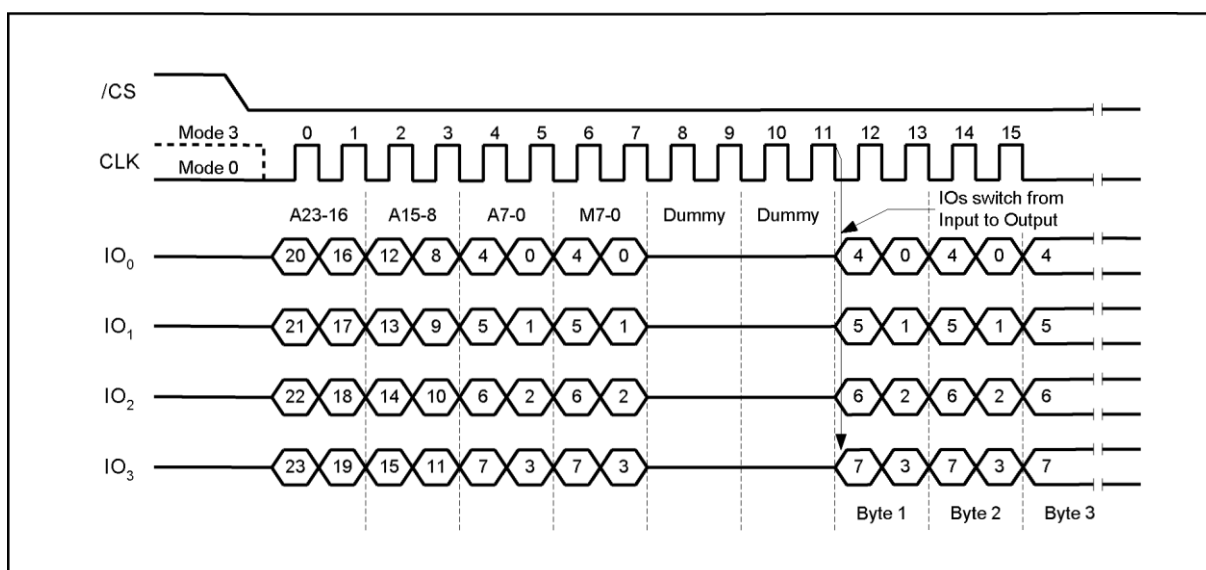


Рисунок 19 – Диаграмма инструкции Fast Read Quad I/O (предыдущий набор инструкций M5-4 = 10, режим SPI)

Инструкция Fast Read Quad I/O также может быть использована для доступа к определенной части массива памяти путем подачи команды "Set Burst with Wrap" (77h) перед EBh. Команда "Set Burst with Wrap" (77h) может либо включить, либо отключить функцию "Wrap Around" для следующих команд EBh. Если включена функция "Wrap Around", доступ к данным может быть ограничен 8, 16, 32 или 64-байтовым разделом 256-байтовой страницы. Выходные данные начинаются с начального адреса, указанного в инструкции, как только они достигнут конечной границы 8/16/32/64-байтной секции, адресация вернется к начальному адресу, и так до тех пор, пока на $/CS$ не будет подан высокий уровень для завершения команды.

Функция Burst with Wrap позволяет приложениям, использующим кэш, быстро получить критический адрес и затем заполнить кэш данными фиксированной длины (8/16/32/64 байта) без подачи нескольких команд чтения.

Инструкция "Set Burst with Wrap" позволяет установить три "Wrap Bits", W6-4. Бит W4 используется для включения или выключения операции "Wrap Around", в то время как W6-5 используются для указания длины раздела внутри страницы.

7.2.12 Установка Burst with Wrap (Set Burst with Wrap) (77h)

Инструкция Set Burst with Wrap (77h) используется совместно с инструкциями "Fast Read Quad I/O" и "Word Read Quad I/O" для доступа к секции фиксированной длины 8/16/32/64 байта в пределах 256-байтной страницы. Некоторые приложения могут повысить общую производительность выполнения системного кода с помощью этой функции.

Подобно инструкции Quad I/O, инструкция Set Burst with Wrap инициируется подачей низкого уровня на контакт /CS, а затем передачей кода инструкции "77h", за которым следуют 24 пустых бита и 8 "Wrap Bits", W7-0. Последовательность инструкций показана на рис. 20. Бит Wrap W7 и младший полубайт W3-0 не используются.

После установки W6-4 инструкцией Set Burst with Wrap все последующие инструкции "Fast Read Quad I/O" и "Word Read Quad I/O" будут использовать установку W6-4 для доступа к 8/16/32/64-байтовой секции в пределах любой страницы. Чтобы выйти из функции "Wrap Around" и вернуться к нормальной работе чтения, необходимо задать еще одну инструкцию Set Burst with Wrap, чтобы установить $W4 = 1$. Значение по умолчанию W4 при включении питания равно 1. В случае сброса Reset системы, когда $W4 = 0$, рекомендуется, чтобы контроллер выдал инструкцию Set Burst with Wrap для сброса $W4 = 1$ до выполнения любых обычных инструкций чтения, поскольку GSN2516Y не имеет аппаратного сброса.

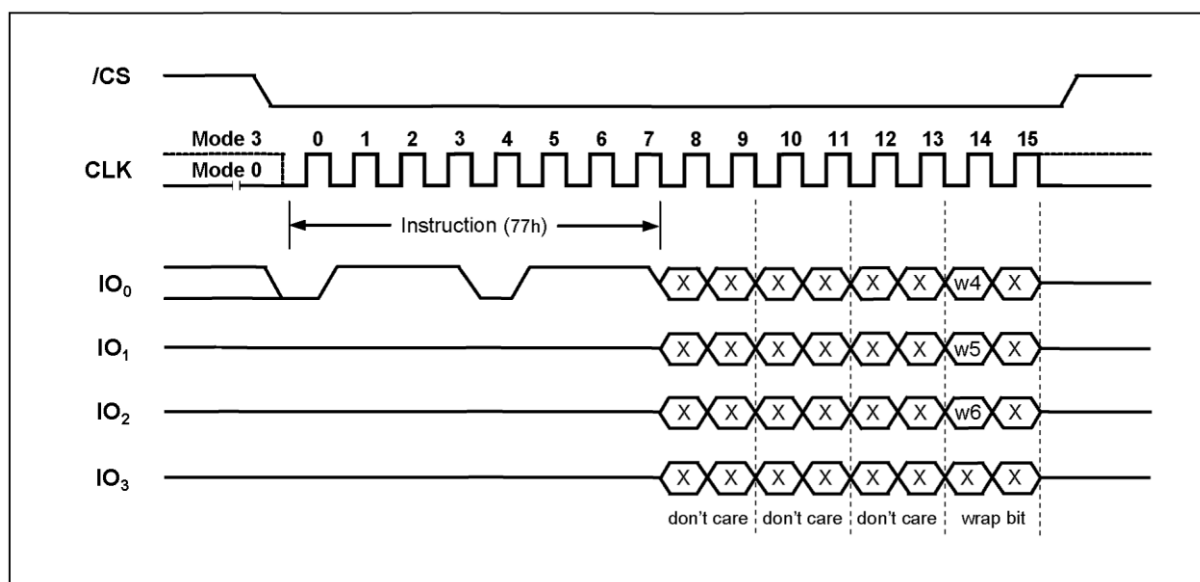


Рисунок 20 – Диаграмма инструкции Set Burst with Wrap

7.2.13 Программирование страницы (Page Program) (02h)

Инструкция Page Program позволяет запрограммировать от одного байта до 256 байт (страница) данных в ранее удаленных (FFh) ячейках памяти. Перед тем как устройство примет инструкцию Page Program, должна быть выполнена инструкция Write Enable (бит регистра состояния Status Register WEL= 1). Инструкция инициируется подачей низкого уровня на контакт /CS, а затем передачей кода инструкции "02h", за которым следует 24-битный адрес (A23-A0) и по крайней мере один байт данных, на контакт DI. Контакт /CS должен удерживаться в низком состоянии в течение всего времени выполнения команды, пока данные передаются в устройство. Последовательность команд Page Program показана на рис. 21.

Если необходимо запрограммировать всю страницу размером 256 байт, последний байт адреса (8 младших битов адреса) должен быть установлен в 0. Если последний байт адреса не равен нулю, а количество тактов превышает оставшуюся длину страницы, то адресация вернется в начало страницы. В некоторых случаях может быть запрограммировано менее 256 байт (неполная страница) без влияния на другие байты в пределах той же страницы. Одним из условий выполнения частичного программирования страницы является то, что количество тактов не может превышать оставшуюся длину страницы. Если на устройство отправлено более 256 байт, адресация вернется к началу страницы, и ранее отправленные данные будут перезаписаны.

Как и в случае с инструкциями записи и стирания, после фиксации восьмого бита последнего байта на контакт /CS должен подаваться высокий уровень. Если этого не сделать, инструкция Page Program не будет выполнена. После подачи высокого уровня на /CS начнется выполнение самосинхронизирующейся инструкции Page Program длительностью t_{pp} . Пока выполняется цикл Page Program, инструкция Read Status Register может быть использована для проверки состояния бита BUSY. Бит BUSY равен 1 во время цикла Page Program и становится 0, когда цикл завершен и устройство готово снова принять другие инструкции. После завершения цикла Page Program бит Write Enable Latch (WEL) в регистре состояния очищается до 0. Инструкция Page Program не будет выполнена, если адресуемая страница защищена битами Block Protect (CMP, SEC, TB, BP2, BP1 и BP0).

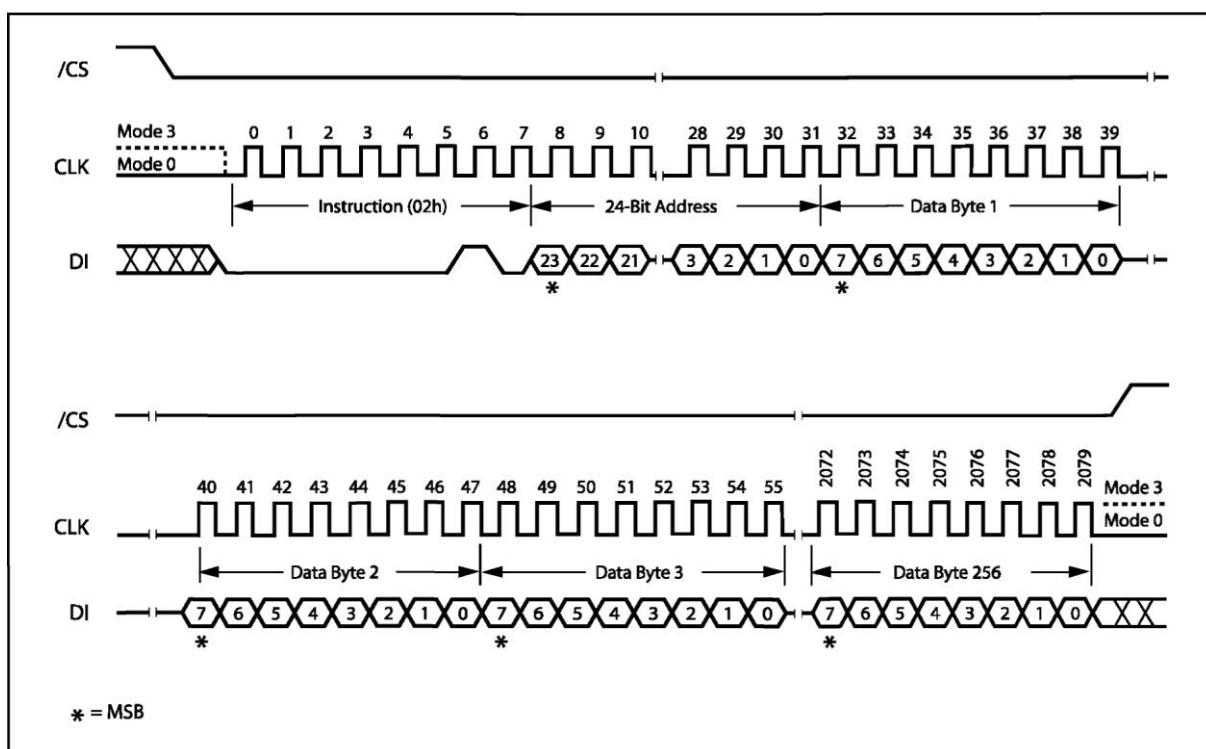


Рисунок 21 – Диаграмма инструкции Page Program

7.2.14 Программирование страницы, четверной вход (Quad Input Page Program) (32h)

Инструкция Quad Page Program позволяет запрограммировать до 256 байт данных в ранее стертых (FFh) местах памяти с помощью четырех контактов: IO0, IO1, IO2 и IO3. Инструкция Quad Page Program может улучшить производительность программатора ППЗУ (PROM Programmer) и приложений, которые имеют низкую тактовую частоту <5 МГц. Системы с более высокой тактовой частотой не смогут воспользоваться преимуществами инструкции Quad Page Program, поскольку присущее ей время программирования страницы намного больше, чем время, необходимое для синхронизации данных.

Для использования Quad Page Program необходимо установить Quad Enable в Status Register-2 (QE=1). Перед тем как устройство примет инструкцию Quad Page Program (Status Register-1, WEL=1), должна быть выполнена инструкция Write Enable. Инструкция инициируется подачей низкого уровня на контакт /CS, а затем передачей кода инструкции "32h", за которым следует 24-битный адрес (A23-A0) и по крайней мере один байт данных, на контакты IO. Контакт /CS должен удерживаться в низком состоянии в течение всего времени выполнения команды, пока данные передаются в устройство. Все остальные функции Quad Page Program идентичны стандартной Page Program. Диаграмма инструкции Quad Page Program показана на рис. 22.

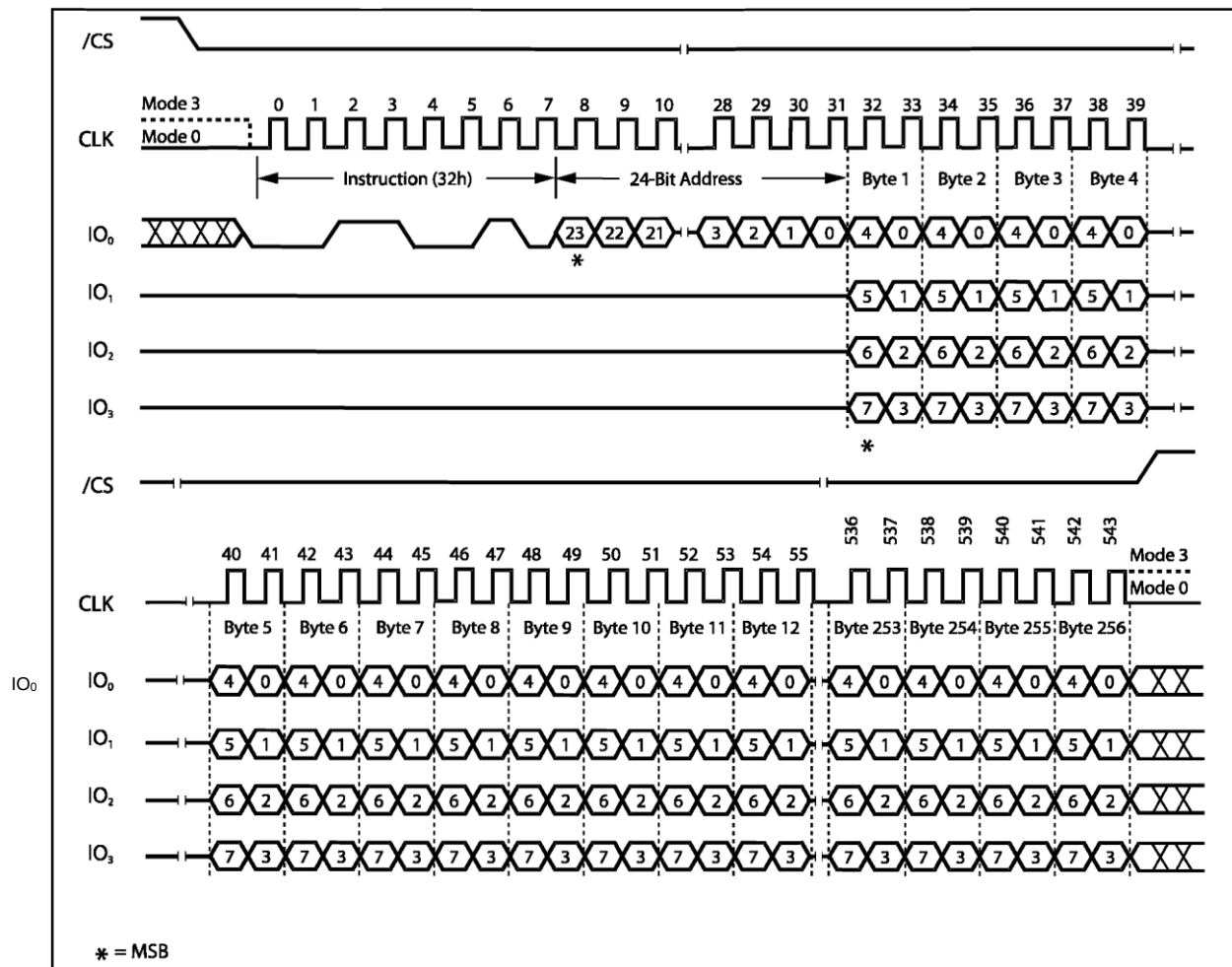


Рисунок 22 – Диаграмма инструкции Quad Input Page Program

7.2.15 Стирание сектора Sector Erase (20h)

Инструкция Sector Erase устанавливает всю память в пределах указанного сектора (4К-байт) в состояние «удалено» (FFh). Перед тем как устройство примет инструкцию стирания сектора Sector Erase (бит регистра состояния Status Register WEL должен быть равен 1), должна быть выполнена инструкция Write Enable. Инструкция инициируется подачей низкого уровня на контакт /CS и передачей кода инструкции "20h", за которым следует 24-битный адрес сектора (A23-A0). Последовательность команд по стиранию секторов показана на рис. 23.

После фиксации восьмого бита последнего байта на контакт /CS должен подаваться высокий уровень. Если этого не сделать, инструкция Sector Erase не будет выполнена. После подачи высокого уровня на /CS начнется выполнение самосинхронизирующейся инструкции Sector Erase в течение времени t_{SE} . Пока выполняется цикл Sector Erase, инструкция Read Status Register может быть использована для проверки состояния бита BUSY. Бит BUSY равен 1 во время цикла стирания секторов и становится равным 0, когда цикл завершен, и устройство снова готово принимать другие инструкции. После завершения цикла Sector Erase бит Write Enable Latch (WEL) в регистре состояния становится равным 0. Инструкция Sector Erase не будет выполнена, если адресуемая страница защищена битами Block Protect (CMP, SEC, TB, BP2, BP1 и BP0).

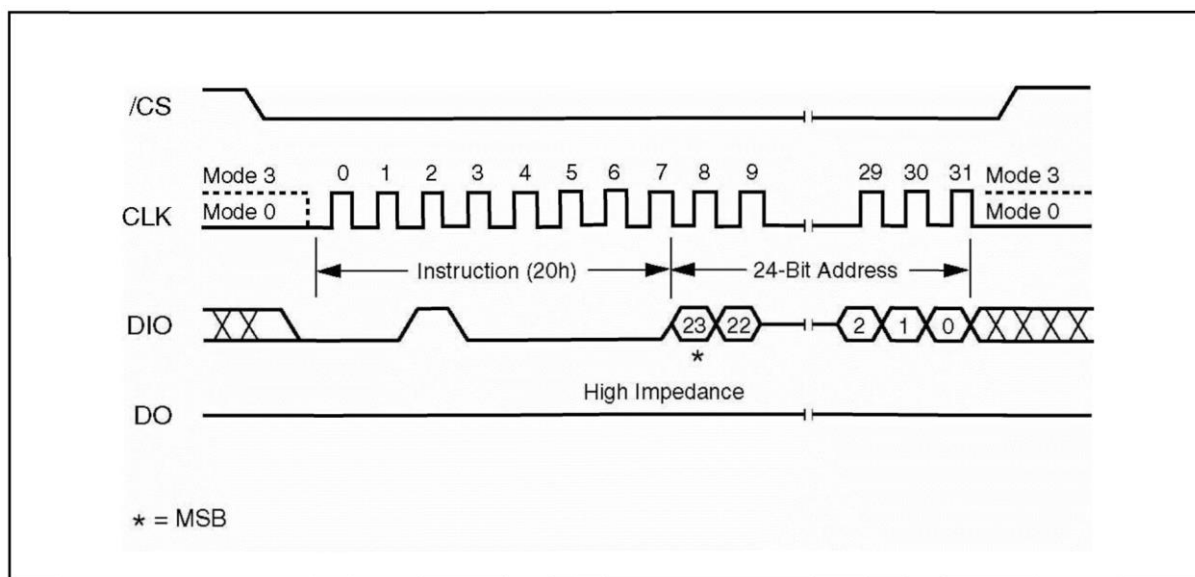


Рисунок 23 – Диаграмма инструкции Sector Erase

7.2.16 Стирание блока 32 КБ (32KB Block Erase) (52h)

Инструкция Block Erase устанавливает всю память в пределах указанного блока (32 Кб) в состояние «удалено» (FFh). Перед тем как устройство примет инструкцию Block Erase (бит регистра состояния Status Register WEL должен быть равен 1), должна быть выполнена инструкция Write Enable. Инструкция иницируется подачей низкого уровня на контакт /CS и передачей кода инструкции "52h", за которым следует 24-битный адрес блока (A23-A0). Последовательность инструкции Block Erase показана на рис. 24.

После фиксации восьмого бита последнего байта на контакт /CS должен подаваться высокий уровень. Если этого не сделать, инструкция Block Erase не будет выполнена. После подачи высокого уровня на /CS начнется выполнение самосинхронизирующейся инструкции Block Erase на время t_{BE1} . Пока выполняется цикл Block Erase, инструкция Read Status Register может быть использована для проверки состояния бита BUSY. Бит BUSY равен 1 во время цикла стирания блока Block Erase и становится равным 0, когда цикл завершен и устройство снова готово принимать другие инструкции. После завершения цикла Block Erase бит Write Enable Latch (WEL) в регистре состояния становится равным 0. Инструкция Block Erase не будет выполнена, если адресуемая страница защищена битами Block Protect (CMP, SEC, TB, BP2, BP1 и BP0).

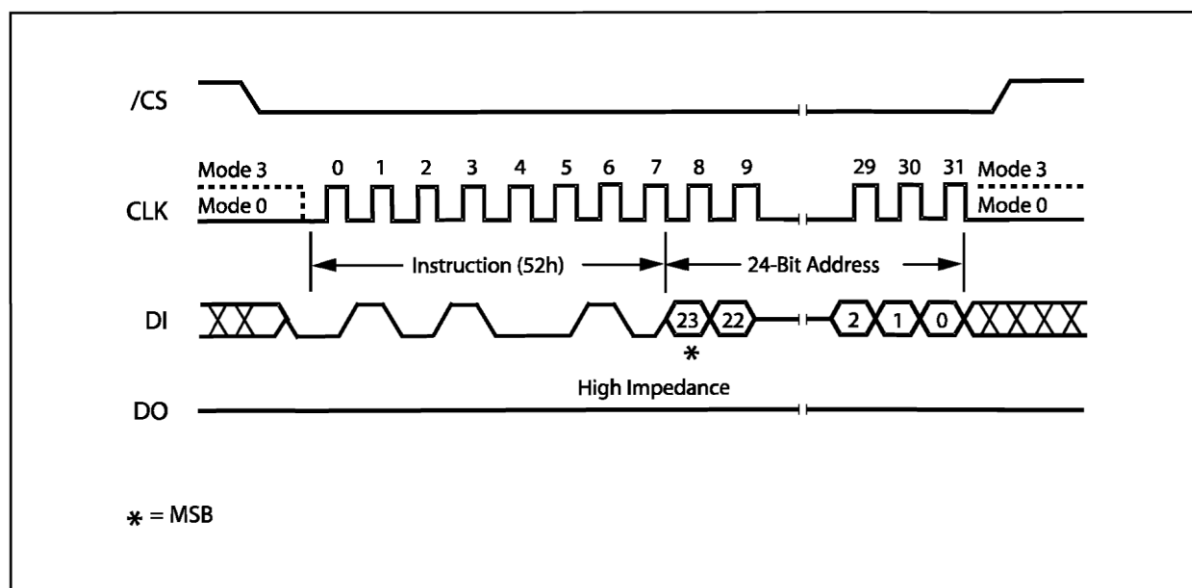


Рисунок 24 – Диаграмма инструкции Block Erase 32 КБ

7.2.17 Стирание блока 64 КБ (64KB Block Erase) (D8h)

Инструкция Block Erase устанавливает всю память в пределах указанного блока (64 Кб) в состояние «удалено» (FFh). Перед тем как устройство примет инструкцию Block Erase (бит регистра состояния Status Register WEL должен быть равен 1), должна быть выполнена инструкция Write Enable. Инструкция иницируется подачей низкого уровня на контакт /CS и передачей кода инструкции "D8h", за которым следует 24-битный адрес блока (A23-A0). Последовательность инструкции Block Erase показана на рис. 25.

После фиксации восьмого бита последнего байта на контакт /CS должен подаваться высокий уровень. Если этого не сделать, инструкция Block Erase не будет выполнена. После подачи высокого уровня на /CS начнется выполнение самосинхронизирующейся инструкции Block Erase на время t_{BE} . Пока выполняется цикл Block Erase, инструкция Read Status Register может быть использована для проверки состояния бита BUSY. Бит BUSY равен 1 во время цикла стирания блока Block Erase и становится равным 0, когда цикл завершен и устройство снова готово принимать другие инструкции. После завершения цикла Block Erase бит Write Enable Latch (WEL) в регистре состояния становится равным 0. Инструкция Block Erase не будет выполнена, если адресуемая страница защищена битами Block Protect (CMP, SEC, TB, BP2, BP1 и BP0).

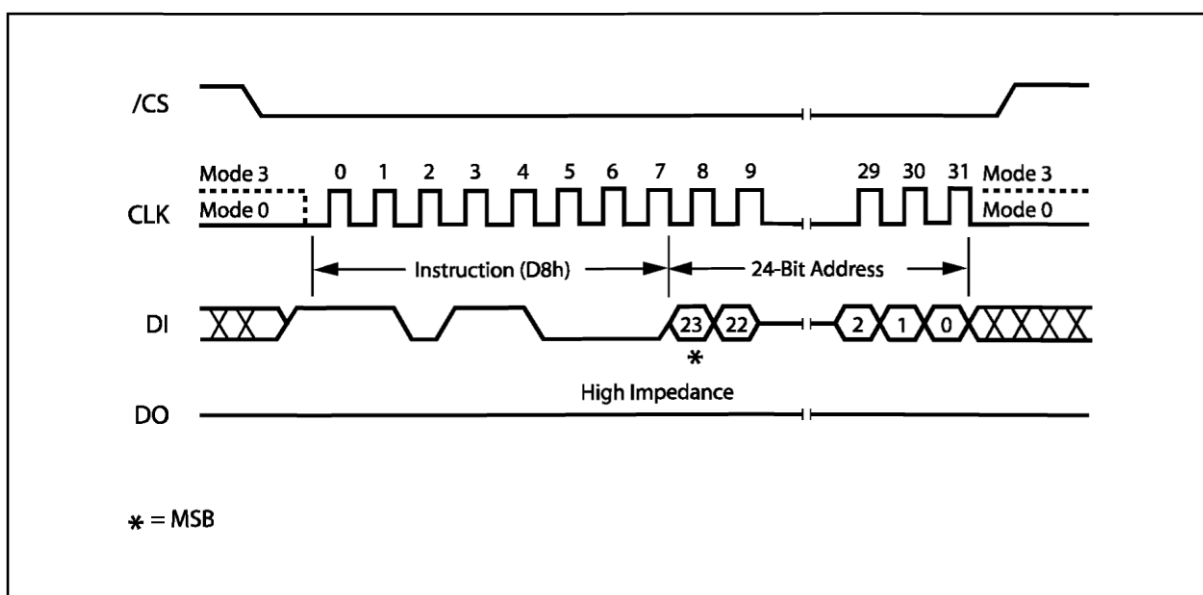


Рисунок 25 – Диаграмма инструкции Block Erase 64 КБ

7.2.18 Стирание микросхемы (Chip Erase) (C7h/60h)

Инструкция стирания микросхемы переводит всю память устройства в состояние «удалено» (FFh). Перед тем как устройство примет инструкцию Chip Erase (бит регистра состояния Status Register WEL должен быть равен 1), должна быть выполнена инструкция Write Enable. Инструкция иницируется подачей низкого уровня на контакт /CS и передачей кода инструкции "C7h" или "60h". Последовательность инструкции Chip Erase показана на рис. 26.

После фиксации восьмого бита на контакт /CS должен подаваться высокий уровень. Если этого не сделать, инструкция по стиранию микросхемы Chip Erase не будет выполнена. После подачи высокого уровня на /CS начнется выполнение самосинхронизирующейся инструкции Chip Erase на время t_{CE} . Пока выполняется цикл Chip Erase, инструкция Read Status Register может быть использована для проверки состояния бита BUSY. Бит BUSY равен 1 во время цикла стирания блока Chip Erase и становится равным 0, когда цикл завершен и устройство снова готово принимать другие инструкции. После завершения цикла Chip Erase бит Write Enable Latch (WEL) в регистре состояния становится равным 0. Инструкция Chip Erase не будет выполнена, если любая страница защищена битами Block Protect (CMP, SEC, TB, BP2, BP1 и BP0).

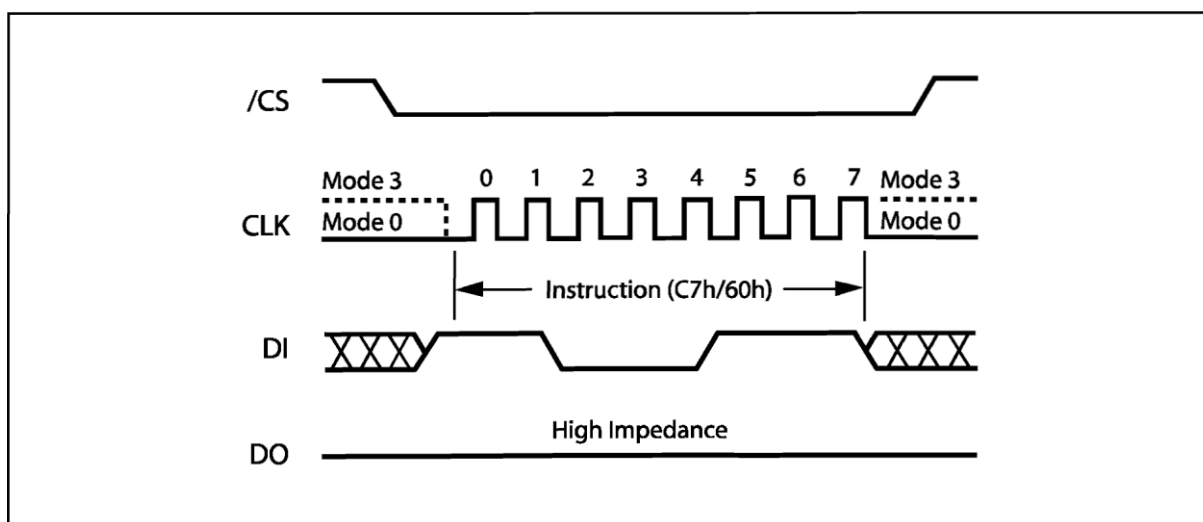


Рисунок 26 – Диаграмма инструкции Chip Erase

7.2.19 Приостановка стирания/программирования (Erase/Program Suspend) (75h)

Инструкция Erase/Program Suspend 75h позволяет системе прервать операцию стирания сектора или блока или операцию программирования страницы, а затем читать данные из любых других секторов или блоков или запрограммировать/стереть данные в них. Последовательность инструкции Erase/Program Suspend показана на рис. 27.

Инструкция Write Status Register (01h) и инструкции Erase (20h, 52h, D8h, C7h, 60h, 44h) запрещены во время выполнения Erase Suspend. Приостановка стирания действительна только во время операции стирания сектора или блока. Если запись производится во время операции стирания микросхемы Chip Erase, инструкция Erase Suspend игнорируется. Инструкция Write Status Register (01h) и инструкции Program (02h, 32h, 42h) запрещены во время выполнения Program Suspend. Program Suspend действует только во время операции Page Program или Quad Page Program.

Инструкция Erase/Program Suspend 75h будет принята устройством, только если бит SUS в регистре состояния равен 0, а бит BUSY равен 1 во время выполнения операции стирания сектора Sector Erase или блока Block Erase или программирования страницы Page Program. Если бит SUS равен 1 или бит BUSY равен 0, инструкция Suspend будет проигнорирована устройством. Для приостановки операции стирания или программирования требуется максимальное время t_{sus} . Бит BUSY в регистре состояния будет сброшен с 1 на 0 в течение t_{sus} , а бит SUS в регистре состояния будет установлен с 0 на 1 сразу после приостановки стирания/программирования Erase/Program Suspend. Для ранее возобновленной операции стирания/программирования также требуется, чтобы инструкция Suspend 75h была выдана не ранее, чем через минимальное время t_{sus} после предшествующей инструкции возобновления Resume 7Ah.

Непредвиденное выключение питания во время состояния приостановки стирания/программирования приведет к сбросу устройства и выходу из состояния приостановки. Бит SUS в регистре состояния Status Register также будет сброшен на 0. Данные в пределах страницы, сектора или блока, которые были приостановлены, могут быть повреждены. Пользователю рекомендуется предусмотреть защиту от случайного отключения питания, чтобы сохранить целостность данных, во время приостановки стирания/программирования.

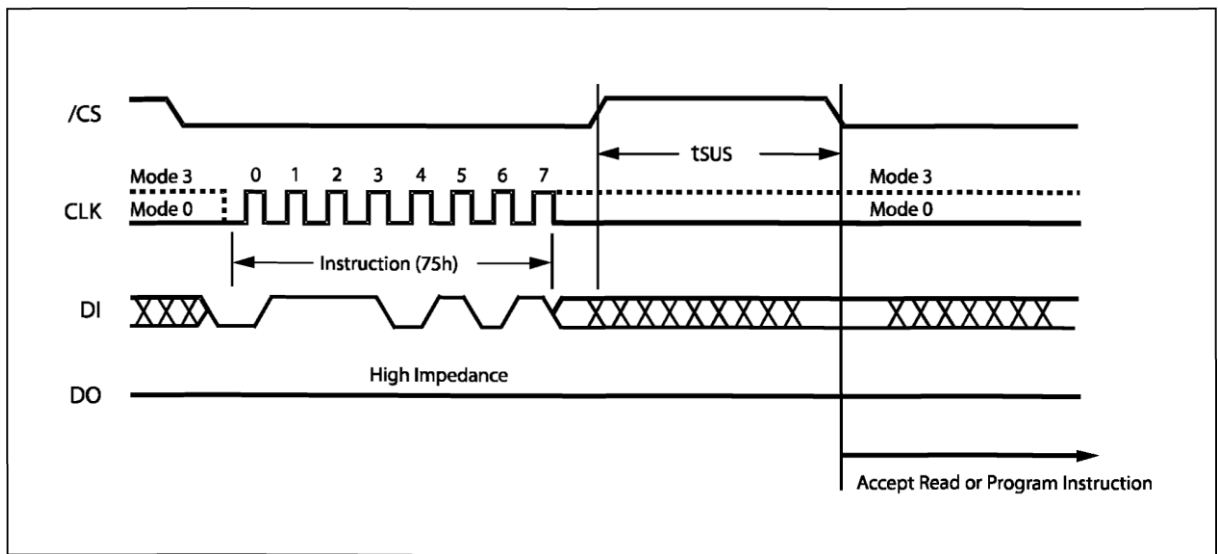


Рисунок 27 – Диаграмма инструкции приостановки стирания/программирования (Erase/Program Suspend)

7.2.20 Возобновление стирания/программирования (Erase/Program Resume) (7Ah)

Инструкция Erase/Program Resume 7Ah должна быть записана для возобновления операции стирания сектора Sector Erase или блока Block Erase или операции программирования страницы Page Program после приостановки стирания/программирования Erase/Program Suspend. Инструкция Resume 7Ah будет принята устройством, только если бит SUS в регистре состояния равен 1, а бит BUSY равен 0. После передачи команды Resume бит SUS будет немедленно сброшен с 1 на 0, бит BUSY будет установлен с 0 на 1 в течение 200 нс, и сектор или блок завершит операцию стирания, или страница завершит операцию программирования. Если бит SUS равен 0 или бит BUSY равен 1, инструкция Resume 7Ah будет проигнорирована устройством. Последовательность инструкции Erase/Program Resume показана на рис. 28.

Команда возобновления игнорируется, если предыдущая операция приостановки стирания/программирования Erase/Program Suspend была прервана непредвиденным выключением питания. Также требуется, чтобы последующая инструкция Erase/Program Suspend не передавалась в течение минимального времени t_{sus} после предыдущей инструкции возобновления Resume.

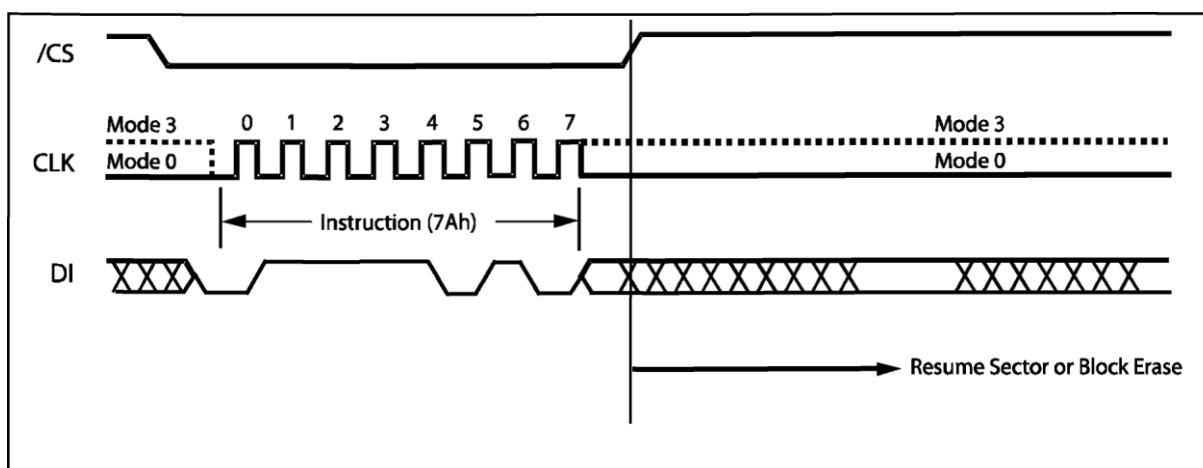


Рисунок 28 – Диаграмма инструкции возобновления стирания/программирования (Erase/Program Suspend)

7.2.21 Выключение питания (Power-down) (B9h)

Хотя ток режима ожидания при нормальной работе относительно мал, он может быть еще больше снижен с помощью инструкции Power-down. Более низкое энергопотребление делает инструкцию Power-down особенно полезной для устройств с батарейным питанием. Инструкция инициируется подачей низкого уровня на контакт /CS и передачей кода инструкции "B9h", как показано на рис. 29.

После фиксации восьмого бита на контакт /CS должен подаваться высокий уровень. Если этого не сделать, инструкция по выключению питания Power-down не будет выполнена. После подачи высокого уровня на /CS, выключение питания будет осуществлено в течение времени t_{DP} . В режиме низкого энергопотребления распознается только инструкция Release from Powerdown/Device ID, которая возвращает устройство к нормальной работе. Все остальные инструкции игнорируются. Сюда входит инструкция Read Status Register, которая всегда доступна во время нормальной работы. Игнорирование всех инструкций, кроме одной, делает состояние Power Down полезным для обеспечения максимальной защиты от записи. При подаче питания, устройство всегда включается в нормальном режиме «ожидания», с потреблением тока ICC1.

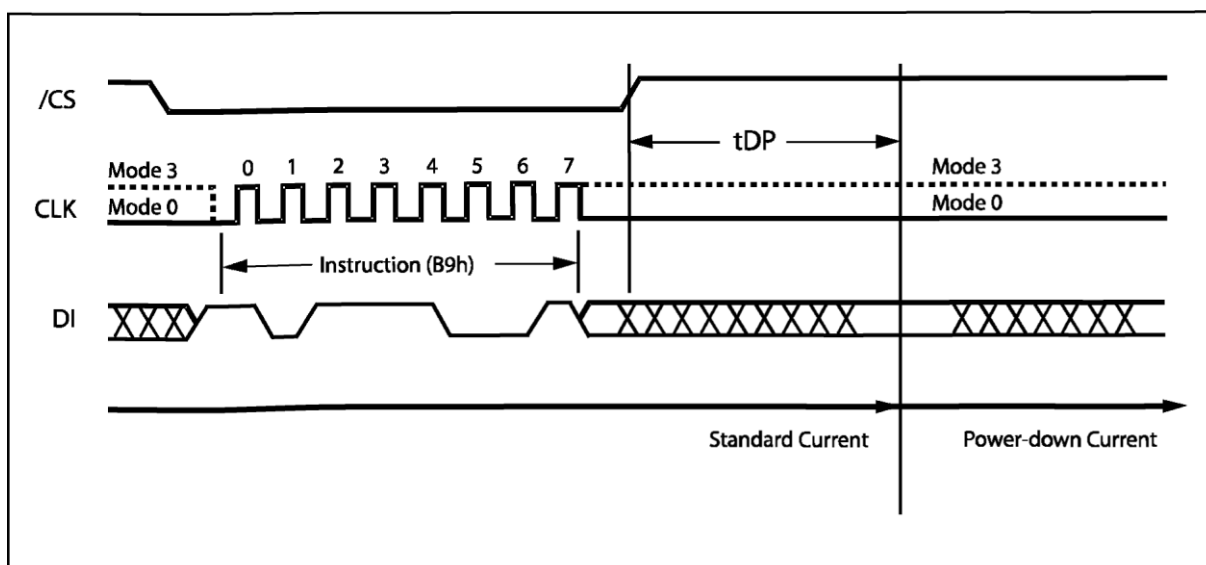


Рисунок 29 – Диаграмма инструкции Deep Power-down

7.2.22 Вывод из состояния выключения питания/идентификатор устройства (Release Power-down/Device ID) (ABh)

Инструкция Release from Power-down/Device ID имеет несколько функций. Она может быть использована для вывода устройства из состояния низкого энергопотребления или получения электронного идентификационного номера (ID) устройства.

Чтобы вывести устройство из состояния низкого энергопотребления на контакт /CS подается низкий уровень, потом подается код команды "ABh", затем подается высокий уровень на /CS, как показано на рис. 30. Вывод из состояния выключения питания занимает время t_{RES1} , прежде чем устройство возобновит нормальную работу и смогут быть приняты другие инструкции. Контакт /CS должен оставаться высоким в течение времени t_{RES1} .

Если инструкция используется только для получения идентификатора устройства, не находясь в состоянии выключения питания, она инициируется подачей низкого уровня на контакт /CS и подачей кода команды "ABh", за которым следуют 3 пустых байта. Затем биты идентификатора устройства сдвигаются по спадающему фронту CLK, при этом старший бит (MSB) идет первым, как показано на рис. 31. Идентификатор устройства Device ID можно читать непрерывно. Выполнение команды завершается подачей высокого уровня на /CS.

При использовании для вывода устройства из состояния выключения питания и получения идентификатора устройства инструкция аналогична описанной ранее и показанной на рис. 31, за исключением того, что после подачи высокого уровня /CS он должен оставаться высоким в течение времени t_{RES2} . По истечении этого времени устройство возобновит нормальную работу и сможет принимать другие инструкции. Если инструкция Release from Power-down/Device ID выдается во время выполнения цикла стирания Erase, программирования Program или записи Write (когда BUSY равен 1), инструкция игнорируется и не оказывает никакого влияния на текущий цикл.

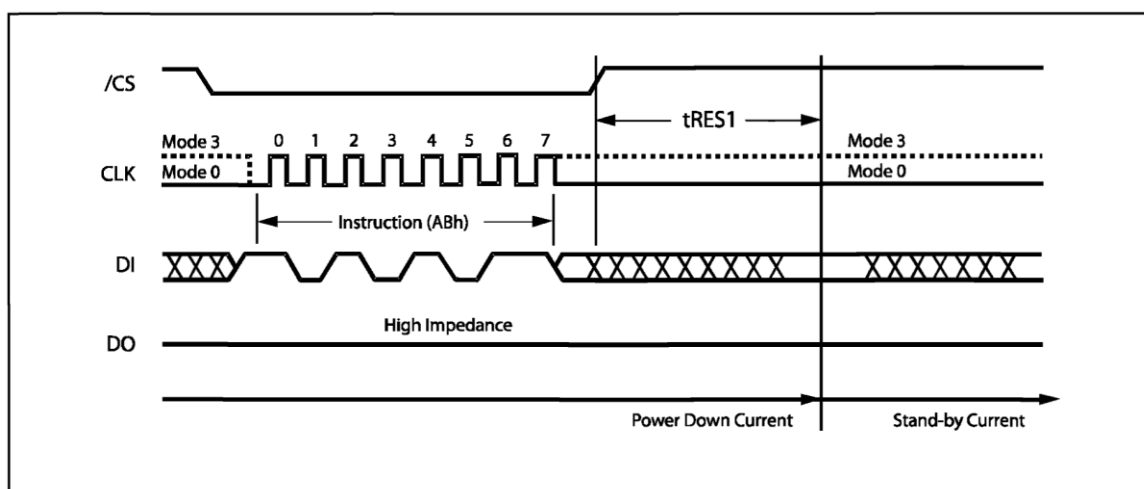


Рисунок 30 – Диаграмма инструкции Release Power-down

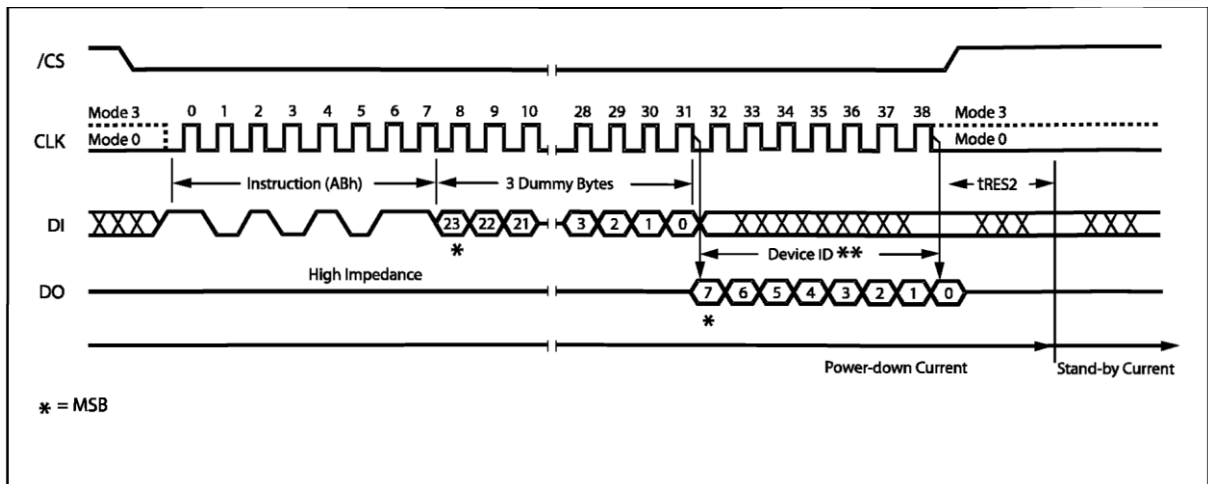


Рисунок 31 – Диаграмма инструкции Release Power-down/Device ID

7.2.23 Чтение идентификатора производителя/устройства (Read Manufacturer/Device ID) (90h)

Инструкция Read Manufacturer/Device ID является альтернативой инструкции Release from Power-down/Device ID, она предоставляет как назначенный JEDEC идентификатор производителя, так и идентификатор конкретного устройства.

Инструкция Read Manufacturer/Device ID очень похожа на инструкцию Release from Power-down/Device ID. Инструкция инициируется подачей низкого уровня на контакт /CS и подачей кода инструкции "90h", за которым следует 24-битный адрес (A23-A0) 0000000h. После этого идентификатор производителя и идентификатор устройства передается по спадающему фронту CLK старшим значащим битом (MSB) вперед, как показано на рис. 32. Идентификаторы можно читать непрерывно, чередуя их друг с другом. Выполнение команды завершается подачей высокого уровня на /CS.

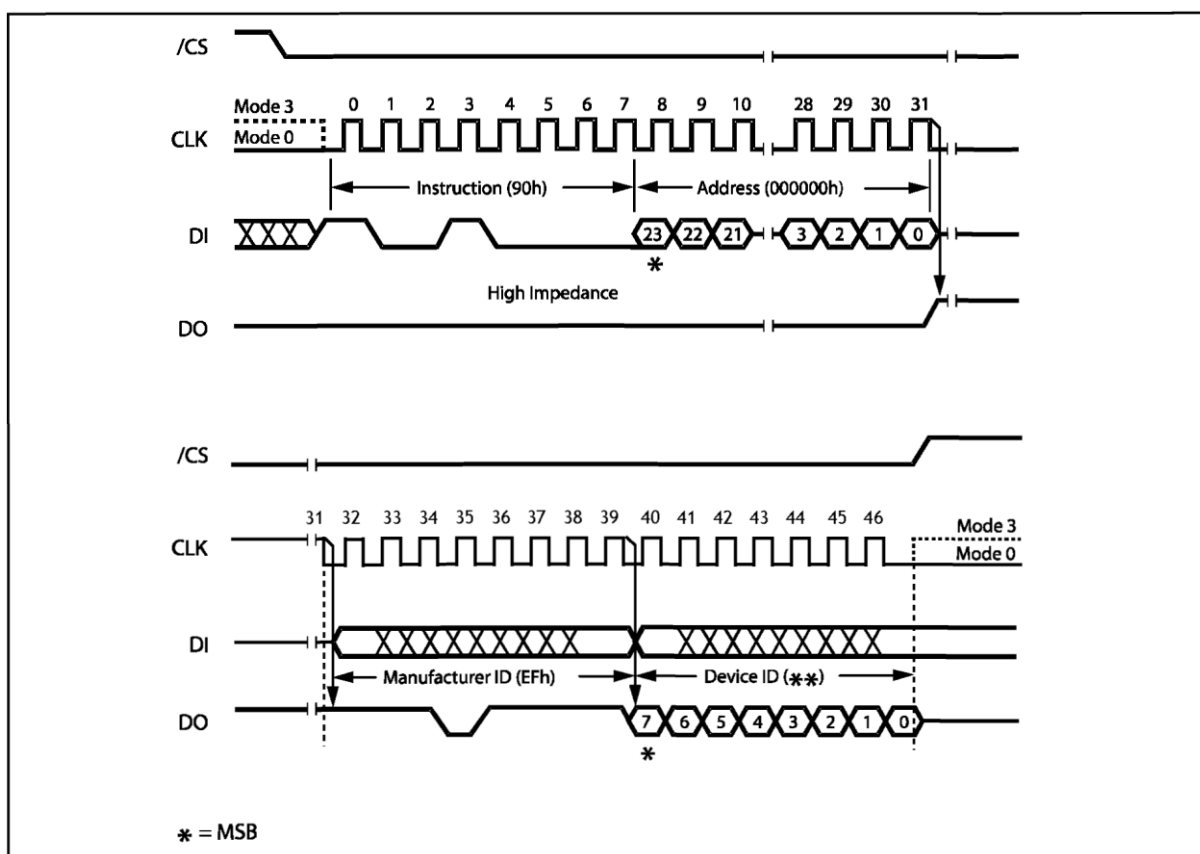


Рисунок 32 – Диаграмма инструкции Read Manufacturer/Device ID

7.2.24 Чтение идентификатора производителя/устройства, двойной ввод/вывод (Read Manufacturer/Device ID Dual I/O) (92h)

Инструкция Read Manufacturer/Device ID Dual I/O является альтернативой инструкции Read Manufacturer/Device ID, которая предоставляет как назначенный JEDEC идентификатор производителя, так и идентификатор конкретного устройства на скорости 2x.

Инструкция Read Manufacturer / Device ID Dual I/O аналогична инструкции Fast Read Dual I/O. Инструкция инициируется подачей низкого уровня на контакт /CS и подачей кода инструкции "92h", за которым следует 24-битный адрес (A23-A0) 0000000h, но с возможностью ввода битов адреса по два бита за такт. После этого идентификатор производителя и идентификатор устройства передается по 2 бита за такт, по спадающему фронту CLK старшим значащим битом (MSB) вперед, как показано на рис. 33. Идентификаторы производителя и устройства можно читать непрерывно, чередуя их друг с другом. Выполнение команды завершается подачей высокого уровня на /CS.

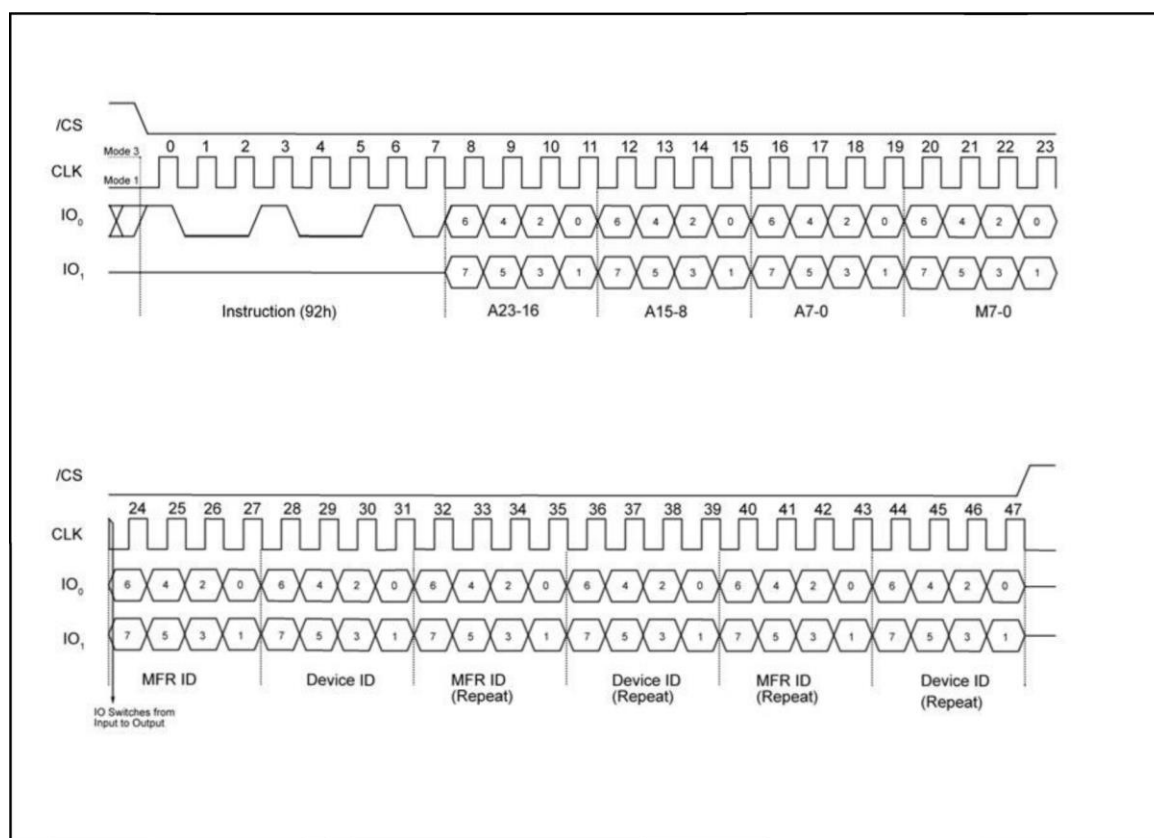


Рисунок 33 – Диаграмма инструкции Read Manufacturer/Device ID Dual I/O

Примечание:

Биты "Continuous Read Mode" M(7-0) должны быть установлены в Fxh, чтобы быть совместимыми с инструкцией Fast Read Dual I/O.

7.2.25 Чтение идентификатора производителя/устройства, четверной ввод/вывод Read Manufacturer/Device ID Quad I/O (94h)

Инструкция Read Manufacturer / Device ID Quad I/O является альтернативой инструкции Read Manufacturer/Device ID, которая предоставляет как назначенный JEDEC идентификатор производителя, так и идентификатор конкретного устройства на скорости 4x.

Инструкция Read Manufacturer / Device ID Quad I/O аналогична инструкции Fast Read Quad I/O. Инструкция иницируется подачей низкого уровня на контакт /CS и подачей кода инструкции "94h", за которым следует 24-битный адрес (A23-A0) 0000000h, биты режима непрерывного чтения, а затем четыре тактовых пустых цикла, с возможностью ввода битов адреса по четыре бита за такт. После этого идентификатор производителя и идентификатор устройства передается по 4 бита за такт спадающему фронту CLK, причем старший бит (MSB) идет первым, как показано на рис. 34. Идентификаторы производителя и устройства можно читать непрерывно, чередуя их друг с другом. Выполнение команды завершается подачей высокого уровня на /CS.

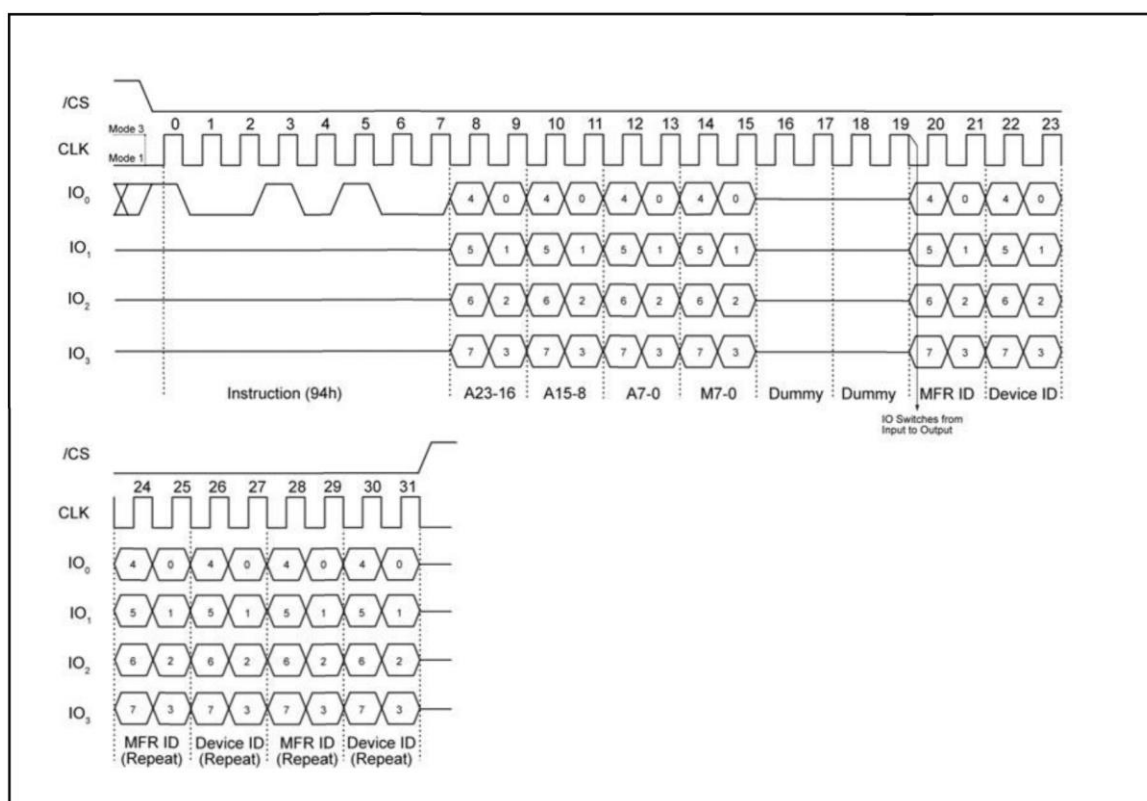


Рисунок 34 – Диаграмма инструкции Read Manufacturer/Device ID Quad I/O

Примечание:

Биты "Continuous Read Mode" M(7-0) должны быть установлены в Fxh, чтобы быть совместимыми с инструкцией Fast Read Quad I/O.

7.2.26 Чтение уникального идентификационного номера (Read Unique ID Number) (4Bh)

Инструкция Read Unique ID Number предоставляет доступ к установленному на заводе уникальному 64-битному номеру устройства. Идентификационный номер можно использовать в сочетании с методами пользовательского программного обеспечения для предотвращения копирования или клонирования системы. Инструкция Read Unique ID инициируется подачей низкого уровня на контакт /CS и подачей кода инструкции "4Bh", за которым следуют четыре байта пустых тактов. После этого 64-битный ID передается по спадающему фронту CLK, как показано на рис. 35.

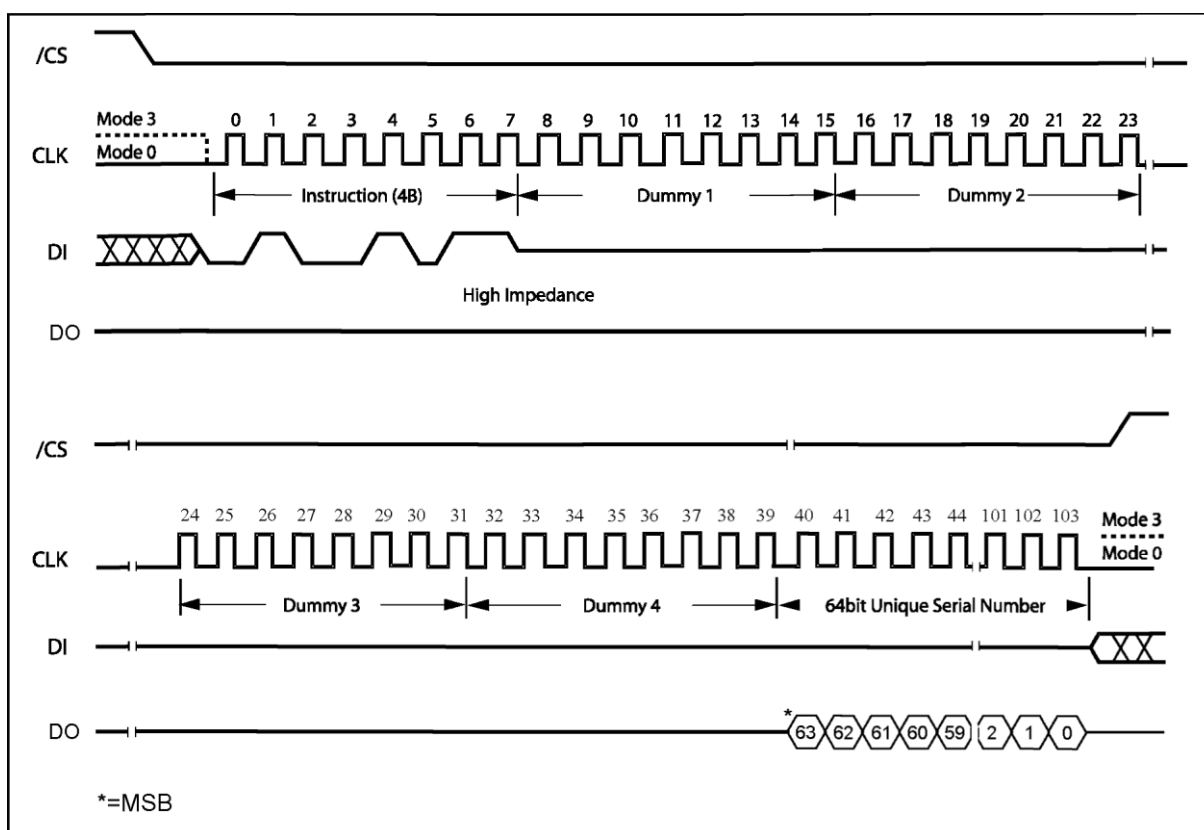


Рисунок 35 – Диаграмма инструкции Read Unique ID Number

7.2.27 Чтение идентификатора JEDEC (Read JEDEC ID) (9Fh)

В целях совместимости в GSN2516Y предусмотрено несколько инструкций для электронного определения идентичности устройства. Инструкция Read JEDEC ID совместима со стандартом JEDEC для SPI-совместимых последовательных запоминающих устройств, который был принят в 2003 году. Инструкция инициируется подачей низкого уровня на контакт /CS и подачей кода инструкции "9Fh". Далее происходит передача JEDEC по падающему фронту CLK: байт ID производителя и два байта ID устройства, тип памяти (ID15-ID8) и емкость (ID7-ID0), причем старший бит (MSB) идет первым, как показано на рис. 36.

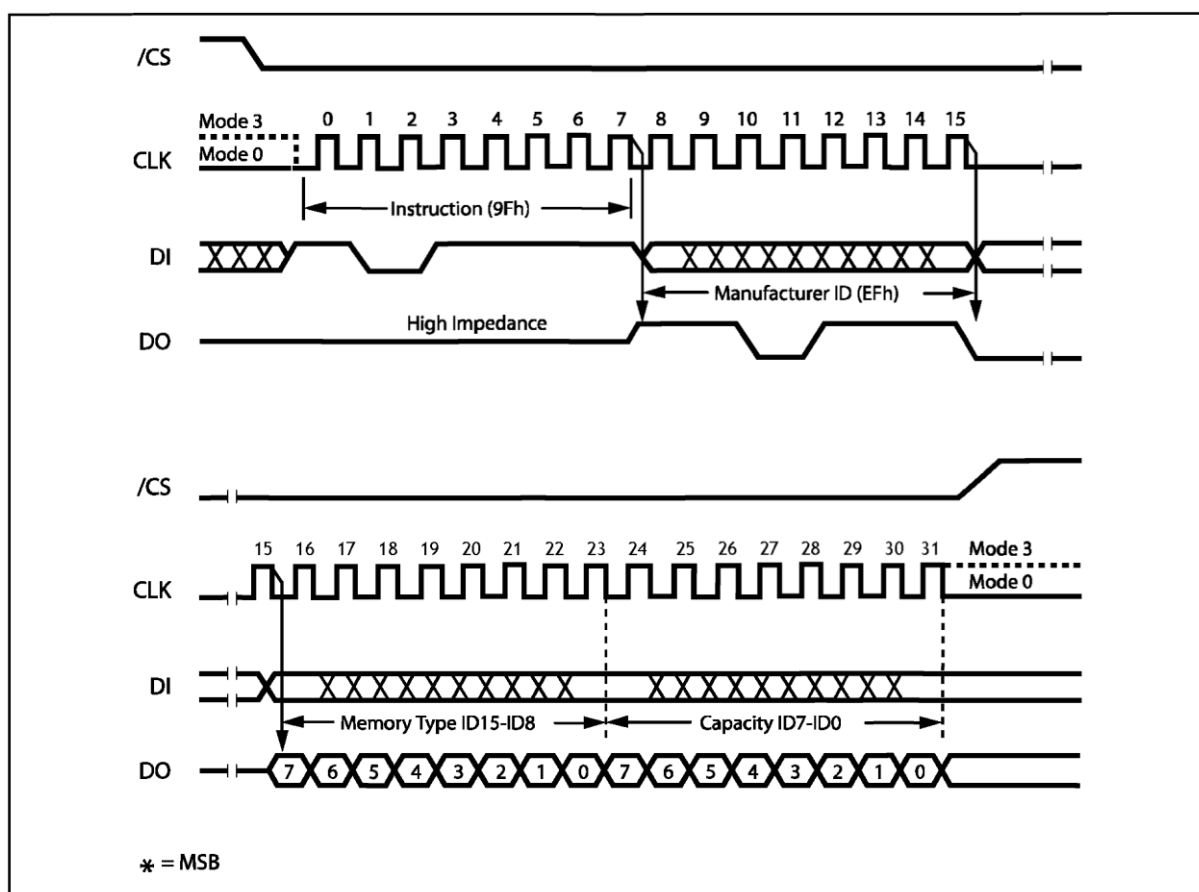


Рисунок 36 – Диаграмма инструкции Read JEDEC ID

7.2.28 Чтение регистра SFDP (Read SFDP Register) (5Ah)

Микросхема GSN2516Y оснащена 256-байтовым регистром параметров флеш-памяти с последовательным интерфейсом (SFDP), который содержит информацию о конфигурациях устройств, доступных инструкциях и других функциях. Параметры SFDP хранятся в одной или нескольких таблицах идентификации параметров (PID). Инструкция Read SFDP Register совместима со стандартом SFDP, введенным в 2010 году для ПК и других приложений, а также со стандартом JEDEC JESD216-serials, опубликованным в 2011 году.

Инструкция Read SFDP инициируется подачей низкого уровня на контакт /CS и подачей кода инструкции "5Ah", за которым следует 24-битный адрес (A23-A0)(1) на контакт DI. Также требуется восемь "пустых" тактов, прежде чем содержимое регистра SFDP будет передано начиная с 40-го такта CLK по спадающему фронту, старшим значащим битом (MSB) вперед, как показано на рис. 37.

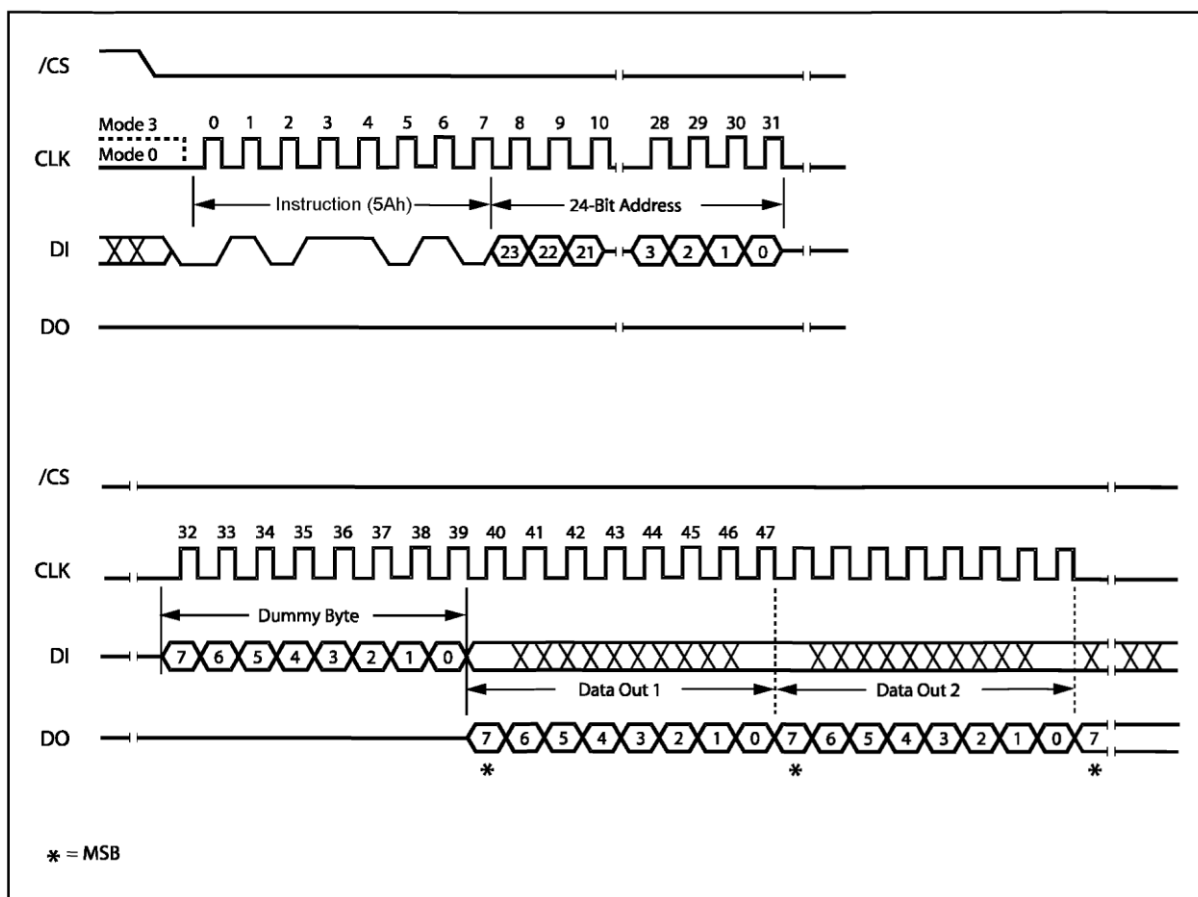


Рисунок 37 – Диаграмма инструкции Read SFDP Register

Примечание:

A23-A8 = 0; A7-A0 используются для определения адреса начального байта для 256-байтового регистра SFDP.

7.2.29 Стирание регистра безопасности (Erase Security Registers) (44h)

В микросхеме GSN2516Y предусмотрены три 256-байтовых регистра безопасности Security Registers, которые можно стирать и программировать по отдельности. Эти регистры могут использоваться производителями конечных устройств для хранения информации о безопасности и другой важной информации отдельно от основного массива памяти.

Инструкция Erase Security Register аналогична инструкции Sector Erase. Прежде чем устройство примет инструкцию Erase Security Register, должна быть выполнена инструкция Write Enable (бит регистра состояния Status Register WEL должен быть равен 1). Инструкция инициируется подачей низкого уровня на контакт /CS и подачей кода инструкции "44h", за которым следует 24-битный адрес (A23-A0) для стирания одного из трех регистров безопасности.

Таблица 9 – Адреса регистров безопасности

Адрес	A23-16	A15-12	A11-8	A7-0
Регистр безопасности № 1	00h	0001	0000	Не имеет значения
Регистр безопасности № 2	00h	0010	0000	Не имеет значения
Регистр безопасности № 3	00h	0011	0000	Не имеет значения

Последовательность инструкции Erase Security Register показана на рис. 38. После фиксации восьмого бита последнего байта на контакт /CS должен подаваться высокий уровень. Если этого не сделать, инструкция не будет выполнена. После подачи высокого уровня на /CS начнется самосинхронизирующейся операция Erase Security Register на время t_{SE} . Пока выполняется цикл Erase Security Register, инструкция Read Status Register может быть использована для проверки состояния бита BUSY. Бит BUSY равен 1 во время цикла стирания и становится равным 0, когда цикл завершен и устройство снова готово принимать другие инструкции. После завершения цикла Erase Security Register бит Write Enable Latch (WEL) в Status Register сбрасывается до 0. Биты блокировки регистра безопасности LB[3:1] в регистре состояния-2 Status Register-2 могут использоваться для защиты регистров безопасности OTP. Как только бит блокировки будет установлен в 1, соответствующий регистр безопасности будет навсегда заблокирован, инструкция Erase Security Register для этого регистра будет проигнорирована.

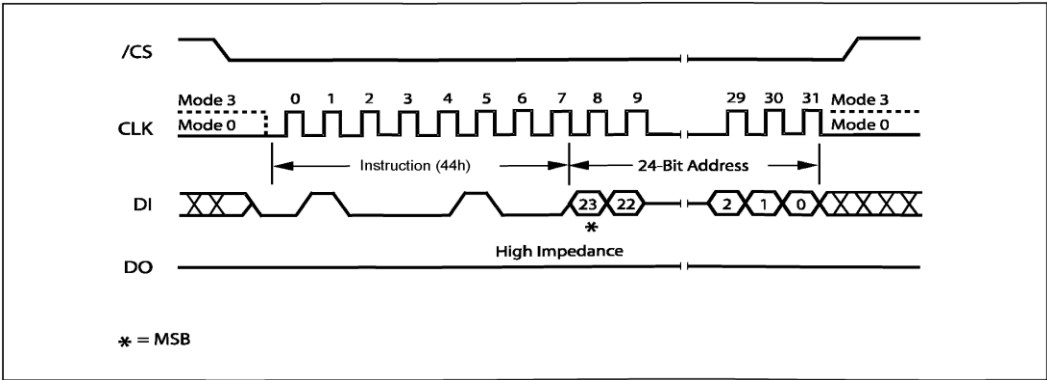


Рисунок 38 – Диаграмма инструкции Erase Security Registers

7.2.30 Программирование регистров безопасности (Program Security Registers) (42h)

Инструкция Program Security Register аналогична инструкции программирования страницы. Она позволяет запрограммировать от одного до 256 байт данных регистра безопасности в ранее стертых (FFh) местах памяти. Прежде чем устройство примет инструкцию Program Security Register Instruction, должна быть выполнена инструкция Write Enable (бит Status Register WEL= 1). Инструкция инициируется подачей низкого уровня на контакт /CS, а затем подачей кода инструкции "42h", за которым следует 24-битный адрес (A23-A0) и по крайней мере один байт данных, на контакт DI. Контакт /CS должен удерживаться в низком состоянии в течение всего времени выполнения команды, пока данные передаются в устройство.

Последовательность инструкции Program Security Register показана на рис. 39. Биты блокировки регистра безопасности LB[3:1] в регистре состояния-2 Status Register-2 могут использоваться для защиты регистров безопасности OTP. Как только бит блокировки будет установлен в 1, соответствующий регистр безопасности будет навсегда заблокирован, инструкция Program Security Register для этого регистра будет проигнорирована.

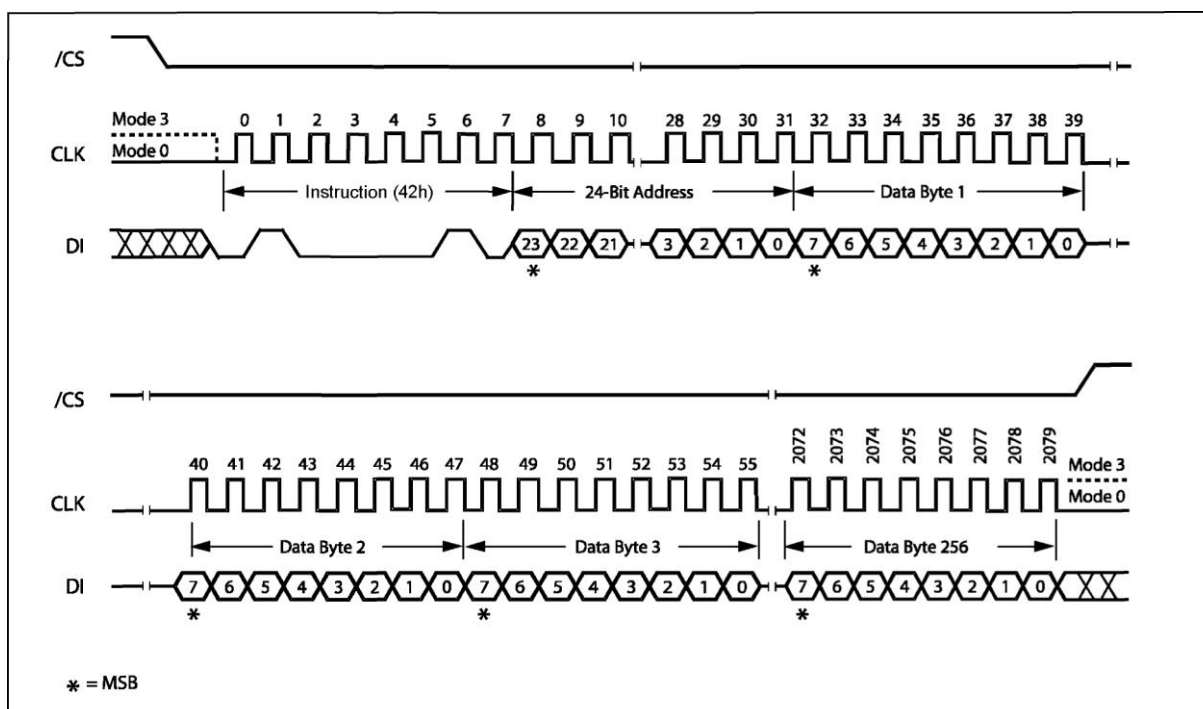


Рисунок 39 – Диаграмма инструкции Program Security Registers

7.2.31 Чтение регистров безопасности (Read Security Registers) (48h)

Инструкция Read Security Register аналогична инструкции Fast Read и позволяет последовательно читать один или несколько байтов данных из одного из трех регистров безопасности. Инструкция инициируется подачей на контакт /CS низкого уровня, а затем подачей кода инструкции "48h", за которым следует 24-битный адрес (A23-A0) и восемь "пустых" тактов на контакт DI. Биты кода и адреса передаются по нарастающему фронту контакта CLK. После получения адреса, на выход DO по спадающему фронту CLK будет передан байт данных, взятый из указанного адреса памяти, причем первым будет передан старший значащий бит (MSB). Адрес байта автоматически увеличивается до адреса следующего байта после передачи каждого байта данных. Как только адрес байта достигнет последнего байта регистра (байт FFh), он сбросится на 00h, первого байта регистра, и продолжит увеличиваться. Выполнение команды завершается подачей высокого уровня на /CS. Последовательность инструкции Read Security Register показана на рис. 40. Если инструкция Read Security Register передается во время выполнения цикла Erase, Program или Write (BUSY=1), инструкция игнорируется и не оказывает никакого влияния на текущий цикл. Инструкция Read Security Register позволяет использовать тактовые частоты от значения 0 до максимума F_r .

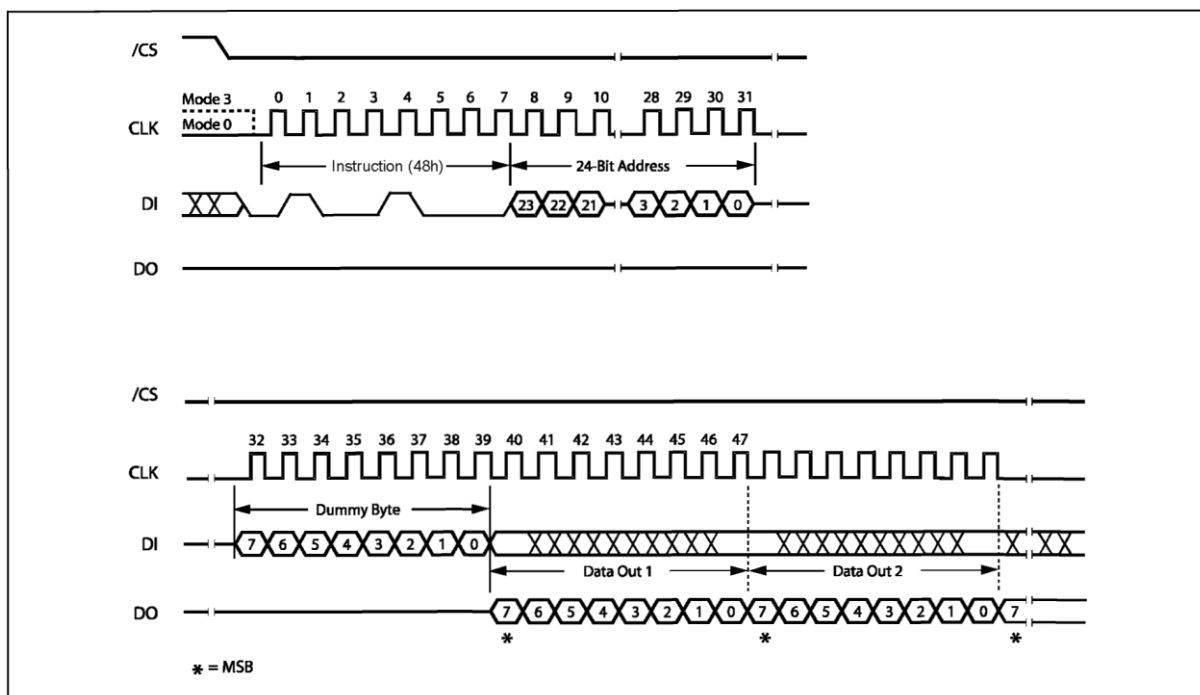


Рисунок 40 – Диаграмма инструкции Read Security Register

7.2.32 Блокировка отдельных блоков/секторов (Individual Block/Sector Lock) (36h)

Инструкция блокировки отдельных блоков/секторов Individual Block/Sector Lock обеспечивает альтернативный способ защиты массива памяти от непредвиденного стирания/программирования. Для использования блокировки отдельных блоков/секторов бит WPS в регистре состояния-3 Status Register-3 должен быть установлен на 1. Если WPS=0, защита от записи будет определяться комбинацией битов CMP, SEC, TB, BP[2:0] в регистрах состояния Status Register. Биты блокировки отдельных блоков/секторов являются энергозависимыми битами. Значения по умолчанию после включения питания устройства или после сброса равны 1, поэтому весь массив памяти защищен.

Для блокировки конкретного блока или сектора должна быть подана команда Individual Block/Sector Lock, для чего нужно подать низкий уровень /CS, передать код инструкции "36h" на контакт Data Input (DI) по нарастающему фронту CLK, затем 24-битный адрес, а затем подать высокий уровень /CS, как показано на рис. 41. Прежде чем устройство примет инструкцию блокировки отдельных блоков/секторов Individual Block/Sector Lock, должна быть выполнена инструкция Write Enable (бит регистра состояния Status Register WEL=1).

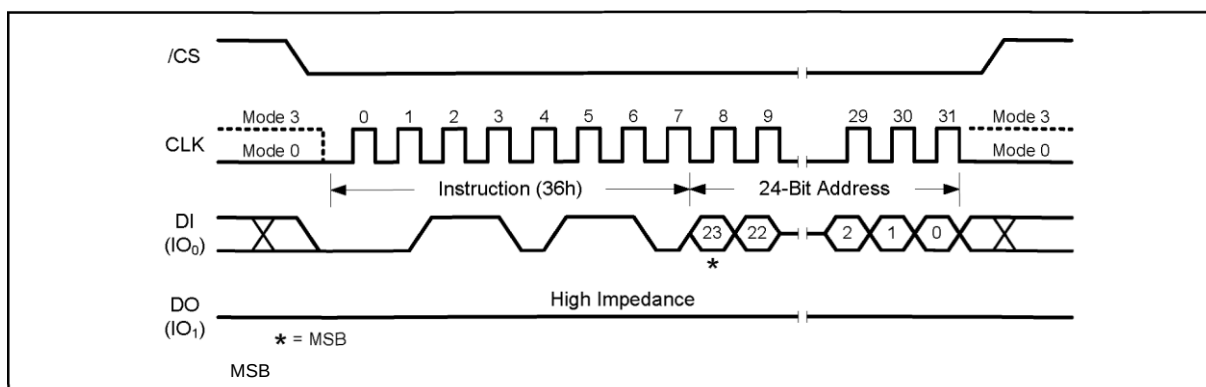


Рисунок 41 – Диаграмма инструкции Individual Block/Sector Lock

7.2.33 Разблокировка отдельных блоков/секторов Individual Block/Sector Unlock (39h)

Для разблокировки конкретного блока или сектора, как показано на рис. 42, должна быть подана команда Individual Block/Sector Unlock, для чего нужно подать низкий уровень на /CS, подать код инструкции "39h" на контакт Data Input (DI) по нарастающему фронту CLK, затем 24-битный адрес, а затем подать высокий уровень /CS. Прежде чем устройство примет инструкцию блокировки отдельных блоков/секторов Global Block/Sector Unlock, должна быть выполнена инструкция Write Enable (бит регистра состояния Status Register WEL=1).

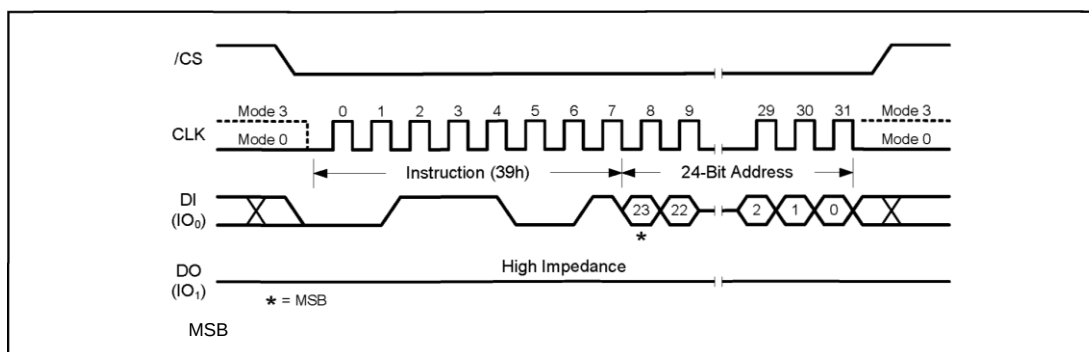


Рисунок 42 – Диаграмма инструкции Individual Block Unlock

7.2.34 Чтение битов блокировки блоков/секторов (Read Block/Sector Lock) (3Dh)

Для чтения значения бита блокировки определенного блока или сектора, как показано на рис. 43, необходимо подать команду Read Block/Sector Lock, подав низкий уровень /CS, подав код инструкции "3Dh" на вход данных (DI) по нарастающему фронту CLK, а затем 24-битный адрес. Значение бита Block/Sector Lock будет передано на контакт DO по спадающему фронту CLK, причем первым будет старший бит (MSB). Если младший значащий бит (LSB) равен 1, соответствующий блок/сектор заблокирован; если LSB=0, соответствующий блок/сектор разблокирован, можно выполнять операции стирания/программирования.

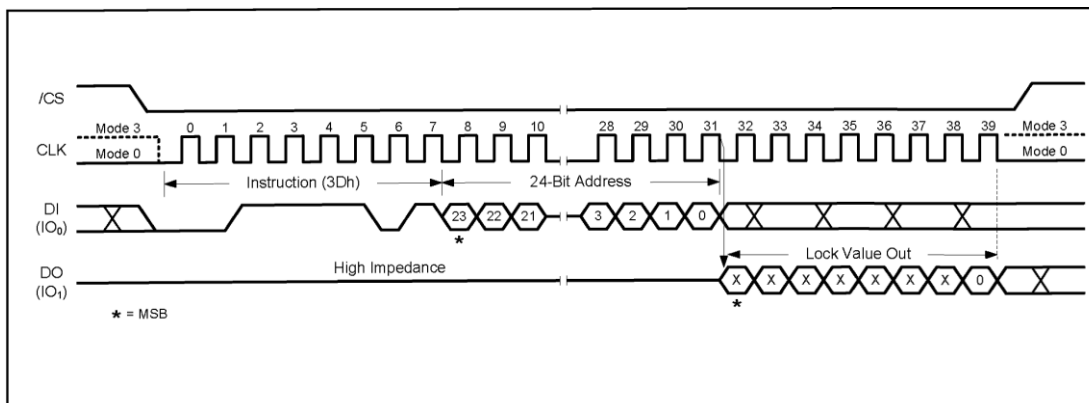


Рисунок 43 – Диаграмма инструкции Read Block/Sector Lock

7.2.35 Глобальная блокировка блоков/секторов (Global Block/Sector Lock) (7Eh)

Все биты блокировки блока/сектора Block/Sector Lock могут быть установлены на 1 с помощью глобальной инструкции Global Block/Sector Lock. Команда должна быть подана путем подачи низкого уровня /CS, подачи кода инструкции "7Eh" на вход данных (DI) по нарастающему фронту CLK, а затем подачи высокого уровня /CS, как показано на рис. 44. Прежде чем устройство примет инструкцию глобальной блокировки блоков/секторов Global Block/Sector Lock, должна быть выполнена инструкция Write Enable (бит регистра состояния Status Register WEL=1).

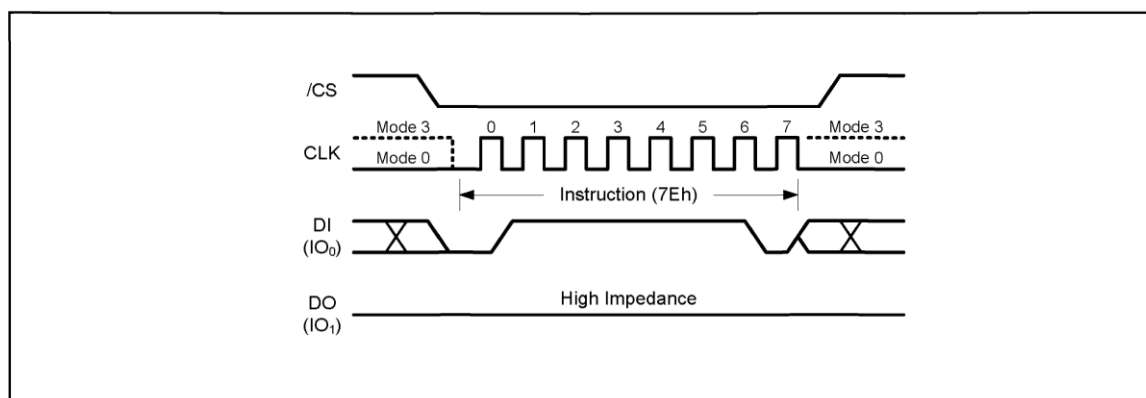


Рисунок 44 – Диаграмма инструкции Global Block Lock

7.2.36 Глобальная разблокировка блоков/секторов (Global Block/Sector Unlock) (98h)

Все биты блокировки блока/сектора Block/Sector Lock могут быть установлены на 0 с помощью глобальной инструкции Global Block/Sector Unlock. Команда должна быть подана путем подачи низкого уровня /CS, подачи кода команды "98h" на вход данных (DI) по нарастающему фронту CLK, а затем подачи высокого уровня /CS, как показано на рис. 45. Прежде чем устройство примет инструкцию глобальной блокировки блока/сектора Global Block/Sector Unlock, должна быть выполнена инструкция Write Enable (бит регистра состояния Status Register WEL=1).

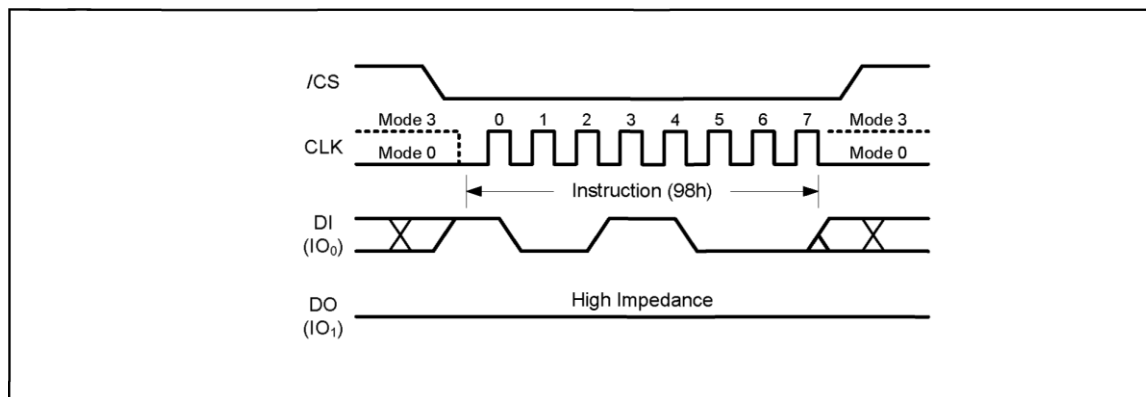


Рисунок 45 – Диаграмма инструкции Global Block Unlock

7.2.37 Включение сброса (Enable Reset) (66h) и сброс устройства (Reset Device) (99h)

Инструкции "Enable Reset (66h)" и "Reset (99h)" могут быть переданы в режиме SPI. Чтобы избежать случайного сброса, обе инструкции должны быть переданы последовательно. Любые другие команды, кроме "Reset (99h)", после команды "Enable Reset (66h)" отключат состояние "Reset Enable". Для сброса устройства необходима новая последовательность "Enable Reset (66h)" и "Reset (99h)". Как только команда сброса будет принята устройством, устройству потребуется приблизительно $t_{RST}=30$ мкс для сброса. В течение этого периода команды приниматься не будут.

Может произойти повреждение данных, если в момент приема устройством последовательности команд сброса Reset происходит текущая или приостановленная внутренняя операция стирания Erase или программирования Program. Перед подачей команды сброса рекомендуется проверить бит BUSY и бит SUS в регистре состояния.

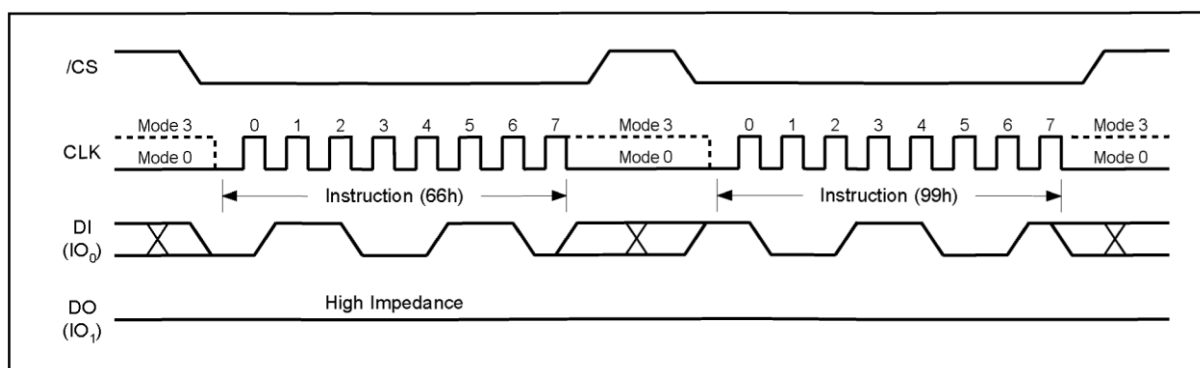


Рисунок 46 – Диаграмма инструкций Enable Reset и Reset

8 Электрические характеристики

8.1 Абсолютные предельные значения

Таблица 10 – Абсолютные предельные значения⁽¹⁾⁽²⁾

Параметр	Обозначение	Условия	Диапазон	Единица измерения
Напряжение питания	VCC		От -0,6 до - 4,6	В
Напряжение, подаваемое на любой контакт	V _{IO}	Относительно земли	от -0,6 до VCC+0,4	В
Переходное напряжение на любом контакте	V _{IOТ}	<20 нс, относительно земли	От -2,0 В до VCC+2,0 В	В
Температура хранения	T _{STG}		от -65 до +150	°C
Температура пайки	T _{LEAD}		См. примечание	°C
Напряжение электростатического разряда	V _{ESD} ⁽³⁾	Модель тела человека	от -2 000 до +2 000	В

Примечания:

- 1) Микросхема была разработана и испытана для указанных рабочих диапазонов. Правильная работа за пределами этих диапазонов не гарантируется. Воздействие абсолютных предельных значений может повлиять на надежность устройства. Воздействие сверх абсолютных предельных значений может привести к необратимым повреждениям.
- 2) JEDEC Std JESD22-A114A (C1=100пФ, R1=1500 Ом, R2=500 Ом).
- 3) Соответствует стандарту JEDEC J-STD-20C Sn-Pb или Pb-free (Green) и Директивы ЕС по ограничению использования опасных веществ (RoHS) 2002/95/EU.

8.2 Рабочие режимы эксплуатации

Таблица 11 – Рабочие режимы эксплуатации

Параметр	Обозначение	Условия	Диапазон		Единица измерения
			Мин.	Макс.	
Напряжение питания ⁽¹⁾	VCC	F _T = 50 МГц, f _R = 25 МГц, F _T = 104 МГц, f _R = 25 МГц	2,3 2,7	2,7 3,6	В
Температура окружающей среды, рабочая	T _A		-40	+85	°C

Примечание:

- 1) Напряжение VCC во время чтения может работать в минимальном и максимальном диапазоне, но не должно превышать его на ±10% от напряжения программирования (стирания/записи).

8.3 Включение и выключение питания

Таблица 12 – Тайминги на параметры изменения напряжения

Параметр	Обозначение	Технические характеристики		Единица измерения
		Мин.	Макс.	
От VCC (мин.) до /CS низкий уровень	t_{VSL}	10		мкс
Время задержки перед инструкцией записи Write	t_{PUW}	1	10	мс
Пороговое напряжение блокировки записи	V_{WI}	1.0	2,0	В

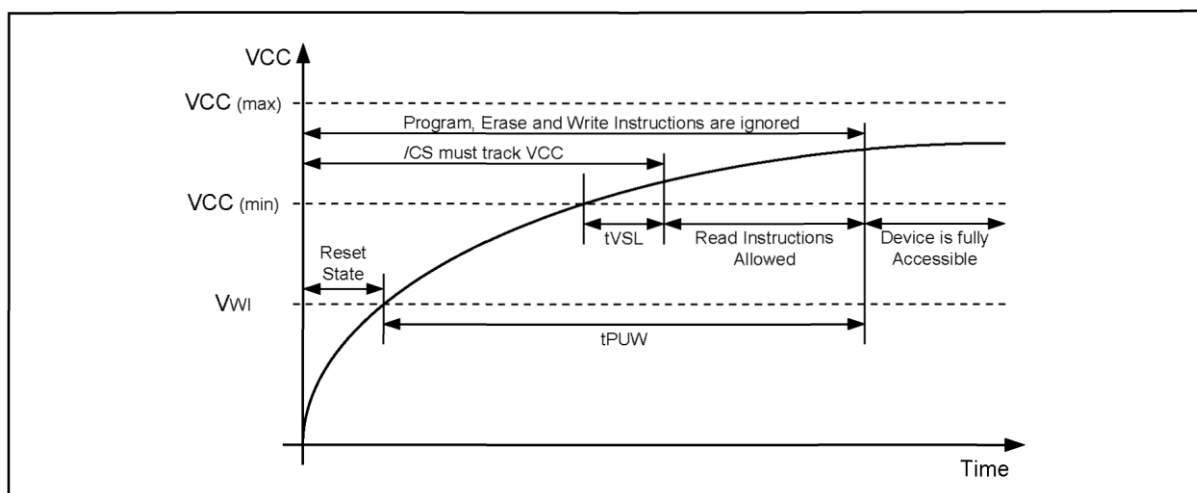


Рисунок 47 – Время включения питания, уровни напряжения

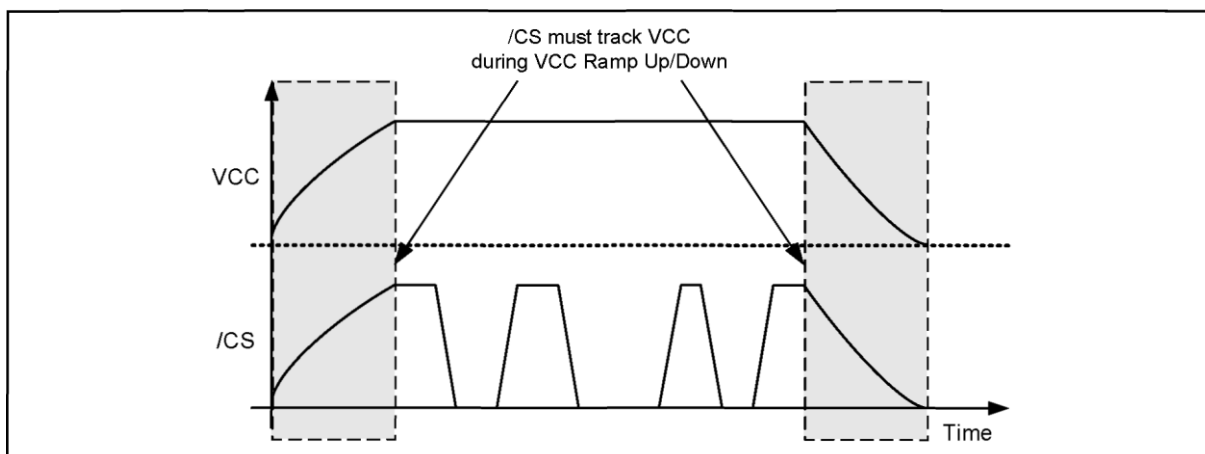


Рисунок 48 – Требования к включению и выключению питания

8.4 Электрические характеристики по постоянному току

Таблица 13 – Электрические характеристики по постоянному току⁽¹⁾

Параметр	Обозначение	Условия	Технические характеристики			Единица измерения
			Мин.	Тип.	Макс.	
Входная емкость	C_{IN}	$V_{IN} = 0V$			6	пФ
Выходная емкость	C_{out}	$V_{OUT} = 0V$			8	пФ
Ток утечки входов, мкА	I_{LI}				± 2	мкА
Ток утечки входов/выходов, мкА	I_{LO}				± 2	мкА
Ток ожидания	I_{cc1}	$/CS = VCC,$ $V_{IN} = GND$ или VCC		10	25	мкА
Ток выключения питания	I_{cc2}	$/CS = VCC,$ $V_{IN} = GND$ или VCC		1	5	мкА
Ток чтения/Dual /Quad 1 МГц	I_{cc3}	$C = 0,1 VCC / 0,9 VCC$ $DO = \text{открыто}$		2	10	мА
Ток чтения/Dual /Quad 33 МГц	I_{cc3}	$C = 0,1 VCC / 0,9 VCC$ $DO = \text{открыто}$		4	15	мА
Ток чтения/Dual /Quad 50 МГц	I_{cc3}	$C = 0,1 VCC / 0,9 VCC$ $DO = \text{открыто}$		6	18	мА
Ток чтения/чтения с двойным выходом/чтения с четверным выходом 104 МГц	$I_{cc3}^{(2)}$	$C = 0,1 VCC / 0,9 VCC$ $DO = \text{открыто}$		8	20	мА
Ток записи регистра состояния	I_{cc4}	$/CS = VCC$		20	25	мА
Ток программирования страницы	I_{cc5}	$/CS = VCC$		20	25	мА
Ток стирания сектора/блока	I_{cc6}	$/CS = VCC$		20	25	мА
Ток стирания микросхемы	I_{cc7}	$/CS = VCC$		20	25	мА
Входное низкое напряжение	V_{IL}				$VCC \times 0,3$	В
Входное высокое напряжение	V_{IH}		$VCC \times 0,7$		$VCC + 0,4$	В
Выходное низкое напряжение	V_{OL}	$I_{OL} = 100 \text{ мкА}$			0,2	В
Выходное высокое напряжение	V_{OH}	$I_{OH} = -100 \text{ мкА}$	$VCC - 0,2$			В

Примечания:

- 1) Испытано на образцах и уточнено по данным о конструкции и характеристиках.
 $T_A = 25^\circ\text{C}$, $V_{CC} = 2,5\text{ В}$.
- 2) Испытано на образцах и уточнено по данным о конструкции и характеристиках.
 $T_A = 25^\circ\text{C}$, $V_{CC} = 3\text{ В}$.

8.5 Условия работы в импульсном режиме

Таблица 14 – Условия работы в импульсном режиме

Параметр	Обозначение	Технические характеристики		Единица измерения
		Мин.	Макс.	
Емкость нагрузки	C_L		30	пФ
Время нарастания и спада входного сигнала	T_R, T_F		5	нс
Входные импульсные напряжения	V_{IN}	От 0,1 V_{CC} до 0,9 V_{CC}		В
Входные опорные напряжения	IN	От 0,3 V_{CC} до 0,7 V_{CC}		В
Выходные опорные напряжения	OUT	От 0,5 V_{CC} до 0,5 V_{CC}		В

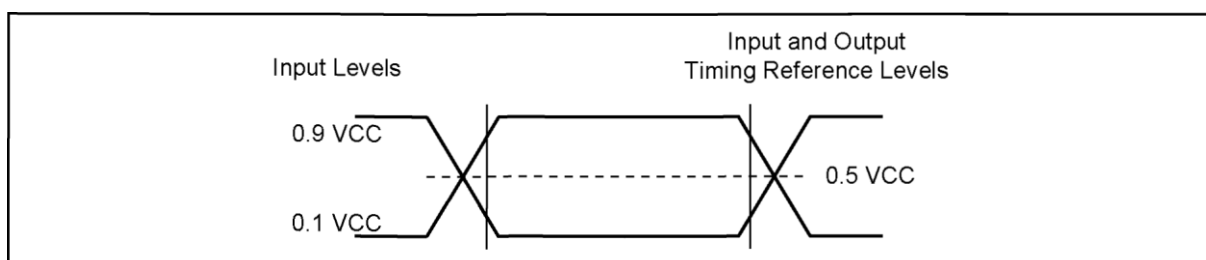


Рисунок 49 – Форма сигнала ввода-вывода

8.6 Электрические характеристики по переменному току

Таблица 15 –Электрические характеристики по переменному току микросхемы GSN2516Y

Наименование параметра, единица измерения	Буквенное обозначение параметра	Значение параметра			Примечание
		не менее	типовое	не более	
Тактовая частота, МГц	F _R	-	-	104	Для всех команд, кроме чтения, при VCC от 2,7 до 3,6 В.
		-	-	50	Для всех команд, кроме чтения, при VCC от 2,3 до 2,7 В.
	f _R	-	-	25	Для чтения
Длительность тактовых сигналов высокого и низкого уровней, нс [1]	t _{CLH} , t _{CLL}	4	-	-	Кроме чтения
	t _{CRLH} , t _{CRL}	13	-	-	Для чтения
Скорость нарастания тактового сигнала от пика до пика, В/нс [2]	t _{CLCH}	0,1	-	-	-
Скорость спада тактового сигнала от пика до пика, В/нс [2]	t _{CHCL}	0,1	-	-	-
Время установки /CS в активное состояние, нс [5]	t _{SLCH}	5	-	-	-
Время удержания /CS в активном состоянии, нс [5]	t _{CHSH}	3	-	-	-
Время установки /CS в неактивное состояние, нс [5]	t _{SHCH}	3	-	-	-
Время удержания /CS в неактивном состоянии, нс [5]	t _{CHSL}	5	-	-	-
Время установки входных данных, нс	t _{DVCH}	2	-	-	-
Время удержания входных данных, нс	t _{CHDX}	3	-	-	-
Длительность /CS в неактивном состоянии, нс	t _{SHSL1}	10	-	-	Для чтения
	t _{SHSL2}	50	-	-	Для стирания, программирования и записи
Время перехода выхода, нс [2]	t _{SHQZ}		-	7	В третье состояние

Время установления выхода, нс	t _{CLQV}		-	6	-
Время удержания выхода, нс	t _{CLQX}	1,5	-	-	-
Время установки /HOLD в активное состояние [5], нс	t _{HLCH}	5	-	-	-
Время удержания /HOLD в активном состоянии [5], нс	t _{CHHH}	5	-	-	-
Время установки /HOLD в неактивное состояние [5], нс	t _{HHCH}	5	-	-	-
Время удержания /HOLD в неактивном состоянии [5], нс	t _{CHHL}	5	-	-	-
Время перехода выходов относительно /HOLD [2], нс	t _{HHQX}	-	-	7	Из третьего состояния
	t _{HLQZ}	-	-	12	В третье состояние
Время установки /WP до установки низкого уровня /CS [3], нс	t _{WHSL}	20	-	-	-
Время удержания защиты от записи до установки высокого уровня /CS [3], нс	t _{SHWL}	100	-	-	-
Время перехода в режим Power-down, после установки высокого уровня /CS [2], мкс	t _{DP}	-	-	3	-
Время перехода в режим Standby, после установки /CS [2], мкс	t _{RES1}	-	-	3	Без чтения ID
	t _{RES2}	-	-	1,8	С чтением ID
Время установления высокого уровня /CS при переходе к следующей инструкции, после команды приостановки чтения/записи [2], мкс	t _{SUS}	-	-	20	-
Время записи регистра состояния, мс	t _W	-	10	15	-
Время программирования страницы, мс	t _{PP}	-	0,4	3	-
Время стирания, мс	t _{SE}	-	45	200/400 [4]	Сектора 4 Кбайта
	t _{BE1}	-	120	1 600	Блока 32 Кбайта
	t _{BE2}	-	150	2 000	Блока 64 Кбайта
Время стирания, с	t _{CE}	-	5	25	Изделия

Примечания:

- 1 Длительность тактовых сигналов (высокого и низкого уровней) должна быть не более $1/F_R$
- 2 Значение подтверждается технологией изготовления Изделия.
- 3 Применяется только в качестве ограничения для регистра записи, когда сектор Protect Bit установлен в 1.
- 4 При количестве циклов менее 50 000 – максимальное значение t_{SE} равно 200 мс, при количестве циклов от 50 000 и до 100 000 – максимальное значение t_{SE} равно 400 мс.
- 5 Относительно тактового сигнала

8.7 Тайминг Serial Output

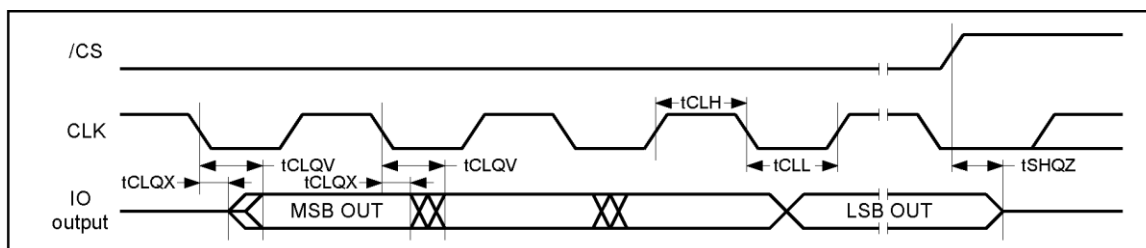


Рисунок 50 – Тайминг Serial Output

8.8 Тайминг Serial Input

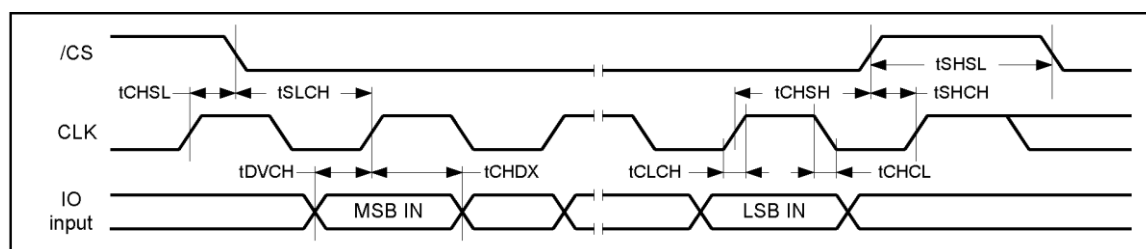


Рисунок 51 – Тайминг Serial Input

8.9 Тайминг /HOLD

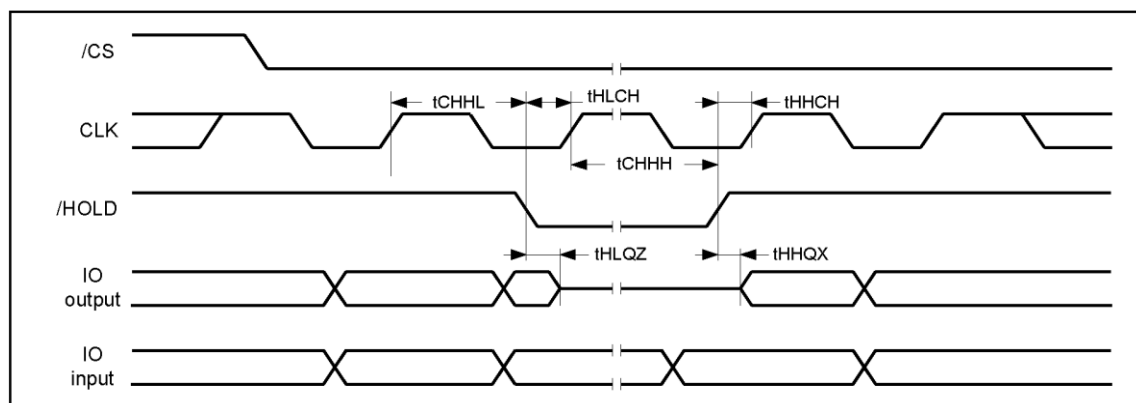


Рисунок 52 – Тайминг /HOLD

8.10 Тайминг /WP

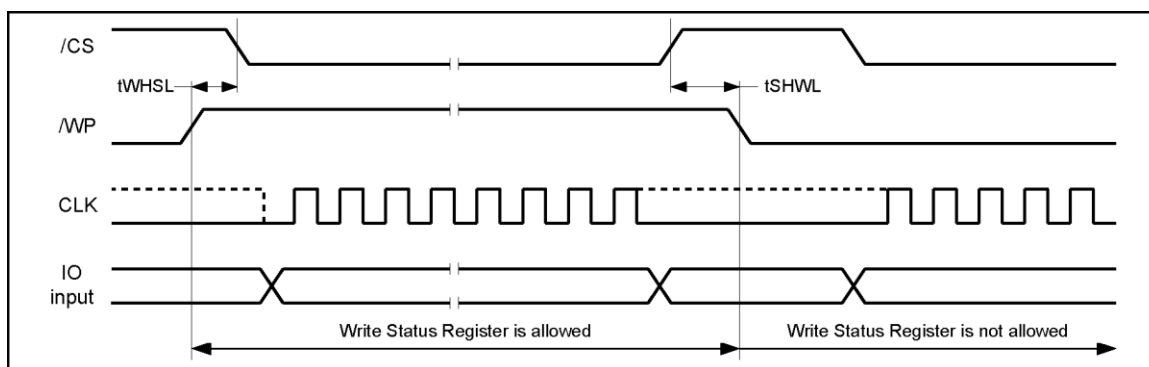


Рисунок 53 – Тайминг /WP

9 Указания по применению и монтажу

9.1 Общие положения

Проверку микросхем на входном контроле осуществлять по методам функционального контроля, приведенным в РДВП.431214.011ТУ.

При необходимости осуществлять входной контроль при произвольной последовательности информационных и адресных сигналов, новые тесты функционального контроля согласовываются с заводом–изготовителем и представителем заказчика.

Устанавливать и извлекать микросхемы из контактирующих устройств, а также производить замену, необходимо только после снятия напряжения со всех выводов контактирующего устройства.

Электрические параметры микросхемы в течение наработки до отказа при её эксплуатации в режимах и условиях, устанавливаемых в РДВП.431214.011ТУ, в пределах времени, равного сроку службы $T_{сл}$, должны соответствовать нормам при приемке и поставке.

Микросхема устойчива к воздействию статического электричества с потенциалом не менее 2 000 В.

Микросхема в упаковке изготовителя перевозится транспортными средствами любого вида по правилам перевозки грузов, действующих на соответствующем виде транспорта:

- при воздействии климатических факторов, соответствующих категории 1.2 ГОСТ 15150-69 для морского транспорта и категории 5 ГОСТ 15150-69 для всех остальных видов крытых транспортных средств;

Хранение микросхемы – по ГОСТ 18725.

9.2 Указания по монтажу

Устанавливать и извлекать микросхемы из контактирующих устройств, а также производить замену, необходимо только после снятия напряжения со всех выводов контактирующего устройства.

Распайку микросхемы на плату проводить методом группового оплавления безвыводных контактных площадок микросхемы на паяльной пасте. Допускается ручная пайка контактных площадок по периметру микросхемы.

Способ установки микросхем на платы и их демонтажа должен обеспечивать отсутствие передачи усилий, деформирующих корпус.

Для монтажа микросхемы рекомендуется использовать безотмывочную паяльную пасту или припой ПОС63 (или аналоги). Рекомендуемый температурный профиль групповой пайки приведён на рисунке 9 ГОСТ Р 56427-2015.

В случае необходимости использовать для пайки бессвинцовый припой рекомендуется применять пасту или припой SAC305 (Sn 96,5% + Ag 3,0 % + Cu 0,5 %). Температурный профиль групповой пайки данной пастой приведён на рисунке 10 ГОСТ Р 56427-2015 или на рисунке 4 ГОСТ Р 55492-2013/IEC/PAS 62137-3:2008.

Для нанесения паяльной пасты рекомендуется использовать трафарет из нержавеющей стали толщиной 0,125 мм для шага контактных площадок 0,4 или 0,5 мм.

Температурные профили пайки могут подбираться пользователями самостоятельно, исходя из особенностей сборки модулей, в которых данная микросхема применяется.

Порядок подачи на микросхему напряжения питания и входных сигналов: Общая точка, U_{cc} , входные напряжения.

При измерении и эксплуатации микросхем должны быть приняты меры, исключающие возможность накопления электростатических зарядов на выводах контроллера в соответствии с ОСТ 11 073.062.

9.3 Корпус микросхемы

На рисунке 54 представлены общий вид и габаритные размеры микросхемы GSN2516Y. Микросхема монолитна. При данной конструкции испытания по проверке герметичности и наличии паров воды внутри микросхемы не требуются.

Микросхемы поставляются в безвыводном металлополимерном корпусе LGA41. Параметры корпуса:

- количество выводных контактных площадок – 41 (10 КП на каждую сторону и одна по центру);
- шаг выводных контактных площадок – 0,5 мм;
- ширина одной КП – $(0,25 \pm 0,05)$ мм;
- масса микросхемы – не более 2 г.

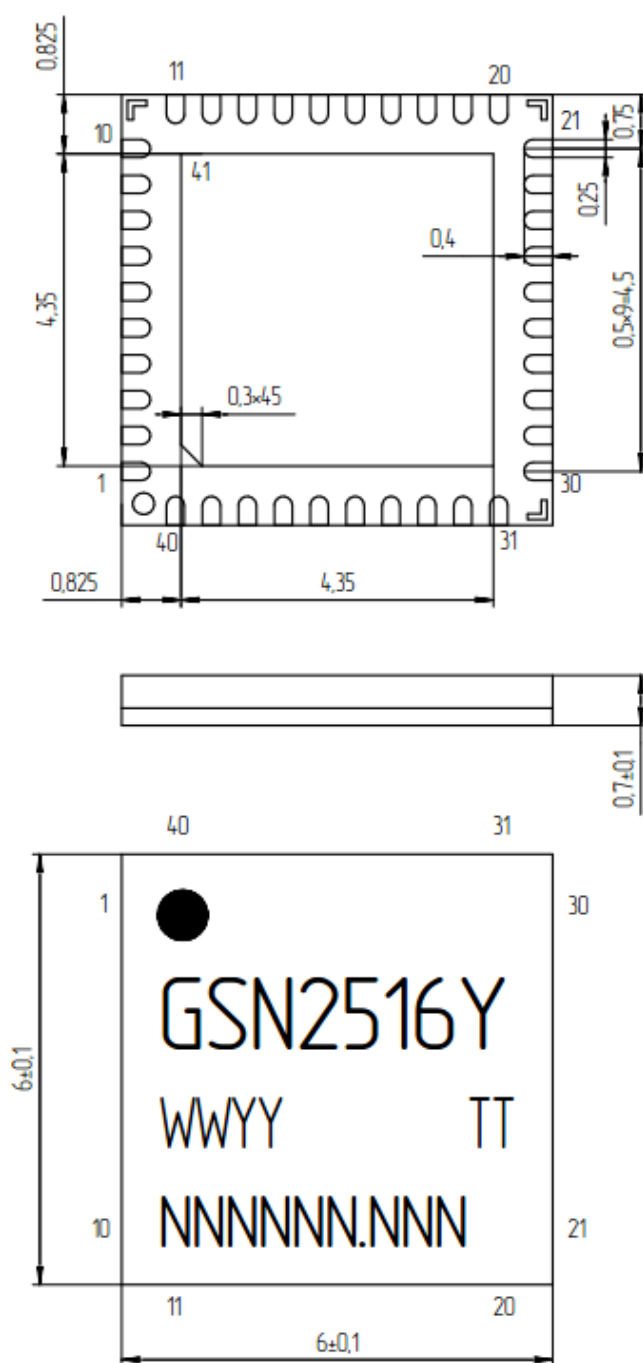


Рисунок 54 – Общий вид и габаритные размеры микросхемы

10 Применение в режимах и условиях, не предусмотренных в ТУ

Если в процессе разработки РЭА к микросхемам предъявляются требования применения в режимах и условиях, отличных от установленных в ТУ на микросхемы, потребитель проводит испытания и тщательное исследование работы микросхем в таких режимах и условиях.

11 Требования по безопасности

При применении микросхем соблюдать требования безопасности, установленные «Правилами техники безопасности и производственной санитарии в электронной промышленности», ГОСТ 12.2.007.0, ГОСТ 12.3.002, а также требования безопасности, установленные при работе с устройствами вычислительной техники и другой радиоэлектронной аппаратуры.