CMS69F23D/25D
用户手册

电磁炉专用 MCU
V1.0

请注意以下有关CMS知识产权政策

＊ 中微半导体公司已申请了专利，享有绝对的合法权益。与中微半导体公司MCU或其他产品有关的专利权并未被同意授权使用，任何经由不当手段侵害中微半导体公司专利权的公司、组织或个人，中微半导体公司将采取一切可能的法律行动，遏止侵权者不当的侵权行为，并追讨中微半导体公司因侵权行为所受的损失、或侵权者所得的不法利益。

＊ 中微的名称和标识都是中微半导体公司的注册商标。

＊ 中微半导体公司保留对规格书中产品在可靠性、功能和设计方面的改进作进一步说明的权利。然而中微半导体公司对于规格内容的使用不负责任。文中提到的应用其目的仅仅是用来做说明，中微半导体公司不保证和不表示这些应用没有更深入的修改就能适用，也不推荐它的产品使用在会由于故障或其它原因可能会对人身造成危害的地方。中微半导体公司产品不授权适用于救生、维生器件或系统中作为关键器件。中微半导体公司拥有不事先通知而修改产品的权利，对于最新的信息，请参考我们的网站http://www.mcu.com.cn

目录

1. 产品概述 8

1.1 功能特性 8
1.2 系统结构框图 9
1.3 管脚分布 10
1.4 管脚描述 11
1.5 系统配置寄存器 12
1.6 在线串行编程 13

2. 中央处理器(CPU) 14

2.1 内存 14
2.1.1 程序内存 14
2.1.2 数据存储器 19
2.2 寻址方式 21
2.2.1 直接寻址 21
2.2.2 立即寻址 21
2.2.3 间接寻址 21
2.3 堆栈 22
2.4 工作寄存器（ACC） 23
2.4.1 概述 23
2.4.2 ACC应用 23
2.5 程序状态寄存器(FLAGS) 24
2.6 预分频器（OPTION） 25
2.7 程序计数器（PC） 26
2.8 看门狗计数器(WDT) 27
2.8.1 WDT周期 27

3. 系统时钟 28

3.1 概述 28
3.2 系统振荡器 29
3.3 起振时间 29

4. 复位 30

4.1 上电复位 30
4.2 掉电复位 31
4.2.1 掉电复位概述 31
4.2.2 掉电复位的改进办法 32
4.3 看门狗复位 33
4.4 P0 口下降沿唤醒休眠态 CPU复位 33

5. 系统工作模式 34

5.1 休眠模式 34
5.1.1 休眠模式应用举例 34
5.1.2 休眠模式的唤醒 35
5.1.3 休眠模式唤醒时间 35

6. I/O端口 36

6.1 I/O 口模式及上、下拉电阻 38
6.1.1 P0 口 38
6.1.2 P1 口 40
6.1.3 P2 口 42
6.1.4 写I/O口 43
6.1.5 读I/O口 43
6.2 I/O口使用注意事项 44

7. 中断 44

7.1 中断概述 45
7.2 中断控制寄存器 46
7.3 中断请求寄存器 47
7.4 总中断使能控制寄存器 48
7.5 中断现场的保护方法 49
7.6 外部中断 50
7.6.1 外部中断控制寄存器 50
7.6.2 外部中断 0 51
7.6.3 外部中断 1 52
7.6.4 外部中断的响应时间 53
7.6.5 外部中断的应用注意事项 53
7.7 内部定时中断 54
7.7.1 TMR0 中断 54
7.7.2 TMR1 中断 55
7.7.3 TMR2 中断 56
7.7.4 ADC中断 57
7.8 中断的优先级，及多中断嵌套 59

8. 定时计数器TMR0 61

8.1 定时计数器TMR0 概述 61
8.2 与 TMR0 相关寄存器 63
8.3 使用外部时钟作为 TMR0 的时钟源 64
8.4 TMR0 做定时器的应用 65
8.4.1 TMR0 的基本时间常数 65
8.4.2 TMR0 操作流程 65

9. 定时计数器TMR1 66
9.1 TMR1 概述 66
9.2 TMR1 相关寄存器 67
9.3 TMR1 的时间参数 68
9.3.1 TMR1 基本时间参数 68
9.4 TMR1 的应用 68
9.4.1 TMR1 作定时器使用 68
9.4.2 TMR1 作计数器使用 69
10. 定时计数器 TMR2 70
10.1 TMR2 概述 70
10.2 TMR2 相关的寄存器 72
10.3 TMR2 的时间常数 73
10.3.1 TMR2 基本时间参数 73
10.3.2 T2DATA初值计算方法： 73
10.4 TMR2 应用 74
11. 模数转换（ADC） 75
11.1 ADC概述 75
11.2 与 ADC 相关寄存器 77
11.3 ADC 应用 79
11.3.1 用查询模式做 AD 转换流程 79
11.3.2 AD 中断模式流程 80
12. 8 位PWM 82
12.1 8 位PWM概述 82
12.2 与 8 位 PWM 相关寄存器 83
12.3 8 位PWM的周期 84
12.3.1 8 位PWM调制周期 84
12.3.2 8 位 PWM 输出周期 84
12.4 8 位 PWM 占空比算法 85
12.4.1 6+2 模式PWM占空比 85
12.4.2 7+1 模式PWM占空比 86
12.5 8 位 PWM 应用 86
13. 10 位PWM 87
13.1 10 位 PWM 概述 87
13.2 与 10 位PWM相关寄存器 88
13.3 10 位PWM调制周期 89
13.3.1 10 位PWM调制周期 89
13.3.2 10 位PWM输出周期 89
13.4 10 位PWM占空比算法 89
13.5 10 位 PWM 应用 90

14. 蜂鸣器输出（BUZZER） 91
14.1 BUZZER 概述 91
14.2 与BUZZER相关的寄存器 92
14.3 BUZZER输出频率 92
14.3.1 BUZZER输出频率计算方法 92
14.3.2 BUZZER输出频率表 92
14.4 BUZZER应用 92
15. 可编程脉冲发生器PPG 93
15.1 PPG工作原理 93
15.2 与PPG相关的引脚 94
15.3 PPG工作模式 95
15.3.1 单次输出模式 95
15.3.2 同步输出模式 96
15.3.3 定时输出模式 96
15.4 比较器 97
15.4.1 同步比较器COMP1 97
15.4.2 导通过压比较器 COMP2 98
15.4.3 过压比较器COMP3 跟浪涌比较器COMP4 99
15.4.4 比较器调零 103
15.5 PPG在电磁炉上应用举例 106
15.5.1 电磁炉检锅程序处理 106
15.5.2 电磁炉故障处理 107
16. 运算放大器 108
16.1 运算放大器简介 108
16.2 跟运放相关寄存器 109
16.3 运放失调电压 111
17. 电气参数 112
17.1 DC特性 112
17.2 AC特性 112
17.3 内部RC振荡特性 113
17.3.1 内部RC振荡电压特性 113
17.3.2 内部RC振荡温度特性 113
18. 指令 114
18.1 指令一览表 114
18.2 指令说明 116
19. 封装 130
19.1 DIP16 130
19.2 SOP16 131
19.3 DIP18 132

19.4 SOP18 133

20. 版本修订说明 134

CMS69F23D/25D 和 CMS69F23C/25C 的区别

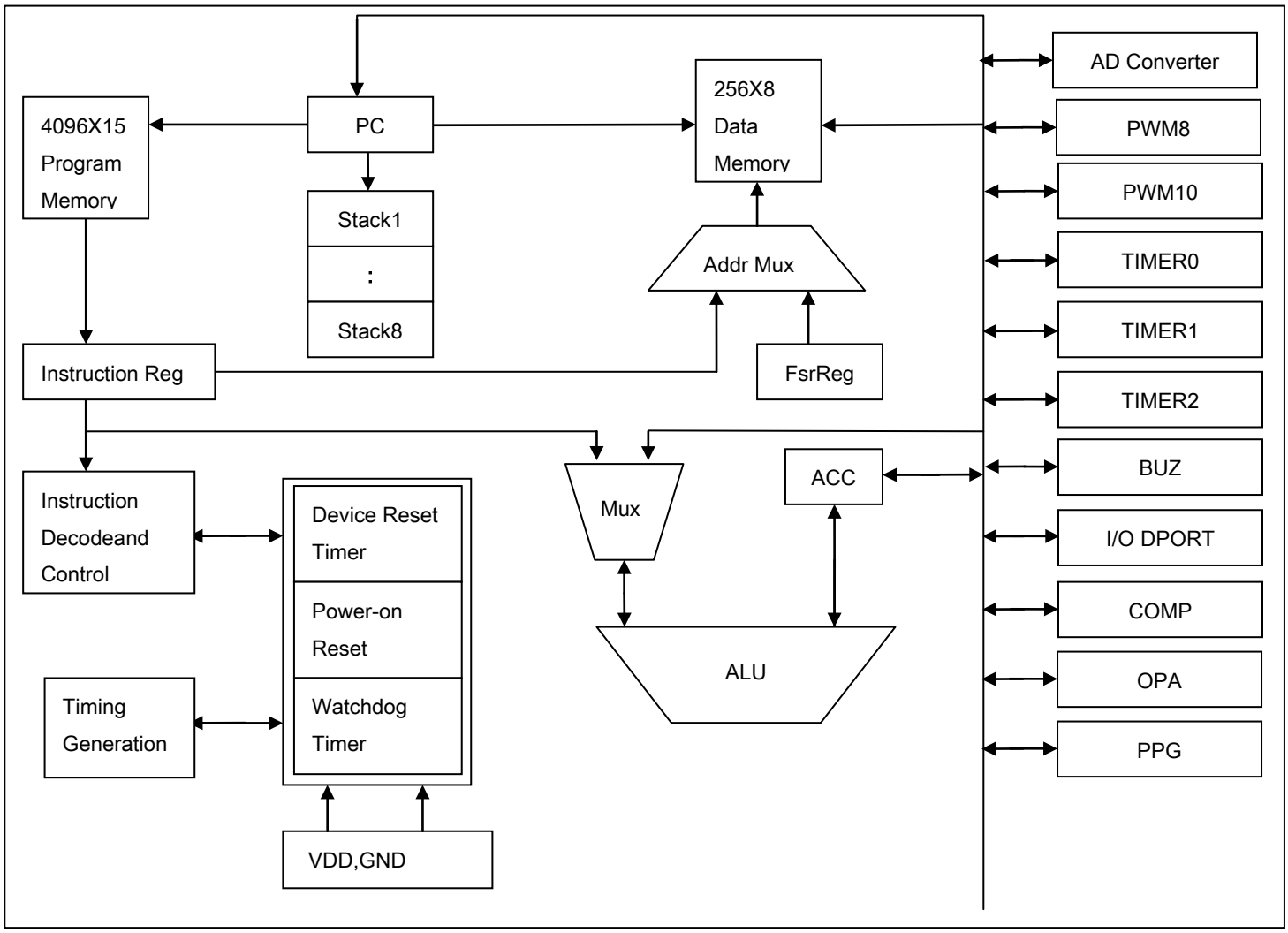
P2.2 口由烧写复位口改为普通 IO 口，默认为输入、开漏输出口。通过 CONFIG 选择，可配置为输入、上拉输入、开漏输出、推挽输出口。

1. 产品概述

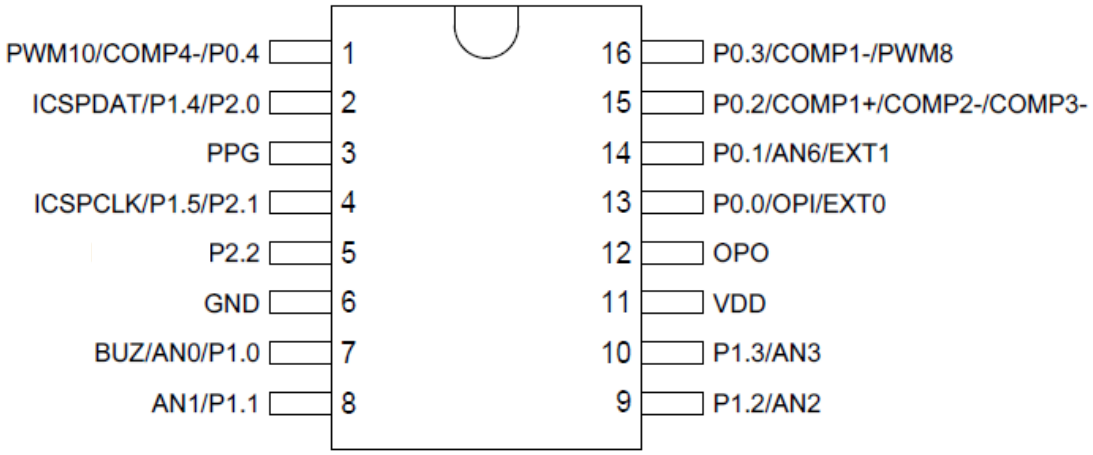
1.1 功能特性

- 内存
  FLASH：4K×15Bit
  RAM：256（48 专用 RAM+208 通用 RAM）
- 8 级堆栈缓存器
- 简洁实用的指令系统(68 条指令)
- 3个8位定时器 TMR0、TMR1、TMR2
- 内置低压侦测电路
  内部复位电压： 1.6V/2.6V
- 中断源 8 个
  内部中断源：
  TMR0、TMR1、TMR2、ADC
  外部中断源:
  EXT0、EXT1、COMP1、PPG
- 7路10位模数转换（ADC）
- 内部可调零的运放电路
- 内置RC振荡电路设计频率：8M
- 2个PWM输出口
  8位PWM
  10位PWM
- 工作电压范围：2.5V—5.5V
  工作温度范围：-20℃—85℃
- 专用蜂鸣器输出口（频率可变）
- 查表功能
- 指令周期（单指令或双指令）
- 内置 WDT 定时器
- 内置 LCD/LED 驱动模块
- I/O口配置
  P0：具有唤醒功能、上拉电阻选项。
  P2：具有上、下拉电阻选项
- 两种工作模式
  正常模式、睡眠模式
- 4 路内置比较器
- 可编程脉冲发生器（PPG）
- 多种封装形式可供选择
  DIP16、SOP16
  DIP18、SOP18

1.2 系统结构框图

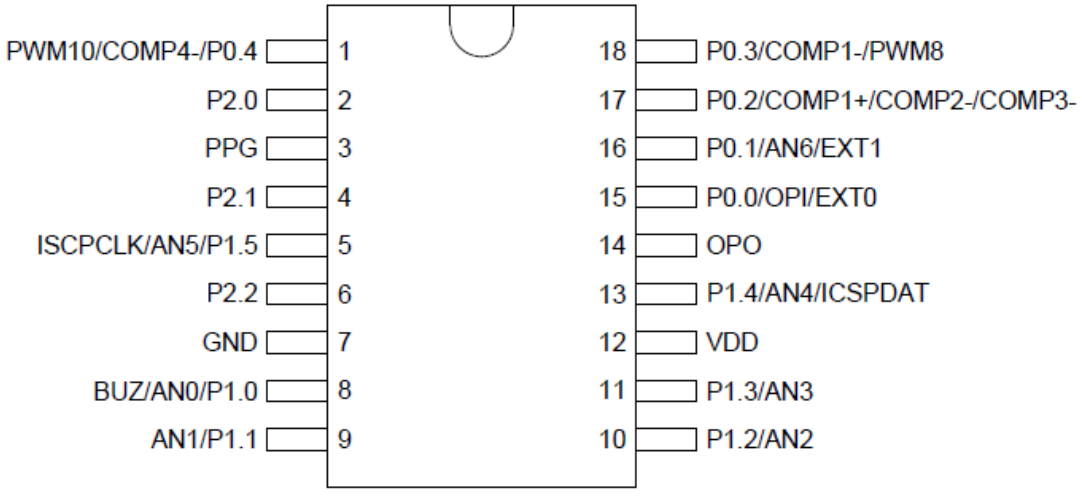

4096X15
Program
Memory
PC
Stack1
:
Stack8
256X8
Data
Memory
Addr Mux
FsrReg
Instruction Reg
Instruction
Decodeand
Control
Timing
Generation
Device Reset
Timer
Power-on
Reset
Watchdog
Timer
VDD,GND
Mux
ACC
ALU
AD Converter
PWM8
PWM10
TIMER0
TIMER1
TIMER2
BUZ
I/O DPORT
COMP
OPA
PPG

1.3 管脚分布



CMS69F23D

注： CMS69F23D 的管脚中，第 2 脚由 P2.0 和 P1.4 封装在一起，第 4 脚由 P2.1 和 P1.5 封装在一起，建议在使用时，把 P1.4 和 P1.5 设置成输入态（P1CH 设置成“00001111”），以避免冲突。



CMS69F25D

1.4 管脚描述

管脚名称	IO 类型	管脚说明	共享引脚
P0.0-P0.4	I/O	可编程为：输入口，带上拉电阻输入口，推挽输出口	EXT0,EXT1 PWM8,PWM10 COMP1-,COMP1+,COMP2- COMP3-,COMP4-
P1.0-P1.5	I/O	可编程为：输入口，带上拉电阻输入口，推挽输出口，也可作为 ADC 输入口。	AN0-AN5 BUZ
P2.0,P2.1	I/O	输入口，上/下拉电阻输入口，推挽输出口.	--
P2.2	I/O	输入口，上拉电阻输入口，推挽输出口，开漏输出口	--
VDD，GND	P	电源电压输入脚，接地脚	--
AN0-AN6	I	A/D 转换的模拟输入口	P1.0-P1.5,P0,1
PWM8	O	8 位 PWM 输出	P0.3
PWM10	O	10 位 PWM 输出	P0.4
EXT0，EXT1	I	外部中断输入口	P0.0,P0.1
COMP1-,COMP1+	I	比较器 1 输入	P0.2,P0.3
COMP2-	I	比较器 2 负端输入	P0.2
COMP3-	I	比较器 3 负端输入	P0.2
COMP4-	I	比较器 4 负端输入	P0.4
OPI	I	运放负端输入	P0.0
OPO	O	运放输出	--
PPG	O	可编程脉冲输出	--
ICSPDAT	I/O	编程数据输入输出	P1.4
ICSPCLK	I	编程时钟输入	P1.5

1.5 系统配置寄存器

系统配置寄存器（CONFIG）是 MCU 初始条件的 FLASH 选项。它只能被 CMS 烧写器烧写，用户不能访问及操作。它包含了以下内容：

1、WDT (看门狗选择)

- ENABLE 打开看门口定时器
- DISABLE 关闭看门狗定时器

2、PROTECT(加密)

- DISABLE FLASH 代码不加密
- ENABLE FLASH 代码加密，加密后读出来的值将不确定

3、RESET TIME (起振时间)

- 18ms
- 9ms
- 2.2ms
- 560μs

4、LVR (低压侦测电路)

- ENABLE 打开低压侦测电路，选择内部复位
- DISABLE 关闭低压侦测电路，无外部复位

5、LVR _SEL(低压侦测电压选择)

- 2.6V
- 1.6V

6、INTRC_SEL (内部频率选择)

- 8M
- 4M
- 2M
- 1M

7、C4SEL (浪涌比较器关闭 PPG 的有效信号)

- ACTIVE_L 低有效
- ACTIVE_H 高有效

8、PPG_EN (PPG 功能选择)

- ENABLE 使能 PPG 功能，此时 P0.2-P0.4 口作为比较器输入端
- DISABLE 禁止 PPG 功能，此时 P0.2-P0.4 作为普通 I/O 口，由 P0CH 跟 P0CL 寄存器设置功能

9、OPA_EN (运放功能选择)

- ENABLE 使能运放功能，此时 P0.0 口作为运放输入端
- DISABLE 禁止运放功能，此时 P0.0 口作为普通 I/O 口，由 P0CL 寄存器设置功能。

10、P2T_SEL (P2.2 脚功能选择)

- Open Drain Output 浮空输入和开漏输出
- Normal 浮空输入、上拉输入、推挽输出和开漏输出

注：LVR_SEL 电压为设计电压，实际芯片的复位电压可能会有所浮动。

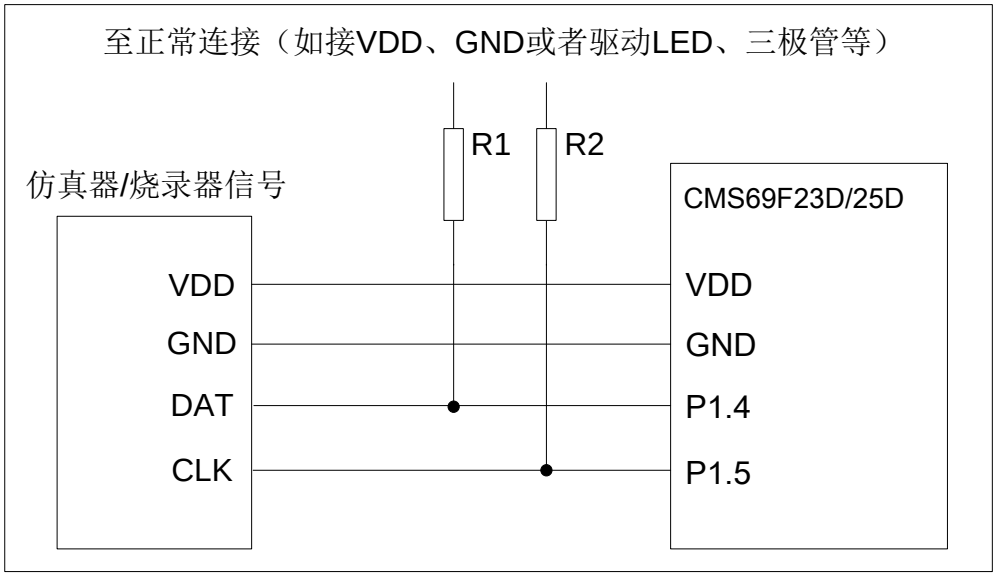
1.6在线串行编程

可在最终应用电路中对 CMS69F23D/25D 单片机进行串行编程。编程可以简单地通过以下 5 根线完成：

- 电源线
- 接地线
- 编程电压线
- 数据线
- 时钟线

这使用户可使用未编程的器件制造电路板，而仅在产品交付前才对单片机进行编程。从而可以将最新版本的固件或者定制固件烧写到单片机中。

图 **1-1**： 典型的在线串行编程连接方法

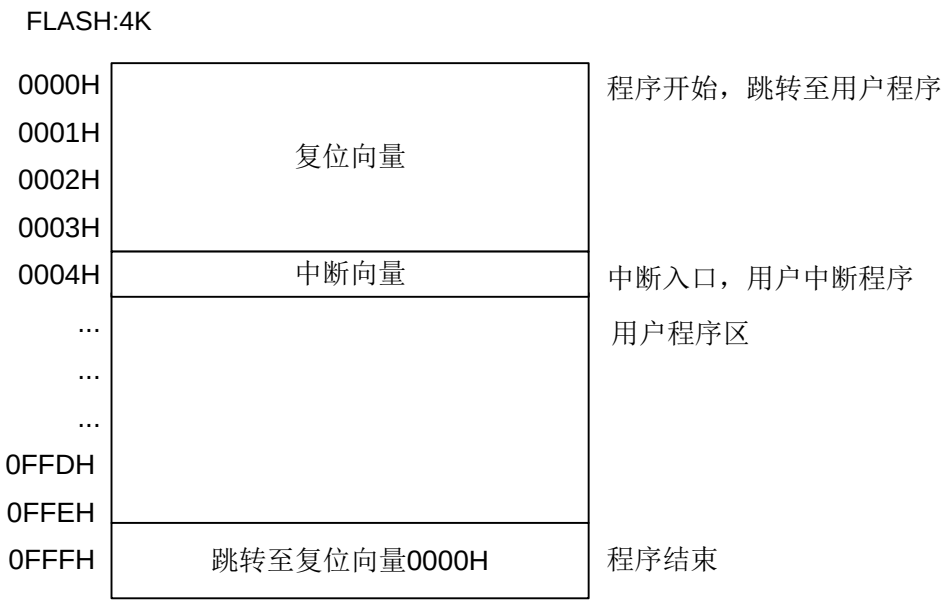


上图中，R1、R2 为电气隔离器件，常以电阻代替，其阻值如下： R1≥4.7K，R2≥4.7K。

2. 中央处理器(CPU)

2.1 内存

2.1.1 程序内存



2.1.1.1 复位向量(0000H)

单片机具有一个字长的系统复位向量（0000H）。具有以下 4 种复位方式：

- 上电复位
- 看门狗复位
- 外部复位
- 低压复位（LVR）

发生上述任一种复位后，程序将从 0000H 处重新开始执行，系统寄存器也都将恢复为默认值。根据 FLAGS 寄存器中的 PF 和 TF 标志位的内容可以判断系统复位方式。下面一段程序演示了如何定义 FLASH 中的复位向量。

例：定义复位向量

```
        ORG     0000H       ;系统复位向量
        JP      START
        ORG     0002H       ;用户程序起始
START:
        …                   ;用户程序
        …
        END                 ;程序结束
```

2.1.1.2 中断向量

中断向量地址为 0001H。一旦有中断响应，程序计数器 PC 的当前值就会存入堆栈缓存器并跳转到 0001H 开始执行中断服务程序。所有中断都会进入 0001H 这个中断向量，具体执行哪个中断将由用户根据中断请求标志位寄存器的位决定。下面的示例程序说明了如何编写中断服务程序。

例：定义中断向量，中断程序放在用户程序之后

```
                ORG         0000H           ;系统复位向量
                JP          START
                ORG         0001H           ;用户程序起始
INT_START:
                CALL        PUSH            ;保存 ACC 跟 FLAGS
                …                           ;用户中断程序
                …
INT_BACK:
                CALL        POP             ;返回 ACC 跟 FLAGS
                RETI                        ;中断返回
START:
                …                           ;用户程序
                …
                END                         ;程序结束
```

注：由于单片机并未提供专门的出栈、压栈指令，故用户需自己保护中断现场。

例：中断入口保护现场

```
PUSH:
        LD          ACC_BAK,A       ;保存 ACC 至自定义寄存器 ACC_BAK
        SWAPA       FLAGS           ;状态寄存器 FLAGS 高低半字节互换
        LD          FLAGS_BAK,A     ;保存至自定义寄存器 FLAGS_BAK
```

例：中断出口恢复现场

```
POP:
        SWAPA       FLAGS_BAK       ;将保存至 FLAGS_BAK 的数据高低半字节互换给 A
        LD          FLAGS,A         ;将 A 的值给状态寄存器 FLAGS
        SWAPR       ACC_BAK         ;将保存至 ACC_BAK 的数据高低半字节互换
        SWAPA       ACC_BAK         ;将保存至 ACC_BAK 的数据高低半字节互换给 ACC
```

2.1.1.3 查表

CMS69F23D/25D 芯片具有查表功能，FLASH 空间的任何地址都可做为查表使用。

相关指令：

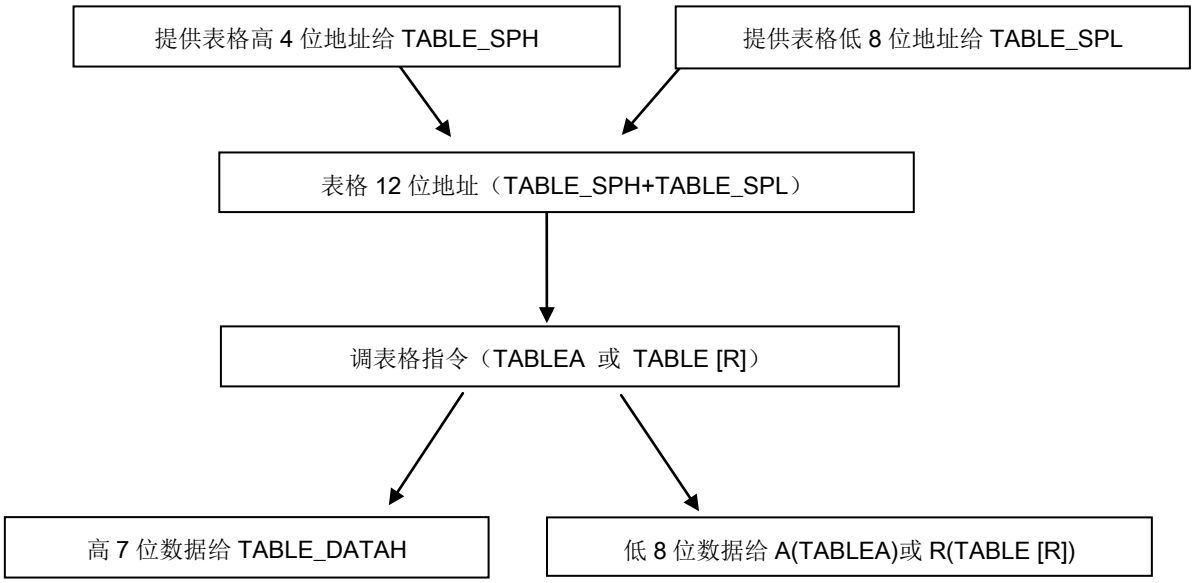
- TABLE [R] 把表格内容的低字节送给寄存器 R，高字节送到寄存器 TABLE_DATAH (24H)。
- TABLEA 把表格内容的低字节送给累加器 A，高字节送到寄存器 TABLE_DATAH (24H)。

相关寄存器：

- TABLE_SPH(22H) 可擦写寄存器，用来指明表格高 4 位地址。
- TABLE_SPL(23H) 可擦写寄存器，用来指明表格低 8 位地址。
- TABLE_DATAH(24H) 只读寄存器，存放表格高字节内容。

注：在查表之前要先把表格地址写入 TABLE_SPH 和 TABLE_SPL 中。如果主程序和中断服务程序都用到查表指令，主程序中的 TABLE_SPH 的值可能会因为中断中执行的查表指令而发生变化，产生错误。也就是说要避免在主程序和中断服务程序中都使用查表指令。但如果必须这样做的话，我们可以在查表指令前先将中断禁止，在查表结束后再开放中断，以避免发生错误。

图 2-2 ：表格调用的流程图：



下面例子给出了如何在程序中调用表格。

```
...                                 ;上接用户程序
LDIA        02H                     ;表格低位地址
LD          TABLE_SPL,A
LDIA        06H                     ;表格高位地址
LD          TABLE_SPH,A
TABLE       R01                     ;表格指令，将表格低 8 位(56H)给自定义寄存器 R01
LD          A,TABLE_DATAH           ;将查表结果的高 8 位(34H)给累加器 A
LD          R02,A                   ;将 ACC 值(34H)给自定义寄存器 R02
...                                 ;用户程序

ORG         0600H                   ;表格起始地址
DW          1234H                   ;0600H 地址表格内容
DW          2345H                   ;0601H 地址表格内容
DW          3456H                   ;0602H 地址表格内容
DW          0000H                   ;0603H 地址表格内容
```

2.1.1.4 跳转表

跳转表能够实现多地址跳转功能。由于 PCL 和 ACC 的值相加即可得到新的 PCL，因此，可以通过对 PCL 加上不同的 ACC 值来实现多地址跳转。ACC 值若为 n，PCL+ACC 即表示当前地址加 n，执行完当前指令后 PCL 值还会自加 1，可参考以下范例。如果 PCL＋ACC 后发生溢出，PC 不会自动进位，故编写程序时应注意。这样，用户就可以通过修改 ACC 的值轻松实现多地址的跳转。

例：正确的多地址跳转程序示例

```
FLASH 地址
  0110H:    ADDR    PCL     ;ACC+PCL
  0111H:    JP      LOOP1   ;ACC=0，跳转至 LOOP1
  0112H:    JP      LOOP2   ;ACC=1，跳转至 LOOP2
  0113H:    JP      LOOP3   ;ACC=2，跳转至 LOOP3
  0114H:    JP      LOOP4   ;ACC=3，跳转至 LOOP4
  0115H:    JP      LOOP5   ;ACC=4，跳转至 LOOP5
  0116H:    JP      LOOP6   ;ACC=5，跳转至 LOOP6
```

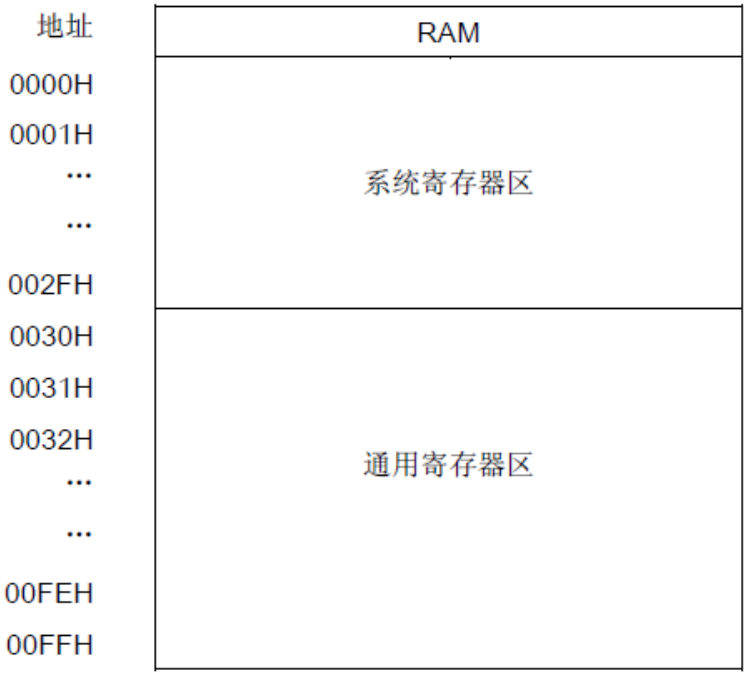
例：错误的多地址跳转程序示例

```
FLASH 地址
  00FCH:    ADDR    PCL     ;ACC+PCL
  00FDH:    JP      LOOP1   ;ACC=0，跳转至 LOOP1
  00FEH:    JP      LOOP2   ;ACC=1，跳转至 LOOP2
  00FFH:    JP      LOOP3   ;ACC=2，跳转至 LOOP3
  0100H:    JP      LOOP4   ;ACC=3，跳转至 0000H 地址
  0101H:    JP      LOOP5   ;ACC=4，跳转至 0001H 地址
  0102H:    JP      LOOP6   ;ACC=5，跳转至 0002H 地址
```

注：由于 PCL 溢出不会自动向高位进位，故在利用 PCL 作多地址跳转时，一定要注意该段程序一定不能放在 FLASH 空间的分页处。

2.1.2 数据存储器

RAM：256 字节



数据存储器由 256×8 位组成，分为两个功能区间：特殊功能寄存器（48×8）和通用数据存储器（208×8）。数据存储器单元大多数是可读/写的，但有些只读的。特殊功能寄存器地址为从 00H 到 2FH，通用数据寄存器地址为 30H 到 FFH。

2.1.2.1 通用数据存储器

RAM 的 030H～0FFH 地址属于用户可自由定义的通用寄存器区，在此区域的寄存器上电为随机值。当系统上电工作后，若发生意外复位（非上电复位），此区域寄存器保持原来值不变。

2.1.2.2 系统专用数据存储器

系统专用数据存储器表：

地址	名称	说明
00H	IAR	间接寻址寄存器
01H	TMR0	内部定时/计数器
02H	PCL	程序指针 PC 低 8 位
03H	FLAGS	系统状态标志寄存器
04H	MP	间接寻址指针
05H	P0	P0 IO 口数据寄存器
06H	P1	P1 IO 口数据寄存器
07H	P2	P2 IO 口数据寄存器
08H	OPAC	运放控制寄存器
09H	P0CL	P0 IO 口功能控制寄存器
0AH	P0CH	P0 IO 口功能控制寄存器
0BH	P1CL	P1 IO 口功能控制寄存器
0CH	P1CH	P1 IO 口功能控制寄存器
0DH	P2C	P2 IO 口功能控制寄存器
0EH	COMP_RES1	比较器正端电压选择寄存器 1
0FH	COMP_RES2	比较器正端电压选择寄存器 2
10H	SYS_GEN	中断总使能及 ADC 使能
11H	INT_EN	中断控制寄存器使能位
12H	INT_FLAG	中断控制寄存器标志位
13H	INT_EXT	外部中断边沿触发设置寄存器
14H	ADDATAH	AD 结果存放寄存器高 8 位（只读）
15H	ADCON	AD 控制寄存器
16H	TMR1	定时计数器 1
17H	TMR1C	定时计数器 1 控制寄存器
18H	T2CNT	TMR2 计数器（只读）
19H	T2CON	TMR2 控制寄存器
1AH	T2DATA	TMR2 资料寄存器
1BH	ADDATAL	AD 结果存放寄存器低 4 位（只读）
1CH	PWM8DATA	8 位 PWM 数据寄存器
1DH	PWM8CON	8 位 PWM 控制寄存器及 CLO 输出控制
1EH	PWM10CON	10 位 PWM 控制寄存器
1FH	PWM10DATA	10 位 PWM 数据寄存器
20H	GY_LY	比较器 3 和比较器 4 设置寄存器
21H	BUZCON	蜂鸣器控制寄存器
22H	TABLE_SPH	查表高 3 位地址
23H	TABLE_SPL	查表低 8 位地址
24H	TABLE_DATAH	查表高 6 位结果
25H	PPG_CON	PPG 控制寄存器
26H	PPG_FLAG	PPG 标志寄存器
27H	PPG_TMRL8	PPG 时钟低 8 位寄存器
28H	SYN_COUNTER	比较器 1 翻转计数
29H	C1PSEL	比较器 1 正端控制寄存器
2AH	COMP1C	比较器 1 控制寄存器
2BH	COMP2C	比较器 2 控制寄存器
2CH	COMP3C	比较器 3 控制寄存器
2DH	COMP4C	比较器 4 控制寄存器
2EH	RPCON	比较器 2 控制寄存器
2FH	COMP_OUT	比较器输出结果寄存器

2.2 寻址方式

2.2.1 直接寻址

通过工作寄存器（ACC）来对 RAM 进行操作。

例：ACC 的值送给 30H 寄存器

```
LD      30H,A
```

例：30H 寄存器的值送给 ACC

```
LD      A,30H
```

2.2.2 立即寻址

把立即数传给工作寄存器（ACC）

例：立即数 12H 送给 ACC

```
LDIA    12H
```

2.2.3 间接寻址

数据存储器能被直接或间接寻址。通过 IAR 寄存器可间接寻址，IAR 不是物理寄存器。当对 IAR 进行存取时，它会根据 MP 寄存器内的值作为地址，并指向该地址的寄存器，因此在设置了 MP 寄存器后，就可把 IAR 寄存器当作目的寄存器来存取。间接读取 IAR（MP=0）将产生 00H。间接写入 IAR 寄存器，将导致一个空操作。以下例子说明了程序中间接寻址的用法。

例：MP 及 IAR 的应用

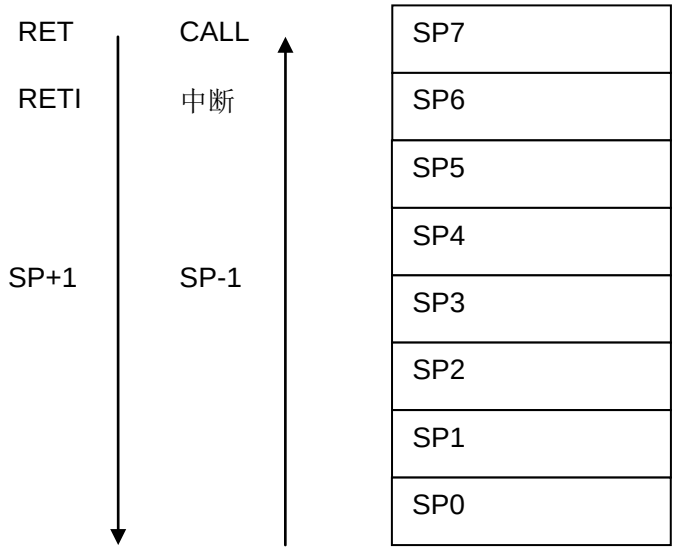
```
        LDIA    30H
        LD      MP,A            ;间接寻址指针指向 30H
        CLR     IAR             ;清零 IAR 实际是清零 MP 指向的 30H 地址 RAM
```

例：间接寻址清 RAM(20H-7FH)举例：

```
        LDIA    2FH
        LD      MP,A            ;间接寻址指针指向 1FH
LOOP:
        INCR    MP              ;地址加 1，初始地址为 30H
        CLR     IAR             ;清零 MP 所指向的地址
        LDIA    7FH
        SUBA    MP
        SNZB    FLAGS,C         ;一直清零至 MP 地址为 7FH
        JP      LOOP
```

2.3 堆栈

CMS69F23D/25D 的堆栈缓存器共 8 层，堆栈缓存器既不是数据存储器的一部分，也不是程序内存的一部分，且既不能被读出，也不能被写入。对它的操作通过堆栈指针（SP）来实现，堆栈指针（SP）也不能读出或写入，当系统复位后堆栈指针会指向堆栈顶部。当发生子程序调用及中断时的程序计数器（PC）值被压入堆栈缓存器，当从中断或子程序返回时将数值返回给程序计数器（PC）,下图说明其工作原理。



堆栈缓存器的使用将遵循一个原则“先进后出”。

注：堆栈缓存器只有 8 层，如果堆栈已满，并且发生不可屏蔽的中断，那么只有中断标志位会被记录下来，而中断响应则会被抑制，直到堆栈指针发生递减，中断才会被响应，这个功能可以防止中断使堆栈溢出，同样如果堆栈已满，并且发生子程序调用，那么堆栈将会发生溢出，首先进入堆栈的内容将会丢失，只有最后 8 个返回地址被保留，故用户在写程序时应注意此点，以免发生程序走飞。

2.4 工作寄存器（ACC）

2.4.1 概述

ALU 是 8Bit 宽的算术逻辑单元，MCU 所有的数学、逻辑运算均通过它来完成。它可以对数据进行加、减、移位及逻辑运算；ALU 也控制状态位（FLAGS 状态寄存器中），用来表示运算结果的状态。

A 寄存器是一个 8-Bit 的寄存器，ALU 的运算结果可以存放在此，它并不属于数据存储器的一部分而是位于 CPU 中供 ALU 在运算中使用，因此不能被寻址，只能通过所提供的指令来使用。

2.4.2 ACC 应用

例：用 ACC 做数据传送

```
LD      A,R01       ;将寄存器 R01 的值赋给 ACC
LD      R02,A       ;将 ACC 的值赋给寄存器 R02
```

例：用 ACC 做立即寻址目标操作数

```
LDIA    30H         ;给 ACC 赋值 30H
ANDIA   30H         ;将当前 ACC 的值跟立即数 30H 进行“与”操作，
                    ;结果放入 ACC
XORIA   30H         ;将当前 ACC 的值跟立即数 30H 进行“异或”操作，
                    ;结果放入 ACC
```

例：用 ACC 做双操作数指令的第一操作数

```
HSUBA   R01         ;ACC-R01，结果放入 ACC
HSUBR   R01         ;ACC-R01，结果放入 R01
```

例：用 ACC 做双操作数指令的第二操作数

```
SUBA    R01         ;R01-ACC，结果放入 ACC
SUBR    R01         ; R01-ACC，结果放入 R01
```

2.5 程序状态寄存器(FLAGS)

寄存器 FLAGS 中包含 ALU 运算状态信息、系统复位状态信息、RAM 分页选择。其中，位 TF 和 PF 显 示系统复位状态信息，包括上电复位、外部复位和看门狗复位等；位 RP 显示 RAM 的分页选择；位 C、HC 和 Z 显示 ALU 的运算信息。

03H	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
FLAGS	TF	PF	----	----	OV	Z	HC	C
读写	R	R	----	----	R/W	R/W	R/W	R/W
复位值	X	X	----	----	X	X	X	X

Bit 7 **TF**：WDT溢出标志
1 = 上电或是执行了CLRWDT指令或SLEEP指令
0 = 发生了WDT超时

Bit 6 **PF**：低功耗标志
1 = 上电或执行了CLRWDT指令
0 = 执行了STOP指令

Bit 4-Bit5 **未用**

Bit 3 OV： 数学运算溢出标志位
1 =运算结果高两位进位状态异或结果为1
0 =运算结果高两位进位状态异或结果为0

Bit 2 **Z**： 结果为零位
1 = 算术或逻辑运算的结果为零
0 = 算术或逻辑运算的结果不为零

Bit 1 **DC**： 半进位/ 借位位
1 = 发生了结果的第4低位向高位进位
0 = 结果的第4低位没有向高位进位

Bit 0 **C**： 进位/ 借位位
1 = 结果的最高位发生了进位
0 = 结果的最高位没有发生进位

FLAGS 寄存器中除了 TF 和 PF 位，其它的都可以用指令设置或者清零。例如指令：“CLR FLAGS”的结果是 FLAGS=“UU000100”，“U”指未改变，而不是想象中的全零。也就是说执行指令后，PF 和 TF 的值保持不变，而 Z 标志位因清零而置一，所以若需要改变 FLAGS 的值 ，建议使用“SETB”、“CLRB”、“LD R,A” 这几条指令，因为这几条指令不会影响状态标志位。

TF 和 PF 标志位可反映出芯片复位的原因，下面列出影响 TF、PF 的事件及各种复位后 TF、PF 的状态。

事件	TO	PD
电源上电	1	1
WDT 溢出	0	X
STOP 指令	1	0
CLRWDT 指令	1	1
休眠	1	0

影响 TF、PF 的事件表

TO	PD	复位原因
0	0	WDT 溢出唤醒休眠 MCU
0	1	WDT 溢出非休眠态
1	0	按键或外部复位唤醒休眠 MCU
1	1	电源上电
X	X	外部低电平复位

复位后 TF、PF 的状态

2.6 预分频器（OPTION）

预分频器（OPTION）寄存器是 6BIT，只可写的寄存器，它包含各种用于配置 TMR0/WDT 预分频器和 TMR0 的控制位。通过执行 OPTION 指令可将累加寄存器的内容传送到预分频。

	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
OPTION	----	----	T0SE	PSA	PSA	PS2	PS1	PS0
读写			W	W	W	W	W	W
复位值	X	X	1	1	1	1	1	1

Bit 7 未用

Bit 6 未用

Bit 5 **T0CS：** TIMER0 时钟源选择位
1 =外部时钟（RTCC口输入波形）
0 = 内部时钟

Bit 4 **T0SE：** RTCC信号触发源选择位
1 = 下降沿触发
0 = 上升沿触发

Bit 3 **PSA：**预分频器分配位
1 = 预分频器分配给 WDT
0 = 预分频器分配给 TIMER0 模块

Bit2-0 **PS2～PS0：**预分配参数配置位

PS2-PS1-PS0	TIMER0 分频比	WDT 分频比
000	1：2	1：1
001	1：4	1：2
010	1：8	1：4
011	1：16	1：8
100	1：32	1：16
101	1：64	1：32
110	1：128	1：64
111	1：256	1：128

预分频寄存器实际上是一个 8 位的计数器，用于监视寄存器 WDT 时，是作为一个后分频器；用于定时器/计数器时，作为一个预分频器，通常统称作预分频器。在片内只有一个物理的分频器，只能用于 WDT/TIMER0 两者之一，不能同时使用。也就是说，若用于 TIMER0，WDT 就不能使用预分频器，反之亦然。

当用于 WDT 时，CLRWDT 指令将同时对预分频器和 WDT 定时器清零。

当用于 TIMER0 时，有关写入 TIMER0 的所有指令（如：CLR TMR0,SETB TMR0,1 等）都会对预分频器清零。

由 TIMER0 还是 WDT 使用预分频器，完全由软件控制。他可以动态改变。为了避免出现不该有的芯片复位，当从 TIMER0 换为 WDT 使用时，应该执行以下指令。

```
CLR     TMR0          ;TMR0 清零
CLRWDT                ;WDT 清零
LDIA    B'00xx1111'   ;必要步骤，必须执行
OPTION                ;必要步骤，必须执行
LDIA    B'00xx1xxx'   ;设置新的预分频器
OPTION
```

将预分频器从分配给 WDT 切换为分配给 TIMER0 模块，应该执行以下指令

```
CLRWDT                ;WDT 清零
LDIA    B'00xx0xxx'   ;设置新的预分频器
OPTION
```

2.7 程序计数器（PC）

程序计数器(PC)控制程序内存 FLASH 中的指令执行顺序，它可以寻址整个 FLASH 的范围，取得指令码后，程序计数器(PC)会自动加一，指向下一个指令码的地址。但如果执行跳转、条件跳转、向 PCL 赋值、子程序调用、初始化复位、中断、中断返回、子程序返回等操作时，PC 会加载与指令相关的地址而不是下一条指令的地址。

当遇到条件跳转指令且符合跳转条件时，当前指令执行过程中读取的下一条指令将会被丢弃，且会插入一个空指令操作周期，随后才能取得正确的指令。反之，就会顺序执行下一条指令。

程序计数器(PC)是 12-Bit 宽度，低 8 位通过 PCL（02H）寄存器用户可以访问，高 4 位用户不能访问。可容纳 4Kx14 位程序地址。对 PCL 赋值将会产生一个短跳转动作，跳转范围为当前页的 256 个地址。

> 注：由于程序员不能操作 PC 的高位，所以当程序员在利用 PCL 作短跳转时应注意当前 PC 的位置，以免发 生错误的程序跳转。

下面给出几种特殊情况的 PC 值

复位时	PC=0000；
中断时	PC=0001(原来的 PC+1 会被自动压入堆栈)；
CALL 时	PC=程序指定地址(原来的 PC+1 会被自动压入堆栈)；
RET、RETI、RET i 时	PC=堆栈出来的值；
操作 PCL 时	PC[11：8]不变，PC[7:0]=用户指定的值；
JP 时	PC=程序指定的值；
其它指令	PC=PC+1；

2.8 看门狗计数器(WDT)

看门狗定时器（Watch Dog Timer）是一个片内自振式的 RC 振荡定时器，无需任何外围组件，即使芯片的主时钟停止工作，WDT 也能保持计时。WDT 计时溢出将产生复位。。在 CMS69F23D/25D 系列芯片中集成了 CONFIG 选项，可将其置“0”来使 WDT 不起作用，详见 1.5 章 CONFIG 烧写的选择。

2.8.1 WDT 周期

WDT 有一个基本的溢出周期 18ms(无预分频器)，假如你需要更长时间的 WDT 周期，可以把预分频器分 配给 WDT，最大分频比为 1：128，此时 WDT 的周期约为 2.3s。WDT 的溢出周期将受到环境温度，电源电压等参数影响。

“CLRWDT”和“STOP”指令将清除 WDT 定时器以及预分频器里的计数值（当预分频器分配给 WDT 时）。WDT 一般用来防止系统失控，或者可以说是用来防止单片机程序失控。在正常情况下，WDT 应该在其溢出前被“CLRWDT”指令清零，以防止产生复位。如果程序由于某种干扰而失控，那么不能在 WDT 溢出前执行“CLRWDT”指令，就会使 WDT 溢出而产生复位。使系统重启而不至于失去控制。若是 WDT 溢出产生的复位，则状态寄存器（FLAGS）的“TF”位会被清零，用户可根据此位来判断复位是否是 WDT 溢出所造成的。

注：

1. 若使用 WDT 功能，一定要在程序的某些地方放置“CLRWDT”指令，以保证在 WDT 溢出前能被清零。否者会使芯片不停的复位，造成系统无法正常工作。
2. 不能在中断程序中对 WDT 进行清零，否则无法侦测到主程序“跑飞”的情况。
3. 程序中应在主程序中有一次清 WDT 的操作，尽量不要在多个分支中清零 WDT，这种架构能最大限度发挥看门狗计数器的保护功能。
4. 看门狗计数器不同芯片的溢出时间有一定差异，所以设置清 WDT 时间时，应与 WDT 的溢出时间有较大的冗余，以避免出现不必要的 WDT 复位。

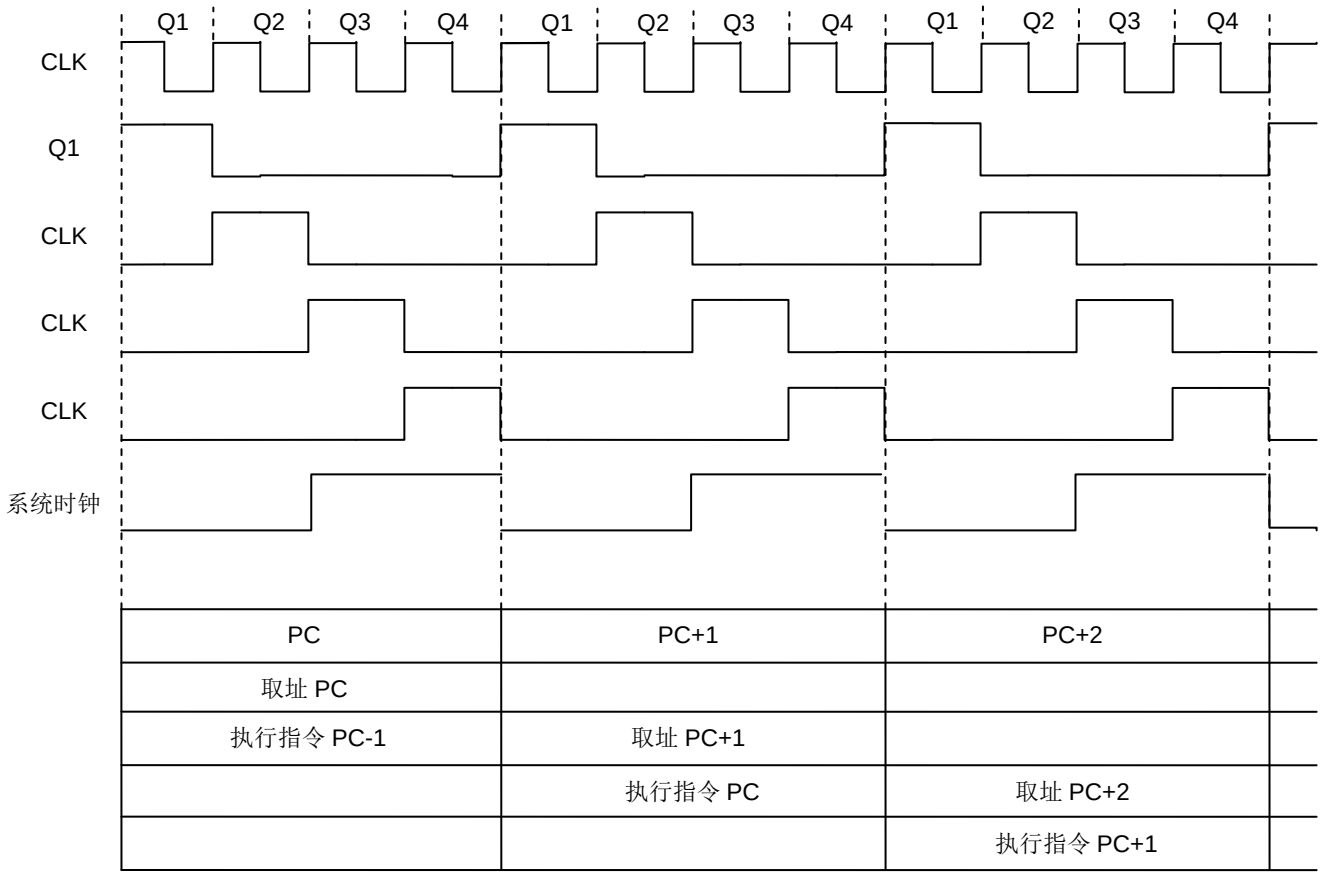
3. 系统时钟

3.1 概述

时钟信号从 OSC1 引脚输入后（或者由内部振荡产生），在片内产生 4 个非重迭正交时钟信号，分别称作 Q1、Q2、Q3、Q4。在 IC 内部每个 Q1 使程序计数器（PC）增量加一，Q4 从程序存储单元中取出该指令， 并将其锁存在指令寄存器中。在下一个 Q1 到 Q4 之间对取出的指令进行译码和执行，也就是说 4 个时钟周期 才会执行一条指令。下图表示时钟与指令周期执行时序图。

一个指令周期含有 4 个 Q 周期，指令的执行和获取是采用流水线结构，取指占用一个指令周期，而译码和执行占用另一个指令周期，但是由于流水线结构，从宏观上看，每条指令的有效执行时间是一个指令周期。如果一条指令引起程序计数器地址发生改变（例如 JP）那么 预取的指令操作码就无效，就需要两个指令周期来完成该条指令，这就是对 PC 操作指令都占用两个时钟周期的原因。

时钟与指令周期时序图



下面列出系统工作频率与指令速度的关系

系统工作频率(Fsys)	双指令周期	单指令周期
1MHz	8μs	4μs
2MHz	4μs	2μs
4MHz	2μs	1μs
8MHz	1μs	500ns

3.2 系统振荡器

CMS69F23D/25D 内置高精度 RC 振荡器，可以在烧录时，通过修改 CONFIG 选项，设置其频率为 8M、4M、2M、1M。振荡频率在出厂时校正，其误差在±3%以内。

3.3 起振时间

起振时间（RESET TIME）是指从芯片复位到芯片振荡稳定这段时间，可由内部烧写 CONFIG 选项设置为 9ms、2ms、560μs、200μs；具体设置参数请参照 1.5 烧写选项设定章节。

注：无论芯片是电源上电复位，还是其它原因引起的复位，都会存在这个起振时间。

4. 复位

CMS69F23D/25D 可用如下 5 种复位方式：

- 上电复位
- 低电压复位（LVR 使能）
- 正常工作下的看门狗溢出复位
- 休眠模式下的看门狗溢出复位
- 休眠模式下的 P0 口下降沿唤醒复位

上述任意一种复位发生时，所有的系统寄存器将恢复默认状态，程序停止运行，同时程序计数器 PC 清零，复位结束后程序从复位向量 0000H 开始运行。FLAGS 的 TF 和 PF 标志位能够给出系统复位状态的信息，（详见 FLAGS 的说明），用户可根据 PF 和 TF 的状态，控制程序运行路径。

任何一种复位情况都需要一定的响应时间，系统提供完善的复位流程以保证复位动作的顺利进行。

4.1 上电复位

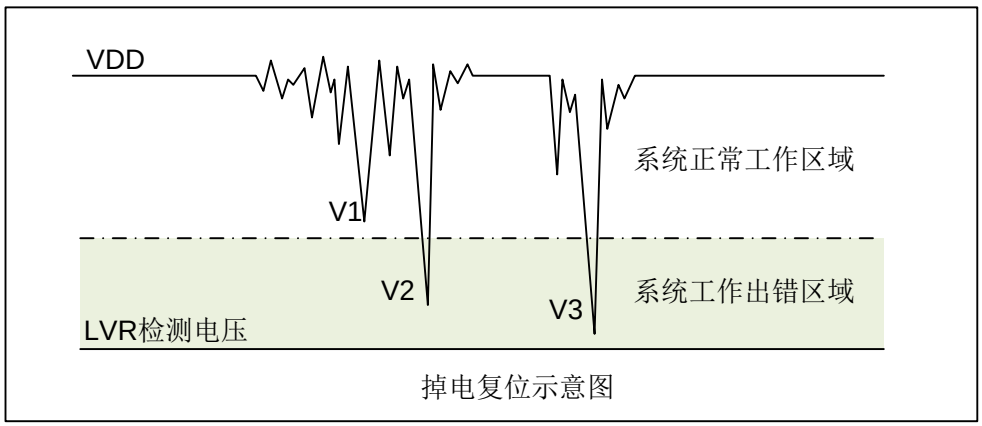
上电复位与 LVR 操作密切相关。系统上电的过程呈逐渐上升的曲线形式，需要一定时间才能达到正常电平值。下面 给出上电复位的正常时序：

- 上电：系统检测到电源电压上升并等待其稳定；
- 系统初始化：所有的系统寄存器被置为初始值；
- 振荡器开始工作：振荡器开始提供系统时钟；
- 执行程序：上电结束，程序开始运行。

4.2 掉电复位

4.2.1 掉电复位概述

掉电复位针对外部因素引起的系统电压跌落情形（例如，干扰或外部负载的变化）。当使用外部复位时，掉电 复位可能会引起系统工作状态不正常或程序执行错误，电压跌落可能会进入系统死区，系统死区意味着电源不 能满足系统的最小工作电压要求。



掉电复位示意图

上图是一个典型的掉电复位示意图。图中，VDD 受到严重的干扰，电压值降的非常低。虚线以上区域系统正常工作，在虚线以下的区域内，系统进入未知的工作状态，这个区域称作死区。当 VDD 跌至 V1 时，系统仍处于正常状态；当 VDD 跌至 V2 和 V3 时，系统进入死区，则容易导致出错。

以下情况系统可能进入死区：

DC 运用中：

DC 运用中一般都采用电池供电，当电池电压过低或单片机驱动负载时，系统电压可能跌落并进入死区。这时，电源 不会进一步下降到 LVD 检测电压，因此系统维持在死区。

AC 运用中：

系统采用 AC 供电时，DC 电压值受 AC 电源中的噪声影响。当外部负载过高，如驱动马达时，负载动作产生的干扰也影响到 DC 电源。VDD 若由于受到干扰而跌落至最低工作电压以下时，则系统将有可能进入不稳定工作状态。

在 AC 运用中，系统上、下电时间都较长。其中，上电时序保护使得系统正常上电，但下电过程却和 DC 运用中情形类似，AC 电源关断后，VDD 电压在缓慢下降的过程中易进入死区。

如上图所示，系统正常工作电压区域一般高于系统复位电压，同时复位电压由低电压检测（LVR）电平决定。当系统执行速度提高时，系统最低工作电压也相应提高，但由于系统复位电压是固定的，因此在系统最低工作电压与系统复位电压之间就会出现一个电压区域，系统不能正常工作，也不会复位，这个区域即为死区。

4.2.2 掉电复位的改进办法

如何改进系统掉电复位性能，以下给出几点建议

1、开启 MCU 的低压侦测功能

2、开启看门狗定时器

3、降低系统的工作频率

4、增大电压下降斜率

开启 MCU 的低压侦测功能

芯片内部集成了低压侦测（LVR）功能，可由烧写 CONFIG 控制，详见 1.5 章关于烧写 CONFIG 选择说明。开启 LVR 功能时，当系统电压跌至低于 LVR 电压时，LVR 被触发，系统复位。由于 LVR 电压始终高于芯片的最低工作电压，因此不会存在系统工作死区。

看门狗定时器

看门狗定时器用于保证程序正常运行，当系统进入工作死区或者程序运行出错时，看门狗定时器会溢出，系统复位。

降低系统的工作速度

系统工作频率越快，系统最低工作电压越高。从而增大了工作死区的范围，降低系统工作速度就可以降低最低工作电压，从而有效的减小系统工作在死区电压的机率。

增大电压下降斜率

此方法可用于系统工作在 AC 供电的环境，一般 AC 供电系统，系统电压在掉电过程中下降很缓慢，这就会造成芯片较长时间工作在死区电压，此时若系统重新上电，芯片工作状态可能出错，建议在芯片电源与地线间加一个放电电阻，以便让 MCU 快速通过死区，进入复位区，避免芯片上电出错可能性。

4.3 看门狗复位

看门狗复位是系统的一种保护设置。在正常状态下，由程序将看门狗定时器清零。若出错，系统处于未知状态，看门狗定时器溢出，此时系统复位。看门狗复位后，系统重启进入正常状态。

看门狗复位的时序如下：

- 看门狗定时器状态：系统检测看门狗定时器是否溢出，若溢出，则系统复位；
- 初始化：所有的系统寄存器被置为默认状态；
- 振荡器开始工作：振荡器开始提供系统时钟；
- 程序：复位结束，程序开始运行。

关于看门狗定时器的应用问题请参看 2.8 WDT 应用章节。

4.4 P0 口下降沿唤醒休眠态 CPU 复位

CMS69F23D/25D 系列芯片的 P0 口中任意一个 I/O 口都具有下降沿唤醒休眠态 CPU 的功能，当芯片处于 休眠态时，P0 口电平从高到低会唤醒 CPU，时序如下：

- 系统处于 SLEEP 态；
- P0 口电平从高到低；
- 初始化：所有的系统寄存器被置为默认状态；
- 振荡器开始工作：振荡器开始提供系统时钟；
- 程序：复位结束，程序开始运行。

5. 系统工作模式

CMS69F23D/25D 系列 MCU 存在两种工作模式，一种是正常工作模式，一种是睡眠工作模式。在正常工 作模式下，各个功能模块均处于工作状态，在休眠状态下，系统时钟停止，芯片保持原来的状态不变，此时 WDT 的功能若没有被烧写 CONFIG 选项禁止，则 WDT 定时器一直工作。

5.1 休眠模式

省电模式是被 STOP 指令启动的，在省电模式状态下，系统振荡停止，以减小功耗，且所有外围停止工作。 省电模式可由复位、WDT 溢出或者 P0 口的下降沿而唤醒。当省电模式被唤醒时，时钟电路仍需要振荡稳定时 间。当省电模式由复位或者 WDT 溢出被唤醒时，系统从 0000H 地址开始执行程序；当省电模式由 P0 口的下降沿唤醒时，PC 从 STOP 指令的下一个地址开始执行程序。

5.1.1 休眠模式应用举例

系统在进入 SLEEP 模式之前，若用户需要获得较小的休眠电流，请先确认所有 I/O 的状态，若用户方案中存在悬空的 I/O 口，把所有悬空口都设置为输出口，确保每一个输入口都有一个固定的状态，以避免 I/O 为输入状态时，口线电平处于不定态而增大休眠电流；关断 AD 模块及比较器模块；根据实际方案的功能需求可禁止 WDT 功能来减小休眠电流。

例：进入 SLEEP 的处理程序

```
SLEEP_MODE：
        CLR     SYS_GEN     ;关断 ADC 模块及中断使能；
        LDIA    B’10101010’
        LD      P0CL,A
        LD      P0CH,A      ;P0 口设置为输出口；
        LD      P1CL,A
        LDIA    B’10010010’
        LD      P1CH,A      ;P1 口设置为输出口；
        LDIA    B’00010010’
        LD      P2C,A       ;P2 口设置为输出口(若采用 INTRC 模式)；
        CLR     BUZCON      ;禁止 BUZ 功能；
        CLR     PWM8CON     ;禁止 8 位 PWM 功能；
        CLR     PWM10CON    ;禁止 10 位 PWM 功能；
        …                   ;各个输出口设置为不带负载状态；
        LDIA    0A5H
        LD      SP_FLAG,A   ;置休眠状态记忆寄存器(用户自定义)；
        CLRWDT              ;清零 WDT；
        STOP                ;执行 STOP 指令。
```

5.1.2 休眠模式的唤醒

当系统处于休眠状态时，有以下四种条件可以让 CPU 退出休眠状态：

- 看门狗溢出
- P0口下降沿
- 系统掉电后，重新上电
- 复位口低电平（LVR关闭）

处于休眠态的 MCU，发生 P0 口下降沿唤醒时，芯片从 STOP 指令的下一个地址开始运行程序。发生其它三种情况时，芯片都会从复位地址(0000H)开始运行程序，用户可根据 FLAGS 的 TF 与 PF 标志位及 SP_FLAG(用户要自己定义)，判断何种复位。

休眠唤醒用户处理程序

```
                ORG     0000H
                JP      START           ;转到复位处理程序
                ORG     0001H
                JP      INT_START       ;转到中断处理程序
                ORG     0002H
        START:                          ;复位处理程序
                SZB     FLAGS,PF
                JP      START_2         ;不是从休眠态复位的处理程序
                SZB     FLAGS,TF
                JP      START_3         ;非 WDT 唤醒 MCU 处理程序
                JP      START_4         ;WDT 唤醒 MCU
                …
                …
SLEEP_MODE:                             ;休眠子程序
                …                       ;设置休眠前的状态
                STOP                    ;芯片进入 SLEEP 态处理程序。
                NOP                     ;按键唤醒，加一个空指令等时钟稳定
                JP      XXXX            ;按键唤醒应该处理的程序
```

5.1.3 休眠模式唤醒时间

当 MCU 从休眠态被唤醒时，需要等待一个振荡稳定时间（OSC TIME）, 这个时间可由内部烧写选项设置为 9ms、2ms、560μs、200μs。详见 1.5 关于内部 CONFIG 烧写选项。

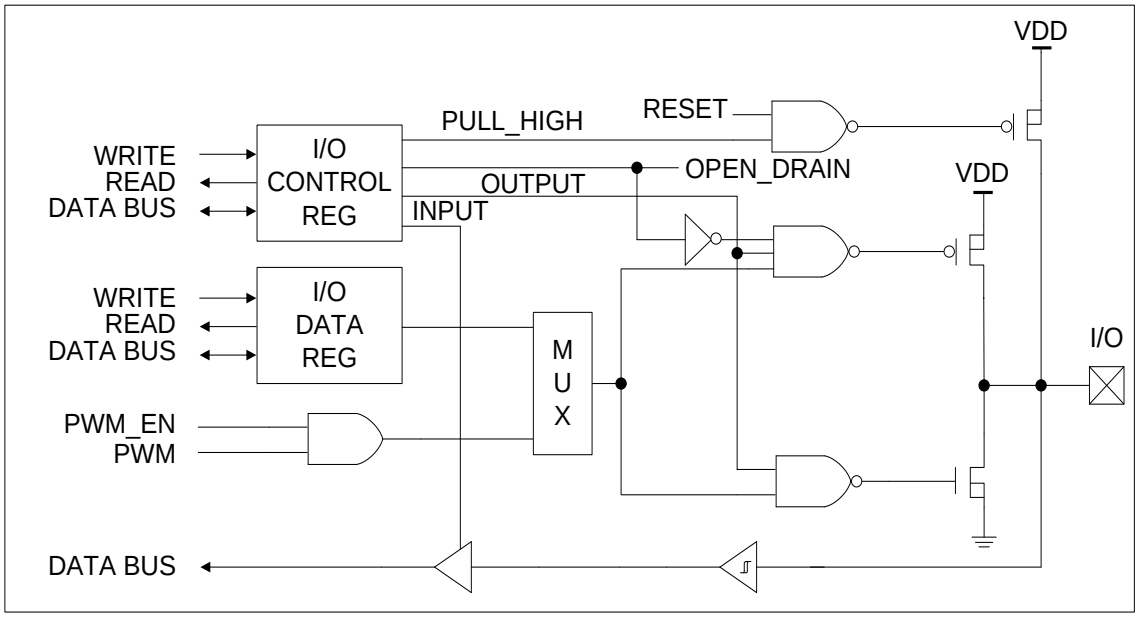
6. I/O 端口

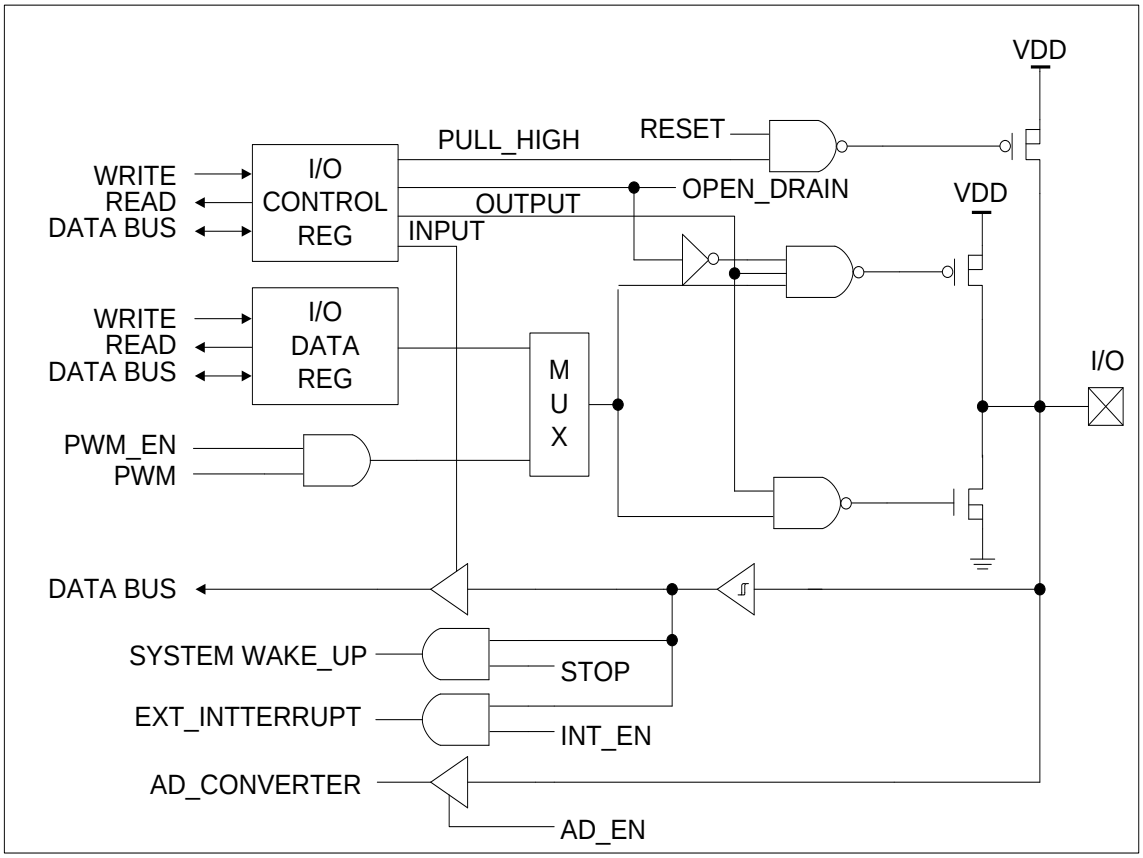
CMS69F23D/25D 有三个 I/O 端口：Port0,Port1 和 Port2（最多 18 个 I/O）。可读写端口数据寄存器可直接存取这些端口。

表 6-1 端口配置总概

端口	位	管脚描述	输入/输出
PROT0	0	施密特触发输入，推挽式输出，EXT0，OPI	I/O
	1	施密特触发输入，推挽式输出，EXT1，AN6	I/O
	2	施密特触发输入，推挽式输出，COMP1+，COMP2-，COMP3-	I/O
	3	施密特触发输入，推挽式输出，COMP1-，PWM8	I/O
	4	施密特触发输入，推挽式输出，COMP4-，PWM10	I/O
PORT1	0	施密特触发输入，推挽式输出，AN0，BUZ	I/O
	1	施密特触发输入，推挽式输出，AN1	I/O
	2	施密特触发输入，推挽式输出，AN2	I/O
	3	施密特触发输入，推挽式输出，AN3	I/O
	4	施密特触发输入，推挽式输出，AN4	I/O
	5	施密特触发输入，推挽式输出，AN5	I/O
PORT2	0	施密特触发输入，推挽式输出	I/O
	1	施密特触发输入，推挽式输出	I/O
	2	施密特触发输入，推挽式输出	I/O

◆I/O 口结构图


VDD
PULL_HIGH
RESET
WRITE
READ
DATA BUS
I/O
CONTROL
REG
OPEN_DRAIN
OUTPUT
INPUT
VDD
WRITE
READ
DATA BUS
I/O
DATA
REG
M
U
X
I/O
PWM_EN
PWM
DATA BUS


VDD
PULL_HIGH
RESET
WRITE
READ
DATA BUS
I/O
CONTROL
REG
OPEN_DRAIN
OUTPUT
INPUT
VDD
WRITE
READ
DATA BUS
I/O
DATA
REG
M
U
X
I/O
PWM_EN
PWM
DATA BUS
SYSTEM WAKE_UP
STOP
EXT_INTTERRUPT
INT_EN
AD_CONVERTER
AD_EN

6.1 I/O 口模式及上、下拉电阻

寄存器 P0CL、P0CH、P1CL、P1CH、P2C 用于控制 I/O 口线的工作模式。

6.1.1 P0 口

CMS69F23D/25D 芯片的 P0 口是一个 5BIT 的 I/O 口，有三个寄存器与之相关。分别为 IO 口数据寄存器（P0）、IO 口功能控制寄存器（P0CL、P0CH）。

当 CONFIG 选项里的 PPG_EN 使能时，端口 P0.2-P0.4 做为相应的比较器输入功能，P0CL 跟 P0CH 寄 存器的设置对这 3 个端口无效；当 CONFIG 选项里的 PPG_EN 禁止时，P0.2-P0.4 口为普通 I/O 口，可通过 P0CL、P0CH、P0 三个寄存器来设置其具体功能。

当 CONFIG 选项里的 OPA_EN 使能时，P0.0 口为相应的比较器输入功能，P0CL 寄存器的设置对这个端 口无效；当 CONFIG 选项里的 OPA_EN 禁止时，P0.0 口为普通 I/O 口，可通过 P0CL 跟 P0 寄存器来设置其具体功能。

P0 口数据寄存器 P0(05H)

05H	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
P0				P0.4	P0.3	P0.2	P0.1	P0.0
R/W				R/W	R/W	R/W	R/W	R/W
复位值	X	X	X	X	X	X	X	X
定义				I/O	I/O	I/O	I/O	I/O
				COMP4	COMP1-	COMP1+	AN6	OPI
				PWM10	PWM8	COMP2-	EXT1	EXT0
						COMP3-		

P0 口功能寄存器 P0CL(09H)

09H	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
P0CL	P0.3 功能配置		P0.2 功能配置		P0.1 功能配置		P0.0 功能配置	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	1	0	1	0	1	0	1

BIT7-BIT6 **P0.3 功能配置**
00：上拉输入；
01：PWM10 输出；
10：推挽输出；
11：输入；

BIT5-BIT4 **P0.2 功能配置**
00：上拉输入；
01：输入；
10：推挽输出；
11：输入；

BIT3-BIT2 **P0.1 功能配置**
00：上拉输入、中断；
01：输入、中断；
10：推挽输出；
11：AN6；

BIT1-BIT0 **P0.0 功能配置**
00：上拉输入、中断；
01：输入、中断；
10：推挽输出；
11：输入；

P0 口功能寄存器 P0CH(0AH)

0AH	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
P0CH	----		----		----		P0.4 功能配置	
R/W	-	-	-	-	-	-	R/W	R/W
复位值	0	0	0	0	0	0	1	1

BIT7-BIT2 **未用**

BIT1-BIT0 **P0.4 功能配置**

00：上拉输入；

01：PWM8W 输出；

10：推挽输出；

11：输入；

例：P0 口处理程序

```
LDIA    B'00011111'    ;P0.4 为输出
LD      P0CH,A
LDIA    B'10101010'    ;P0.0 为输出，P0.1 为 AD 输入
LD      P0CL,A         ; P0.2 为上拉输入，P0.3 为 PWM 输出
LDIA    03H            ;P0.0 输出高，P0.4 输出低
LD      P0,A           ;由于 P0.1,P0.2 为输入口，P0.3 为 PWM 口，所以
                       ;赋 0 或 1 都没影响
```

6.1.2 P1 口

P1 口有 7BIT 的输入输出管脚。它可做正常输入输出端口（施密特触发输入，推挽式输入，开漏式输入）或者是一些选择性功能用（时钟输出，T0 时钟输出，蜂鸣输出）。有三个寄存器与之相关。P1 口数据寄存器 P1、P1 口低位控制寄存器 P1CL(0BH)、P1 口高位控制寄存器 P1CH(0CH)。

P1 口数据寄存器 P1 (06H)

06H	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
P1	---	---	P1.5	P1.4	P1.3	P1.2	P1.1	P1.0
R/W	---	---	R/W	R/W	R/W	R/W	R/W	R/W
复位值	X	X	X	X	X	X	X	X
定义			I/O	I/O	I/O	I/O	I/O	I/O
			AN5	AN4	AN3	AN2	AN1	AN0
								BUZ

P1 口功能寄存器 P1CL (0BH)

0BH	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
P1CL	P1.3 功能配置		P1.2 功能配置		P1.1 功能配置		P1.0 功能配置	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	1	0	1	1	1	1	1

BIT7-BIT6 **P1.3 功能配置**

00：上拉输入；

01：输入；

10：推挽输出；

11：输入、AN3。

BIT5- BIT4 **P1.2 功能配置**

00：上拉输入；

01：输入；

10：推挽输出；

11：输入、AN3。

BIT3- BIT2 **P1.1 功能配置**

00：上拉输入；

01：未用；

10：推挽输出；

11：输入、AN1。

BIT1- BIT0 **P1.0 功能配置**

00：上拉输入；

01：BUZ 输出；

10：推挽输出；

11：输入、AN0。

P1 口功能寄存器 P1CH(0CH)

0CH	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
P1CH					P1.5 功能配置		P1.4 功能配置	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	1	0	1

BIT7-BIT4 **未用**

BIT3-BIT2 **P1.5 功能配置**

00：上拉输入；

01：未用；

10：推挽输出；

11：输入、AN5；

BIT1-BIT0 **P1.4 功能配置**

00：上拉输入；

01：未用；

10：推挽输出；

11：输入、AN4；

注：P1 口的使用方法同 P0 口，在 CMS69F23 中须将 P1CH 设置成’00001111’B。

6.1.3 P2 口

P2 口有 3-BIT 的输入输出管脚。有两个寄存器与之相关。P2 口数据寄存器 P2(07H)、P2 口控制寄存器 P2C(0DH)。

P2 口数据寄存器 P1(07H)

07H	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
P2						P2.2	P2.1	P2.0
R/W						R/W	R/W	R/W
复位值	X	X	X	X	X	X	X	X
定义	未用					I/O	I/O	I/O

P2 口功能寄存器 P2C(0DH)

0DH	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
P2C	P2.2 功能配置		P2.1 功能配置			P2.0 功能配置		
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	1	0	0	1	0	0	1

BIT7- BIT6 **P2.2 功能配置（若系统配置寄存器 CONFIG 中 P2T_SEL 为 Open Drain Output，则 BIT7 一直为 0）**

00：开漏输出

01：输入（默认）

10：推挽输出

11：上拉输入

BIT3-BIT2 **P2.1 功能配置**

000：上拉输入；

001：输入；

010：推挽输出；

011：下拉输入；

100：开漏输出

其他：未用

BIT1-BIT0 **P2.0 功能配置**

000：上拉输入；

001：输入；

010：推挽输出；

011：下拉输入；

100：开漏输出

其他：未用

注：P2.2 口在烧录时做为 VPP 输入，若在使用过程中将 P2.2 口做为输出，请在上电的时候加足够多的延时（100ms 以上）时间后，再做输出，否则在重新烧录时容易损坏芯片。

6.1.4 写 I/O 口

CMS69F23D/25D 系列芯片的 I/O 口寄存器，和一般通用寄存器一样，可以通过数据传输指令，位操作指令等进行写操作。

例：写 I/O 口程序

```
        LD      P0,A        ;ACC 值赋给 P0 口
        CLRB    P1,0        ;P1.0 口置零
        CLR     P2          ;P2 口清零
        SET     P1          ;P1 所有输出口置 1
        SETB    P1,0        ;P1.0 口置 1
```

6.1.5 读 I/O 口

例：读 I/O 口程序

```
        LD      A,P0        ;P0 的值赋给 ACC
        SNZB    P0,1        ;判断 P0,1 口是否为 1，为 1 跳过下一条语句
        SZB     P0,1        ;判断 P0,1 口是否为 0，为 0 跳过下一条语句
```

注：当用户读一个 I/O 口状态时，若此 I/O 口为输入口，则用户读回的数据将是此口线外部电平的状态，若此 I/O 口为输出口那么读出的值将会是此口线内部输出寄存器的数据。

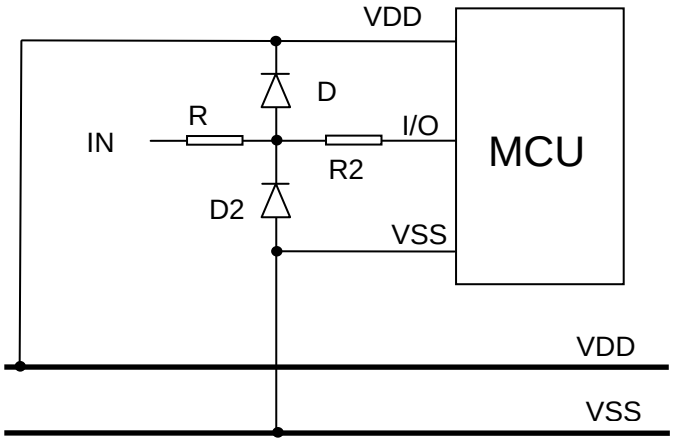
6.2 I/O 口使用注意事项

在操作 I/O 口时，应注意以下几个方面：

1、 当 I/O 从输出转换为输入时，要等待几个指令周期的时间，以便 I/O 口状态稳定。

2、 若使用内部上拉电阻，那么当 I/O 从输出转换为输入时，内部电平的稳定时间，与接在 I/O 口上的电容有关，用户应根据实际情况，设置等待时间，以防止 I/O 口误扫描电平。

3、 当 I/O 口为输入口时，其输入电平应在“VDD+0.7V”与”GND-0.7V”之间。若输入口电压不在此范围内可采用如下图所示方法。

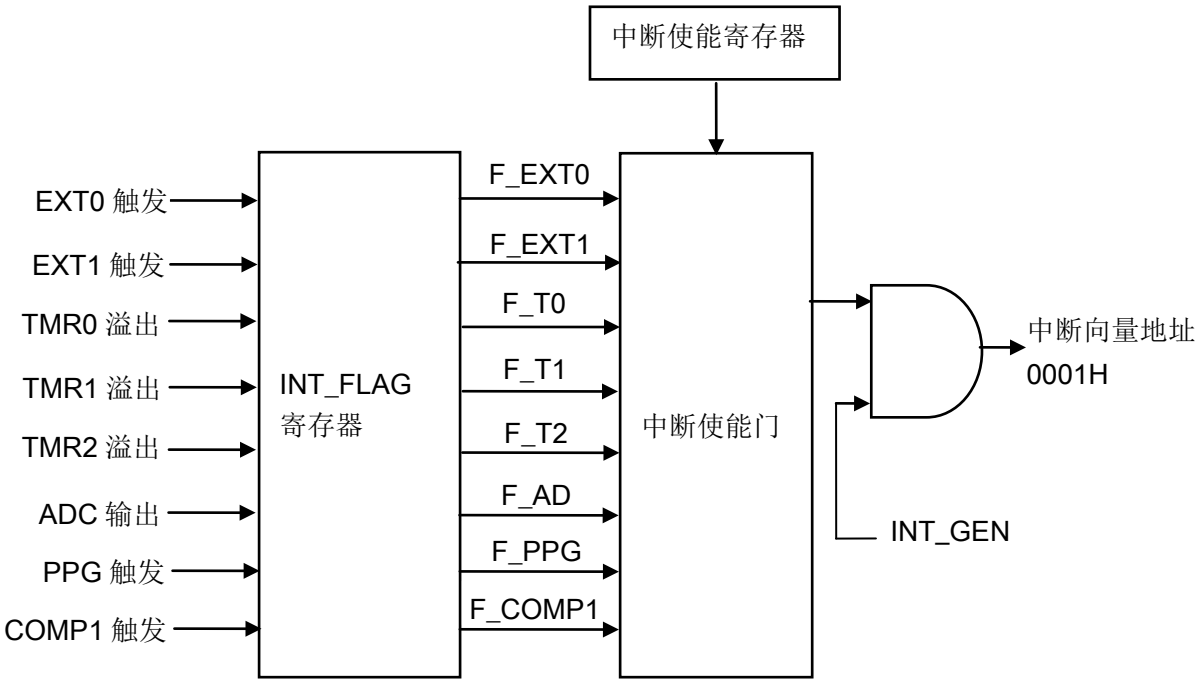


4、 若在 I/O 口在线串入较长的连接线，请在靠近芯片 I/O 的地方加上限流电阻以增强 MCU 抗 EMC 能力。

7. 中断

7.1 中断概述

CMS69F23D/25D 共有 8 个中断源：4 个内部中断(TMR0、TMR1、TMR2、ADC)和 4 个外部中断（EXT0、EXT1、COMP1、PPG）。一旦程序进入中断，寄存器 SYS_GEN 的位 INT_GEN 位将被硬件自动清零以避 免再次响应其它中断。系统退出中断，即执行完 RETI 指令后，硬件自动将 INT_GEN 置"1"，以响应下一个中断。中断请求存放在寄存器 INT_FLAG 寄存器中。



7.2 中断控制寄存器

中断请求控制寄存器 INT_EN 包括所有中断的使能控制位。INT_EN 的有效位被置为"1"，则系统进入该中断服务程序，程序计数器入栈，程序转至 0001H 即中断程序。程序运行到指令 RETI 时，中断结束，系统退出中断服务。

11H	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
INT_EN	EN_PPG	EN_COMP1	EN_AD	EN_T0	EN_T1	EN_T2	EN_EXT1	EN_EXT0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

Bit 7 EN_PPG：PPG故障中断使能位
1 = 使能PPG故障中断
0 = 禁止PPG故障中断

Bit 6 EN_COMP1：比较器1中断使能位
1 = 使能COMP1中断
0 = 禁止COMP1中断

Bit 5 EN_AD：AD中断使能位
1 = 使能ADC中断
0 = 禁止ADC中断

Bit 4 EN_T0：TMR0中断使能位
1 = 使能TMR0中断
0 = 禁止TMR0中断

Bit 3 EN_T1：TMR1中断使能位
0：禁止TMR1中断
1：使能TMR1中断

Bit 2 EN_T2：TMR2中断使能位
1 = 使能EXT1中断
0 = 禁止EXT1中断

Bit 1 EN_EXT1：外部中断1中断使能位
1 = 使能EXT1中断
0 = 禁止EXT1中断

Bit 0 EN_EXT0：外部中断0中断使能位
1 = 使能EXT0中断
0 = 禁止EXT0中断

7.3 中断请求寄存器

中断请求寄存器 INT_FLAG 中存放各中断请求标志。一旦有中断请求发生，INT_FLAG 中的相应位将被置”1”，该请求被响应后，程序应将该标志位清零，MCU 不会自动清零该中断请求标志位。根据 INTR_FLAG 的状态，程序判断是否有中断发生，并执行相应的中断服务。

12H	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
INT_FLAG	F_PPG	F_COMP1	F_AD	F_T0	F_T1	F_T2	F_EXT1	F_EXT0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	X	X	0	0	0	0	0	0

Bit 7 F_PPG：PPG中断请求标志位
0：无PPG中断请求
1：有PPG中断请求

Bit 6 F_COMP1：比较器1中断请求标志位
0：无COMP1中断请求
1：有COMP1中断请求

Bit 5 F_AD：AD中断请求标志位
0：无AD中断请求
1：有AD中断请求

Bit 4 F_T0：TMR0中断请求标志位
0：无TMR0中断请求
1：有TMR0中断请求

Bit 3 F_T1：TMR1中断请求标志位
0：无TMR1中断请求
1：有TMR1中断请求

Bit 2 F_T2：TMR2中断请求标志位
0：无TMR2中断请求
1：有TMR2中断请求

Bit 1 F_EXT1：外部中断1中断请求标志位
0：无EXT1中断请求
1：有EXT1中断请求

Bit 0 F_EXT0：外部中断0中断请求标志位
0：无EXT0中断请求
1：有EXT0中断请求

7.4 总中断使能控制寄存器

只有当全局中断控制位 INT_GEN 置"1"的时候程序才能响应中断请求。一旦有中断发生，程序计数器（PC）指向中断向量地址（0001H），堆栈层数加 1。

总中断使能控制寄存器 INT_GEN(10H)

10H	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
SYS_GEN	---	---	---	---	---	---	ADC_EN	INT_GEN
R/W	---	---	---	---	---	---	R/W	R/W
复位值	X	X	X	X	X	X	0	0

BIT1 **ADC_EN：AD 功能使能位**

0：禁止 ADC 功能

1：使能 ADC 功能

BIT0 **INT_GEN：中断总使能位**

0：禁止所有中断

1：使能中断功能

7.5 中断现场的保护方法

有中断请求发生并被响应后，程序转至 0001H 执行中断子程序。响应中断之前，必须保存 ACC、FLAGS 的内容。芯片没有提供专用的入栈保存和出栈恢复指令，用户需自己保护 ACC 和 FLAGS 的内容，以避免中断结束后可能的程序运行错误。

例：对 ACC 与 FLAGS 进行入栈保护

```
                ORG     0000H
                JP      START           ;用户程序起始地址
                ORG     0004H
                JP      INT_SERVICE     ;中断服务程序
                ORG     0002H
    START：
                …
                …
INT_SERVICE
        ：
    PUSH：                              ;中断服务程序入口，保存 ACC 及 FLAGS
                LD      ACC_BAK,A       ;保存 ACC 的值，(ACC_BAK 需自定义)
                SWAPA   FLAGS
                LD      FLAGS_BAK,A     ;保存 FLAGS 的值，（FLAGS_BAK 需自定义）
                …
                …
     POP：                              ;中断服务程序出口，还原 ACC 及 FLAGS
                SWAPA   FLAGS_BAK
                LD      FLAGS,A         ;还原 FLAGS 的值
                SWAPR   ACC_BAK         ;还原 ACC 的值
                SWAPA   ACC_BAK
                RETI
```

7.6 外部中断

CMS69F23D/25D 系列芯片有两个外部中断源（EXT0、EXT1），只有当外部中断被触发，且 EN_EXT0、EN_EXT1 使能时，F_EXT0、F_EXT1 才会被置 1。当任何一个中断使能位与中断请求标志位同时为"1"，且总中断使能位为使能状态，系统就会响应中断。

7.6.1 外部中断控制寄存器

CMS69F23D/25D 系列芯片的两个外部中断源（EXT0、EXT1）的触发方式可由 INT_EXT 寄存器控制，用户可通过写 INT_EXT 控制外部中断源的触发方式。

外部中断控制寄存器 INT_EXT(13H)

13H	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
INT_EXT	---	---	---	---	EXT1		EXT0	
R/W	---	---	---	---	R/W	R/W	R/W	R/W
复位值	X	X	X	X	0	0	0	0

BIT3-BIT2 **EXT1：EXT1 信号边缘选择**

00：下降沿

01：上升沿

1X：两种边沿

BIT1-BIT0 **EXT0：EXT0 信号边缘选择**

00：下降沿

01：上升沿

1X：两种边沿

7.6.2 外部中断 0

外部中断 EXT0 与 P0.0 口共用一个 I/O 口，若要启用外部中断功能，要将 P0.0 口设置为中断输入模式，当 EN_EXT0=1 且 F_EXT0=1 时，系统会响应外部中断 0，当 EN_EXT0=0 时无论 F_EXT0 为任何状态，都不会响应中断。

例：外部中断 0 应用程序

```
                ORG     0000H
                JP      START                   ;用户程序起始地址
                ORG     0001H
                JP      INT_SERVICE             ;中断服务程序
                ORG     0002H
        START：
                …
                LDIA    B’10101001’
                LD      P0CL,A                  ;P0,0 口设置为中断输入口
                CLR     INT_EXT                 ;EXT0 为下降沿触发
                CLRB    INT_FLAG,F_EXT0         ;清零 EXT0 中断请求标志位
                SETB    INT_EN,EN_EXT0          ;使能 EXT0 中断
                SETB    SYS_GEN,INT_GEN         ;使能 INT_GEN
                …
                JP      START
INT_SERVICE：
        PUSH：                                  ;中断服务程序入口，保存 ACC 及 FLAGS
                …
                SNZB    INT_EN,EN_EXT0          ;判断是否使能 EXT0 中断
                JP      INT_EXIT
                SNZB    INT_FLAG,F_EXT0         ;检查有无 EXT0 中断请求标志位
                JP      INT_EXIT
                CLRB    INT_FLAG,F_EXT0         ;清零 EXT0 中断请求标志位
                …                               ;EXT0 中断处理程序
    INT_EXIT：
        POP：                                   ;中断服务程序出口，还原 ACC 及 FLAGS
                …
                RETI
```

7.6.3 外部中断 1

外部中断 EXT1 与 P0.1 口共用一个 I/O 口，若要启用外部中断功能，要将 P0.1 口设置为中断输入模式，当 EN_EXT1=1 且 F_EXT1=1 时，系统会响应外部中断 1，当 EN_EXT1=0 时无论 F_EXT0 为任何状态，都不会响应中断。

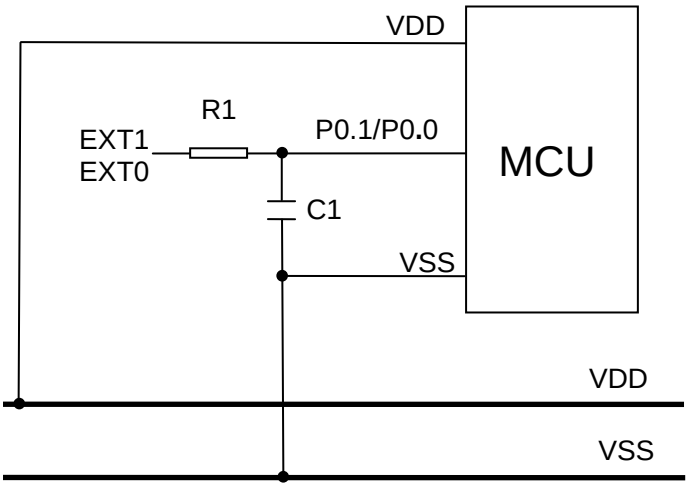
例：外部中断 1 应用程序

```
                ORG     0000H
                JP      START           ;用户程序起始地址
                ORG     0001H
                JP      INT_SERVICE     ;中断服务程序
                ORG     0002H
        START：
                …
                LDIA    B’10100110’
                LD      P0CL,A          ;P0.1 口设置为中断输入口
                LDIA    B’00001000
                LD      INT_EXT,A       ;EXT1 为电平触发
                CLRB    INT_FLAG,F_EXT1 ;清零 EXT1 中断请求标志位
                SETB    INT_EN,EN_EXT1  ;使能 EXT1 中断
                SETB    SYS_GEN,INT_GEN ;使能 INT_GEN
                …
                JP      START
INT_SERVICE：
        PUSH：                          ;中断服务程序入口，保存 ACC 及 FLAGS
                …
                …
                SNZB    INT_EN,EN_EXT1  ;判断是否使能 EXT1 中断
                JP      INT_EXIT
                SNZB    INT_FLAG,F_EXT1 ;检查有无 EXT1 中断请求标志位
                JP      INT_EXIT
                CLRB    INT_FLAG,F_EXT1 ;清零 EXT1 中断请求标志位
                …
                …                       ;EXT1 中断处理程序
    INT_EXIT：
        POP：                           ;中断服务程序出口，还原 ACC 及 FLAGS
                …
                RETI
```

7.6.4 外部中断的响应时间

外部中断的响应时间为 2 个指令周期。

7.6.5 外部中断的应用注意事项



由于外部中断的反应时间很快，当系统外围电压波动时，或系统受到 EMC 干扰时，MCU 可能误进中断，所以需要加上 RC 滤波电路，如上图所示。用户可根据外部中断所采样的信号频率选择不同的 R1 和 C1，以提高系统抗 EMC 能力。

7.7 内部定时中断

CMS69F23D/25D 系列芯片内部有三个定时器，TMR0、TMR1、TMR2，只有 TMR1 跟 TMR2 可能产生中断。

7.7.1 TMR0 中断

TMR0 溢出时，无论 EN_T0 处于何种状态，F_T0 都会置”1”。若 EN_T0 和 F_T0 都置”1”，系统就会响应 TMR0 的中断；若 EN_T0= 0，则无论 F_T0 是否置”1”，系统都不会响应 TMR0 中断。尤其需要注意多种中断下的情形。

```
                ORG     0000H
                JP      START               ;用户程序起始地址
                ORG     0001H
                JP      INT_SERVICE         ;中断服务程序
                ORG     0002H
        START：
                …
                CLRA
                OPTION                      ;设置 TMR0 时钟=Fcpu/2
                CLR     TMR0                ;初始化 TMR0
                CLRB    INT_FLAG,F_T0       ;清零 TMR0 中断请求标志位
                SETB    INT_EN,EN_T0        ;使能 TMR0 中断
                SETB    SYS_GEN,INT_GEN     ;使能 INT_GEN
                …
         MAIN：
                …                           ;用户程序
                JP      MAIN
INT_SERVICE：
          PUSH：                            ;中断服务程序入口，保存 ACC 及 FLAGS
                …
                SNZB    INT_EN,EN_T0        ;判断是否使能 TMR0 中断
                JP      INT_EXIT
                SNZB    INT_FLAG,F_T0       ;检查有无 TMR0 中断请求标志位
                JP      INT_EXIT
                CLRB    INT_FLAG,F_ T0      ;清零 TMR0 中断请求标志位
                …
     INT_EXIT：
          POP：                             ;中断服务程序出口，还原 ACC 及 FLAGS
                …
                RETI
```

7.7.2 TMR1 中断

TMR1 溢出时，如果 EN_T1 置"1"，则 F_T1 会被置"1"，系统就会响应 TMR1 的中断；若 EN_T1=0，则 F_T1 不会被置"1"，系统不会响应 TMR1 中断。尤其需要注意多种中断下的情形。

例：TMR1 中断应用程序

```
                ORG     0000H
                JP      START               ;用户程序起始地址
                ORG     0001H
                JP      INT_SERVICE         ;中断服务程序
                ORG     0002H
START：
                ...
                LDIA    06H
                LD      TMR1,A              ;初始化 TMR1
                LDIA    80H
                LD      TMR1C,A             ;设置 TMR1 时钟=Fcpu、TMR1 定时器模式
                CLRB    INT_FLAG,F_T1       ;清零 TMR1 中断请求标志位
                SETB    INT_EN,EN_T1        ;使能 TMR1 中断
                SETB    TMR1C,TON           ;TMR1 计时器开始工作
                SETB    SYS_GEN,INT_GEN     ;使能 INT_GEN
                ...
MAIN：
                ...
                JP      MAIN
INT_SERVICE：
PUSH：                                      ;中断服务程序入口，保存 ACC 及 FLAGS
                ...
                SNZB    INT_EN,EN_T1        ;判断是否使能 TMR1 中断
                JP      INT_EXIT
                SNZB    INT_FLAG,F_T1       ;检查有无 TMR1 中断请求标志位
                JP      INT_EXIT
                CLRB    INT_FLAG,F_T1       ;清零 TMR1 中断请求标志位
                ...                         ;TMR1 中断处理程序
INT_EXIT：
POP：                                       ;中断服务程序出口，还原 ACC 及 FLAGS
                ...
                RETI
```

7.7.3 TMR2 中断

TMR2溢出时，如果EN_T2置“1”，则F_T2会被置“1”，系统就会响应 TMR2的中断；若EN_T2= 0，则F_T2不会被置“1”，系统不会响应TMR2中断。尤其需要注意多种中断下的情形。

例：TMR2中断应用程序

```
                ORG     0000H
                JP      START               ;用户程序起始地址
                ORG     0001H
                JP      INT_SERVICE         ;中断服务程序
                ORG     0002H
        START:
                ...
                LDIA    032H
                LD      T2DATA,A            ;设置 T2 溢出时间
                LDIA    B'00110000'
                LD      T2CON,A             ;设置 TMR2 时钟
                CLRB    INT_FLAG,F_T2       ;清零 TMR2 中断请求标志位
                SETB    INT_EN,EN_T2        ;使能 TMR2 中断
                SETB    T2CON,0             ;TMR2 计时器开始工作
                SETB    SYS_GEN,INT_GEN     ;使能 INT_GEN
                ...
        MAIN:
                ...
                ...
                JP      MAIN
INT_SERVICE:
        PUSH:                               ;中断服务程序入口，保存 ACC 及 FLAGS
                ...
                ...
                SNZB    INT_EN,EN_T2        ;判断是否使能 TMR2 中断
                JP      INT_EXIT
                SNZB    INT_FLAG,F_T2       ;检查有无 TMR2 中断请求标志位
                JP      INT_EXIT
                CLRB    INT_FLAG,F_T2       ;清零 TMR2 中断请求标志位
                ...
                ...                         ;TMR2 中断处理程序
    INT_EXIT:
        POP:                                ;中断服务程序出口，还原 ACC 及 FLAGS
                ...
                RETI
```

7.7.4 ADC 中断

当ADC转换完成后，如果EN_AD使能，那么系统就会响应ADC中断，F_AD被置1。若EN_AD= 0，则ADC转换完成后，F_AD不会被置“1”，系统不会进入ADC中断。用户应注意多种中断下的处理。

例：AD中断设置程序

```
        CLRB    INT_EN,EN_AD
        LDIA    B'10101011'
        LD      P0CL,A          ;P0,0 口设置为 AD 输入口
        LD      03H
        LD      SYS_GEN,A       ;开启 AD 模块，及使能中断。
        LDIA    B'00000110'
        LD      ADCON,A         ;选择 AN0 通道，
        NOP
        CLRB    INT_FLAG,F_AD   ;清零 AD 中断请求标志
        SETB    INT_EN,EN_AD    ;使能 AD 中断
        NOP
        SETB    ADCON,CONV
        NOP
        NOP
        NOP
        CLRB    ADCON,CONV      ;AD 中断开始信号
```

例：AD中断处理程序

```
                ORG     0000H
                JP      START           ;用户程序起始地址
                ORG     0001H
                JP      INT_SERVICE     ;中断服务程序
                ORG     0002H
        START：
                ...
        MAIN：
                ...
                JP      MAIN
INT_SERVICE：
        PUSH：                          ;中断服务程序入口，保存 ACC 及 FLAGS
                ...
                ...
                SNZB    INT_EN,EN_AD    ;判断是否使能 ADC 中断
                JP      INT_EXIT
                SNZB    INT_FLAG,F_AD   ;检查有无 ADC 中断请求标志位
                JP      INT_EXIT
                CLRB    INT_FLAG,F_AD   ;清零 ADC 中断请求标志位
                ...
                ...                     ;ADC 中断处理程序
    INT_EXIT：
        POP：                           ;中断服务程序出口，还原 ACC 及 FLAGS
                ...
                RETI
```

7.8 中断的优先级，及多中断嵌套

在同一时刻，系统中可能出现多个中断请求。此时，用户必须根据系统的要求对各中断进行优先权的设置。中断请求标志 INT_FLAG 由中断事件触发，当 F_XX 处于有效值“1”时，系统并不一定会响应该中断。各中断触发事件如下表所示：

中断	有效触发
F_EXT0	由INT_EXT决定
F_EXT1	由INT_EXT决定
F_T2	TMR2溢出
F_T1	TMR1溢出
F_AD	AD转换结束
F_COMP1	比较器1翻转
F_PPG	比较器4输出低或比较器3输出低或PPGWDT溢出

注：多个中断同时发生时，MCU 没有预置的中断优先级。首先，必须预先设定好各中断的优先权；其次，利用中断使能位和中断控制位，控制系统是否响应该中断。在程序中，必须对中断控制位和中断请求标志进行检测。

例：多个中断处理程序

```
                ORG     0000H
                JP      START           ;用户程序起始地址
                ORG     0001H
                JP      INT_SERVICE     ;中断服务程序
                ORG     0002H
START:                                  ;用户程序起始地址
                ...
MAIN:
                ...                     ;用户主程序
                JP      MAIN
INT_SERVICE:
PUSH:                                   ;中断服务程序入口，保存 ACC 及 FLAGS
                ...
EXT0CH:
                SNZB    INT_EN,EN_EXT0  ;判断是否使能 EXT0 中断
                JP      EXT1CH
                SZB     INT_FLAG,F_EXT0 ;检查有无 EXT0 中断请求标志位
                JP      INT_EXT0        ;EXT0 中断处理程序
EXT1CH:
                SNZB    INT_EN,EN_EXT1  ;判断是否使能 EXT1 中断
                JP      TMR1CH
                SZB     INT_FLAG,F_EXT1 ;检查有无 EXT1 中断请求标志位
                JP      INT_EXT1        ;EXT1 中断处理程序
```

例：多个中断处理程序（续）

```
TMR1CH：
        SNZB    INT_EN,EN_T1        ;判断是否使能 TMR1 中断
        JP      TMR2CH
        SZB     INT_FLAG,F_T1       ;检查有无 TMR1 中断请求标志位
        JP      INT_TMR1            ;TMR1 中断处理程序
TMR2CH：
        SNZB    INT_EN,EN_T2        ;判断是否使能 TMR2 中断
        JP      ADCCH
        SZB     INT_FLAG,F_T2       ;检查有无 TMR2 中断请求标志位
        JP      INT_TMR2            ;TMR2 中断处理程序
ADCCH：
        SNZB    INT_EN,EN_AD        ;判断是否使能 ADC 中断
        JP      INT_EXIT
        SNZB    INT_FLAG,F_AD       ;检查有无 ADC 中断请求标志位
        JP      INT_EXIT
INT_ADC：
        CLRB    INT_FLAG,F_AD
        …                           ;AD 中断处理程序
        JP      INT_EXIT
INT_TMR2：
        CLRB    INT_FLAG,F_TMR2
        …                           ;TMR2 中断处理程序
        JP      INT_EXIT
INT_TMR1：
        CLRB    INT_FLAG,F_TMR1
        …                           ;TMR1 中断处理程序
        JP      INT_EXIT
INT_EXT1：
        CLRB    INT_FLAG,F_EXT1
        …                           ;EXT1 中断处理程序
        JP      INT_EXIT
INT_EXT0：
        CLRB    INT_FLAG,F_EXT0
        …                           ;EXT0 中断处理程序
        JP      INT_EXIT
INT_EXIT：
    POP：                           ;中断服务程序出口，还原 ACC 及 FLAGS
        …
        RETI
```

8. 定时计数器 TMR0

8.1 定时计数器 TMR0 概述

TMR0 由如下功能组成：

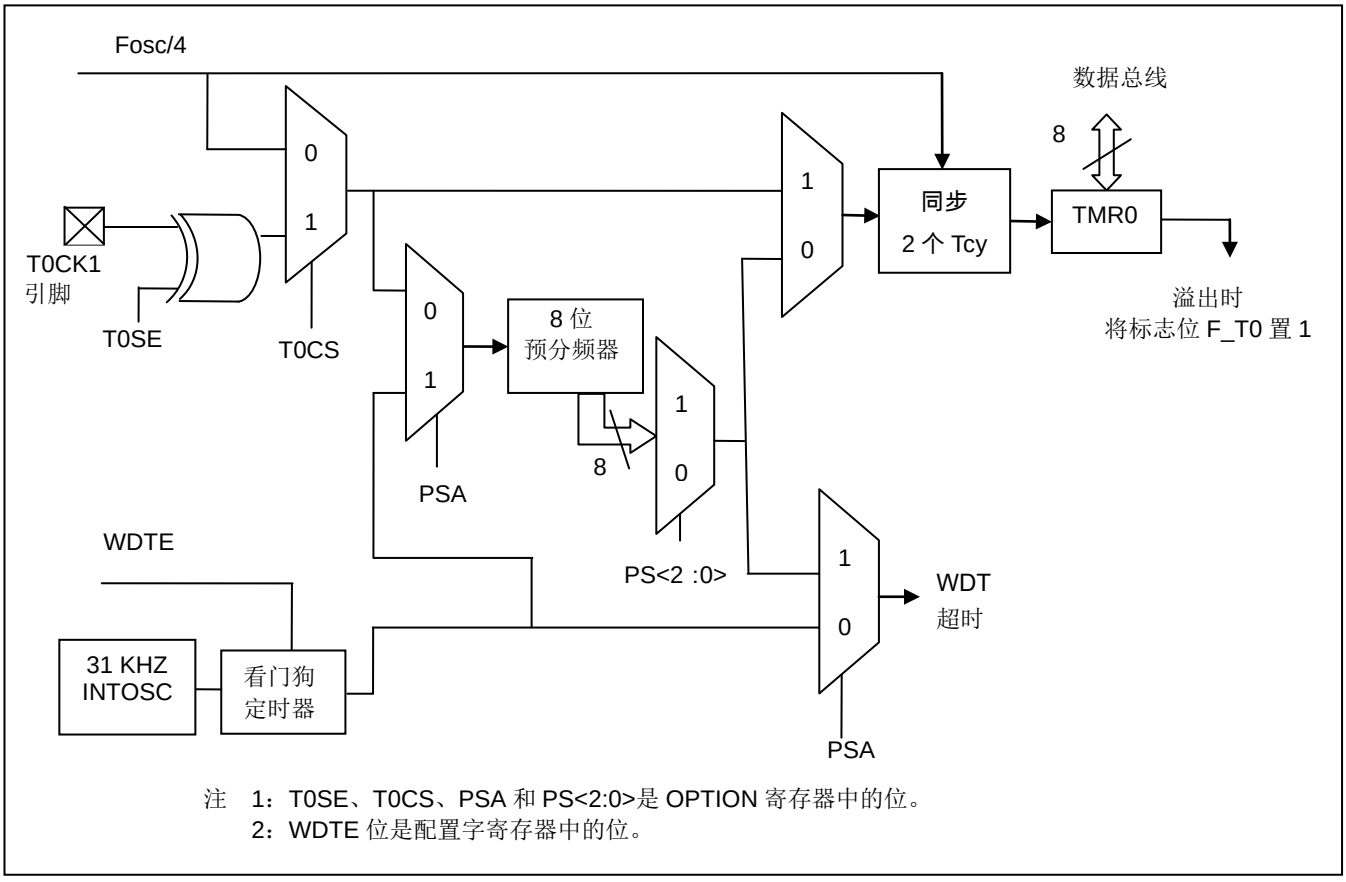
- 8 位定时器 / 计数器
- 可用程序进行读写操作
- 可选择定时器或计数器工作方式
- 8 位可编程控制寄存器(OPTION)
- 外部时钟边沿可选择

TMR0 的工作模式由 TMR0 控制寄存器(OPTION)的 T0CS 选择：

当 T0CS=0 时以定时器方式工作，在不用预分频器情况下每个指令周期加 1，若对 TMR0 进行写操作那么增量操作便禁止两个周期，TMR0 没有中断。

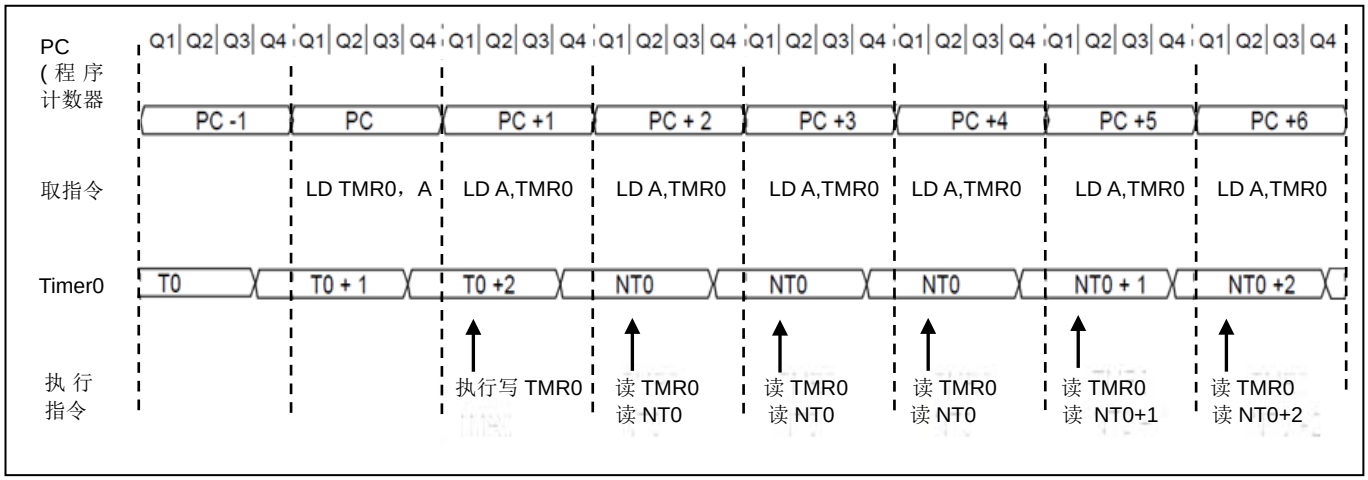
当 T0CS=1 时以计数器方式工作，TIMER0 模块的计数器将对加到 RTCC 口的脉冲进行计数。由位 T0SE 选择上升沿有效或下降沿有效，T0SE=0 时选择上升沿有效，T0SE=1 时选择下降沿有效。

图 8-1 TMR0/WDT 结构图

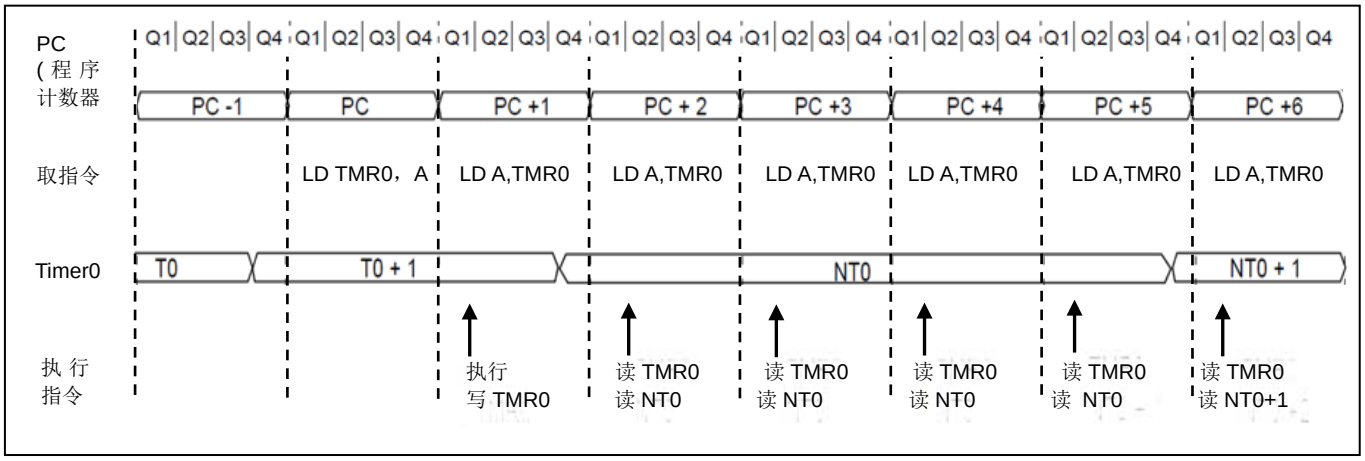


注 1：T0SE、T0CS、PSA 和 PS<2:0>是 OPTION 寄存器中的位。
2：WDTE 位是配置字寄存器中的位。

TMR0 时序图，内部时钟/无预分频器



TMR0 时序图，内部时钟/预分频器 1：2



8.2 与 TMR0 相关寄存器

有两个寄存器与 TMR0 相关，8 位定时器/计数器（TMR0），8 位可编程控制寄存器（OPTION）。TMR0 为一个 8 位可读写的定时/计数器，OPTION 为一个 8 位只写寄存器，用户可改变 OPTION 的值，来改变 TMR0 的工作模式等。请参看 2.6 关于预分频寄存器（OPTION）的应用。

8 位定时器/计数器 TMR0(01H)

01H	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
TMR0								
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	X	X	X	X	X	X	X	X

8 位可编程控制寄存器 OPTION

	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
OPTION	---	---	T0CS	T0SE	PSA	PS2	PS1	PS0
读写			W	W	W	W	W	W
复位值	X	X	1	1	1	1	1	1

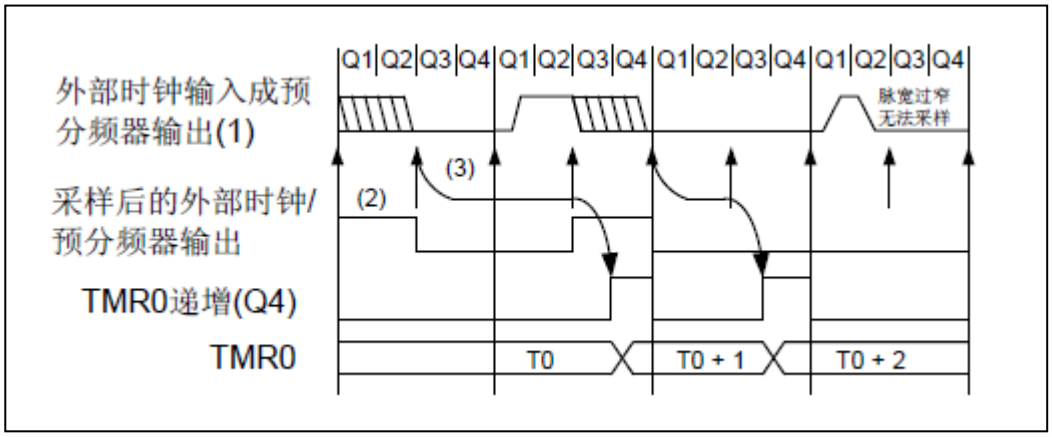
8.3 使用外部时钟作为 TMR0 的时钟源

TMR0 用于外部时钟计数时，外部时钟输入必须满足特定条件。要求外部时钟与内部相位时钟（Tosc）同步，在同步后要经过一定延时，TMR0 才会递增。

如果不使用预分频器，那么外部时钟就是 TMR0 的输入，在内部时钟的 Q2 和 Q4 周期对预分频器输出进行采样可实现 RTCC 与内部相位时钟同步。因此要求 RTCC 引脚信号的高电平时间至少为 2 个 Tosc（加上一小段的 RC 延时），并且低电平时间至少为 2 个 Tosc（加上一小段的 RC 延时）。

若使用了预分频器，外部时钟输入要先经过异步脉动计数型预分频器的分频，从而使预分频器的输出对称。 为了使外部时钟满足采样要求，必须考虑纹波计数器的影响。因此 RTCC 的时钟周期至少为 4 个 Tosc（加上一小段的 RC 延时）除以预分频值。RTCC 引脚上的高低电平持续时间只须满足 10ns 的最低脉宽要求即可。

TMR0 与外部时钟时序



注：1、不选择预分频器时为外部时钟；否则为预分频器的输出。

2、箭头所指为采样时刻。

3、时钟输入发生变化到 TMR0 递增会有 3 个 T0SC 到 7 个 T0SC（持续时间 Q=T0SC）的延时。因此测量 TMR0 输入的相邻脉冲间隔时，其最大误差为±4 T0SC。

8.4 TMR0 做定时器的应用

8.4.1 TMR0 的基本时间常数

当 OPTION 的第 3 位被置 1 时，预分频器作为 WDT 计时的分频，此时 TMR0 的输入时钟为系统时钟的 1 分频。当 OPTION 的第 3 位被置 0 时，预分频器作为 TMR0 计数器的分频。其基本时间常数如下表：

OPTION PS3～PS0	TMR0 的输入时钟 T0CLK	Fcpu=4MHz÷4	
		最大溢出间隔时间	TMR0 递增时间
1xxx	Fcpu/1	256μS	1μS
0000	Fcpu/2	512μS	2μS
0001	Fcpu/4	1024μS	4μS
0010	Fcpu/8	2048μS	8μS
0011	Fcpu/16	4096μS	16μS
0100	Fcpu/32	8192μS	32μS
0101	Fcpu/64	16384μS	64μS
0110	Fcpu/128	32768μS	128μS
0111	Fcpu/256	65536μS	256μS

8.4.2 TMR0 操作流程

TMR0 的操作流程为：

- 设置 TMR0 工作模式，及分频比；
- 设置 TMR0 初值。

例：TMR0 定时设置程序

```
        LDIA    00H
        OPTION                  ；设置 TMR0 时钟=Fcpu/2
        CLR     TMR0            ；初始化 TMR0
```

注：每次 TMR0 溢出时 TMR0 的初值并不会被自动加载，故用户需在每次 TMR0 溢出时重新加载 TMR0 初值；由于对 TMR0 进行写操作，TMR0 将会有一个 T0CLKS 时钟不递增，用户要自己输入校正值来避开这个问题。

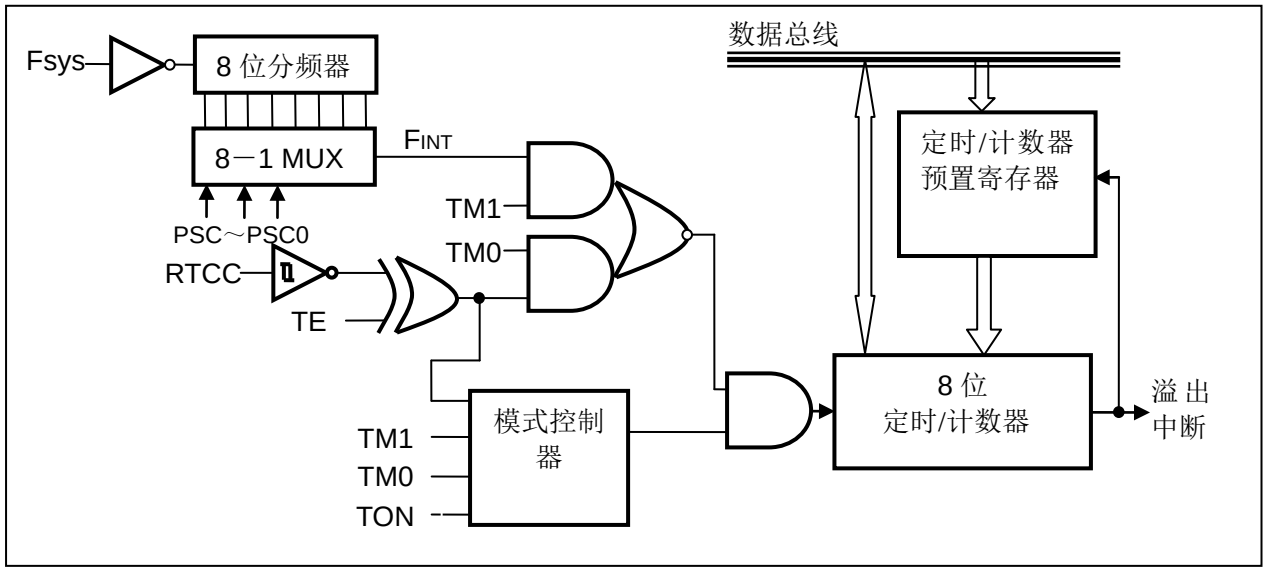
9. 定时计数器 TMR1

9.1 TMR1 概述

TMR1 由如下功能组成：

- 可选择时钟频率
- 8 位定时器 / 计数器
- TMR1 控制寄存器(TMR1C)
- 中断在 FF 到 00 时溢出
- 外部时钟为边沿可选择
- 两种不同工作模式

TIMER1 结构图



TMR1 有两个与定时/计数器有关的寄存器，TMR1 和 TMR1C。TMR1 寄存器有两个物理空间；写入 TMR1 会将初始值装入到定时/计数器的预置寄存器中，而读 TMR1 则会取得定时/计数器的内容。TMR1C 是定时/计数器控制寄存器，它可以定义定时/计数器的工作模式。

TM0、TM1 用来定义定时/计数器的工作模式。外部事件计数模式是用来记录外部事件的，其时钟来源为外部 RTCC 引脚输入。

定时器模式是一个常用模式，其时钟来源为内部时钟。无论是定时模式还是外部事件计数模式，一旦开始计数，定时/计数器会从寄存器当前值向上计到 0FFH。一旦发生溢出，定时/计数器会从预置寄存器中重新加载初值，并开始计数；同时置位中断请求标志(F_T1,INT_FLAG 的第 3 位)，位 F_T1 须用软件清零。

当计数器溢出时，会从定时/计数器的预置寄存器中重新加载初值，而中断的处理方式与其它两种模式一样。要启动计数器，只要置位 TON (TMR1C 的第 4 位)，TON 只能由指令来清除。定时/计数器溢出可以做为唤醒信号。不管是什么模式，只要写 0 到 EN_T1 位即可禁止定时/计数器中断服务。

在定时/计数器停止计数时，写资料到定时/计数器的预置寄存器中，同时会将该数据写入到定时/计数器。但如果在定时/计数器工作时这么做，数据只能写入到预置寄存器中，直到发生溢出时才会将数据从预置寄存器加载到定时/计数器寄存器。读取定时/计数器时，计数会被停止，以避免发生错误；计数停止会导致计数错误，程序员必须注意到这一点。

9.2 TMR1 相关寄存器

TMR1 数据寄存器 TMR1(16H)

16H	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
TMR1								
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	X	X	X	X	X	X	X	X

TMR1 控制寄存器 TMR1C(17H)

17H	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
TMR1C	TM1	TM0	未用	TON	TE	PSC2	PSC1	PSC0
读写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	1	0	0	0

BIT7-BIT6 **TM1-TM0：TMR1 工作模式选择位**

00：不工作

01：外部事件计数器

10：内部定时器

11：不工作

BIT4 **TON：工作使能位**

0：禁止

1：使能

BIT3 **TE：计数模式边缘选择**

0：上升沿计数

1：下降沿计数

BIT2-BIT1-BIT0	PSC2	PSC1	PSC0	分频比选择
	0	0	0:	1:1
	0	0	1:	1:2
	0	1	0:	1:4
	0	1	1:	1:8
	1	0	0:	1:16
	1	0	1:	1:32
	1	1	0:	1:64
	1	1	1:	1:128

9.3 TMR1 的时间参数

9.3.1 TMR1 基本时间参数

TMR1 在设置不同分频时候的基本事件参数如下表：

TMR1C PSC2～PSC0	TMR1 的输入时钟 T1CLK	Fcpu=4MHz÷4	
		最大溢出间隔时间	TMR1 递增时间
000	Fcpu	256μS	1μS
001	Fcpu/2	512μS	2μS
010	Fcpu/4	1024μS	4μS
011	Fcpu/8	2048μS	8μS
100	Fcpu/16	4096μS	16μS
101	Fcpu/32	8192μS	32μS
110	Fcpu/64	16384μS	64μS
111	Fcpu/128	32768μS	128μS

9.4 TMR1 的应用

9.4.1 TMR1 作定时器使用

TMR1 作内部定时器时，可以产生一个定时中断，设置 T1 定时器的操作流程如下：

- 禁止 TMR1 定时器
- 禁止 TMR1 中断并清除 TMR1 中断标志位；
- 设置 TMR1 为定时器模式，及分频比；
- 设置 TMR1 初值
- 开启 TMR1 中断

例：TMR1 定时设置程序

```
        CLRB    TMR1C,TON           ;禁止 TMR1 定时器工作
        CLRB    INT_EN,EN_T1        ;禁止 TMR1 中断
        CLRB    INT_FLAG,F_T1       ;清零 TMR1 中断请求标志位
        LDIA    B'10000000'
        LD      TMR1C,A             ;设置 TMR1 为定时器模式，分频比 1：1
        LDIA    06H
        LD      TMR1,A              ;设置 TMR1 初值
        CLRB    INT_FLAG,F_T1       ;清零 TMR1 中断请求标志位
        SETB    INT_EN,EN_T1        ;使能 TMR1 中断
        SETB    SYS_GEN,INT_GEN     ;使能 INT_GEN
        SETB    TMR1C,TON           ;使能 TMR1 定时器
```

9.4.2 TMR1 作计数器使用

通过设置 TMR1C 的 TM1、TM0 位可以使 TMR1 工作在外部事件计数模式，当 TMR1 被设置为外部事件计数模式时，在外部计数器模式下 TMR1 会根据 RTCC 口的上升沿或则下降沿递增，在此种模式下分频比选项是不起作用的。

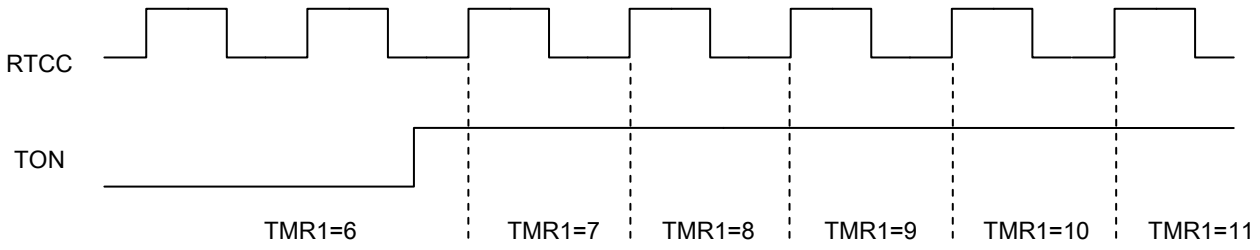
设置 T1 计数器的操作流程如下：

- 禁止 TMR1 计数器；
- 禁止 TMR1 中断并清除 TMR1 中断标志位；
- 设置 TMR1 为计数器模式；
- 设置 TMR1 初值；
- 开启 TMR1 中断。

例：TMR1 计数器设置程序（上升沿递增模式）

```
        CLRB    TMR1C,TON           ;禁止 TMR1 工作；
        CLRB    INT_EN,EN_T1        ;禁止 TMR1 中断；
        CLRB    INT_FLAG,F_T1       ;清零 TMR1 中断请求标志位；
        LDIA    B'01000000'
        LD      TMR1C,A             ;设置 TMR1 为计数器模式；
        LDIA    06H
        LD      TMR1,A              ;设置 TMR1 初值；
        CLRB    INT_FLAG,F_T1       ;清零 TMR1 中断请求标志位；
        SETB    INT_EN,EN_T1        ;使能 TMR1 中断；
        SETB    SYS_GEN,INT_GEN     ;使能 INT_GEN；
        SETB    TMR1C,TON           ;使能 TMR1 定时器。
```

- TMR1 作外部计数器时工作时序如下：



TMR1 在作外部计数器时工作流程如下：

- RTCC 口有方波信号输入
- TMR1 在方波信号的上升沿或者下降沿递增
- 当 TMR1 从 FF 加到 00 时产生中断请求信号 F_T1
- 若中断使能，则回应 TMR1 中断

关于 TMR1 作计数器的下降沿递增模式，与上升沿一样，只是一个在下降沿递增、一个在上升沿递增。这里不再赘述。

10. 定时计数器 TMR2

10.1 TMR2 概述

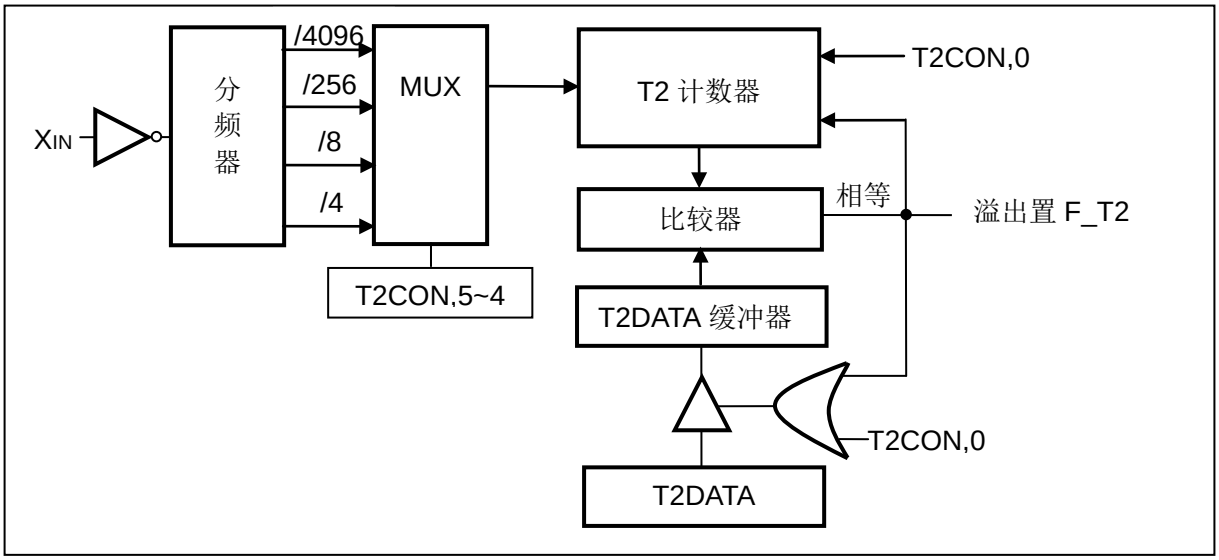
TMR2 由如下功能组成：

- 选择时钟频率
- 8Bit 计数器(T2CNT)，8Bit 比较器，8Bit 数据寄存器(T2 DATA)和 T2 DATA 缓冲器
- TMR2 控制寄存器(T2CON)

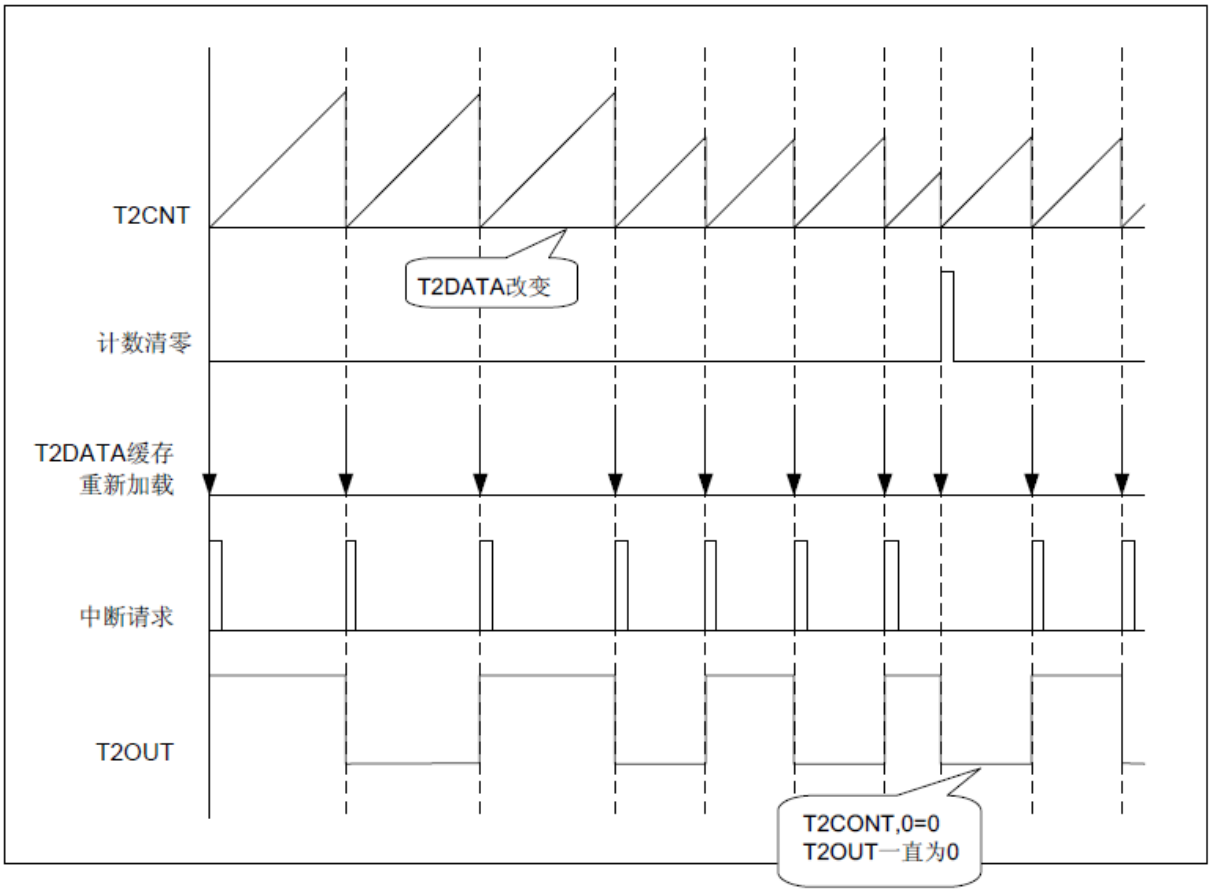
T2CON(BIT4 和 BIT5)用来选择 TMR2 的输入时钟频率。定时器 2 中断的使能位和标志位由 INT_EN.2 和 INT_FLAG.2 控制。在定时模式下，当 TMR2 计数器的值和 T2 DATA 值相等时，将产生一个 TMR2 的匹配信号来清除 T2 计数器的值和重载 T2 DATA 的比较值，假如 T2 中断是使能的，那么也会同时产生中断请求信号。如果 TMR2 中断禁止(INT_EN.2=0)，匹配的信号不产生匹配的中断请求。时钟分配器不是 TMR2 的组成部分，且分配的时钟和定时器中断使能信号是同步的。所以，在第一个匹配时间间隔里是矛盾的。

注：中断请求标志位 F_T2 必须由软件清除。

TMR2 结构框图如下：



TMR2 时序图


T2CNT
T2DATA改变
计数清零
T2DATA缓存
重新加载
中断请求
T2OUT
T2CONT,0=0
T2OUT一直为0

10.2 TMR2 相关的寄存器

有三个寄存器与 TMR2 相关，分别是数据存储器 T2DATA,计数器 T2CNT,控制寄存器 T2CON。

TMR2 计数器 T2CNT(18H)

18H	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
T2CNT								
R/W	R	R	R	R	R	R	R	R
复位值	0	0	0	0	0	0	0	0

TMR2 控制寄存器 T2CON(19H)

19H	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
T2CON	未用	未用	T2C1	T2C0	未用	未用	未用	T2_CLRF
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

BIT7-BIT6 未用

BIT5-BIT4

T2C1	**T2C0**	**时钟选择位**
0	0	Fosc/4096
0	1	Fosc/256
1	0	Fosc/8
1	1	Fosc/4

BIT3-BIT1 未用

BIT0 **T2_CLRF：工作使能位**

0：禁止 TMR2 时钟，T2CNT 清零

1：使能 TMR2 时钟，T2CNT 从“0”开始计数

TMR2 数据存储器 T2DATA(1AH)

1AH	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
T2DATA								
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	1	1	1	1	1	1	1	1

10.3 TMR2 的时间常数

10.3.1 TMR2 基本时间参数

在 8M 的时钟下，TMR2 基本时间参数如下表：

T2CON T2C1、T2C0	T2CNT 计数时钟	Fosc=8MHz	
		最大溢出间隔时间	最小溢出间隔时间
00	Fosc /4096	131072μS	512μS
01	Fosc /256	8192μS	32μS
10	Fosc /8	256μS	1μS
11	Fosc /4	128μS	0.5μS

10.3.2 T2DATA 初值计算方法：

T2DATA 初值 =T2 溢出时间×时钟频率÷分频比-1

例：Fosc=8MHz、分频比 1:4、T2 溢出时间 100μS 时 T2DATA 的值

T2DATA 初值 =T2 溢出时间×时钟频率÷分频比-1
=100μS×8 MHz÷4-1
=199

10.4 TMR2 应用

TMR2 作计数器时，可以产生一个定时中断，设置 T2 计数器的操作流程如下：

- 禁止 TMR2 定时器；
- 禁止 TMR2 中断并清除 TMR2 中断标志位；
- 设置 TMR2 分频比；
- 开启 TMR2 中断；
- 开始 TMR2 计数。

例：TMR2 定时设置程序

```
        CLRB    T2CON,T2_CLRF       ;清零 T2CNT
        CLRB    INT_EN,EN_T2        ;禁止 TMR2 中断
        CLRB    INT_FLAG,F_T2       ;清零 TMR2 中断请求标志位
        LDIA    063H
        LD      T2DATA,A            ;设置 TMR2 目标值
        LDIA    B'00110000'
        LD      T2CON,A             ;设置 TMR2 分频比 1：4
        CLRB    INT_FLAG,F_T2       ;清零 TMR2 中断请求标志位
        SETB    INT_EN,EN_T2        ;使能 TMR2 中断
        SETB    SYS_GEN,INT_GEN     ;使能 INT_GEN
        SETB    T2CON,T2_CLRF       ;T2CNT 开始计数
```

11. 模数转换（ADC）

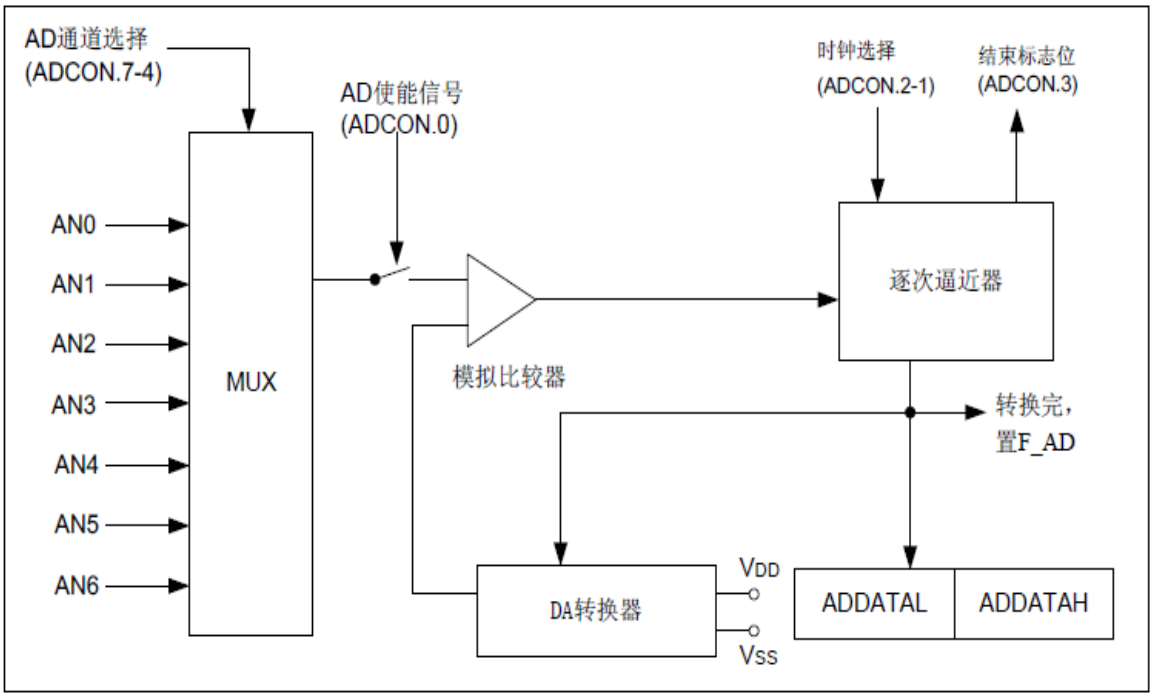
11.1 ADC 概述

模数转换器（Analog-to-digital ConverteR,ADC）可以将模拟输入信号转换为 12 位二进制代码表示。该模块使用模拟信道通过多路开关连接到一个采样保持电路，采样保持电路的输出与转换器的输入相连接，转换器通过逐次逼近法产生 12 位的二进制结果，并将转换结果存入 ADDATAH 跟 ADDATAL 寄存器中，并产生中断请求信号 F_AD。

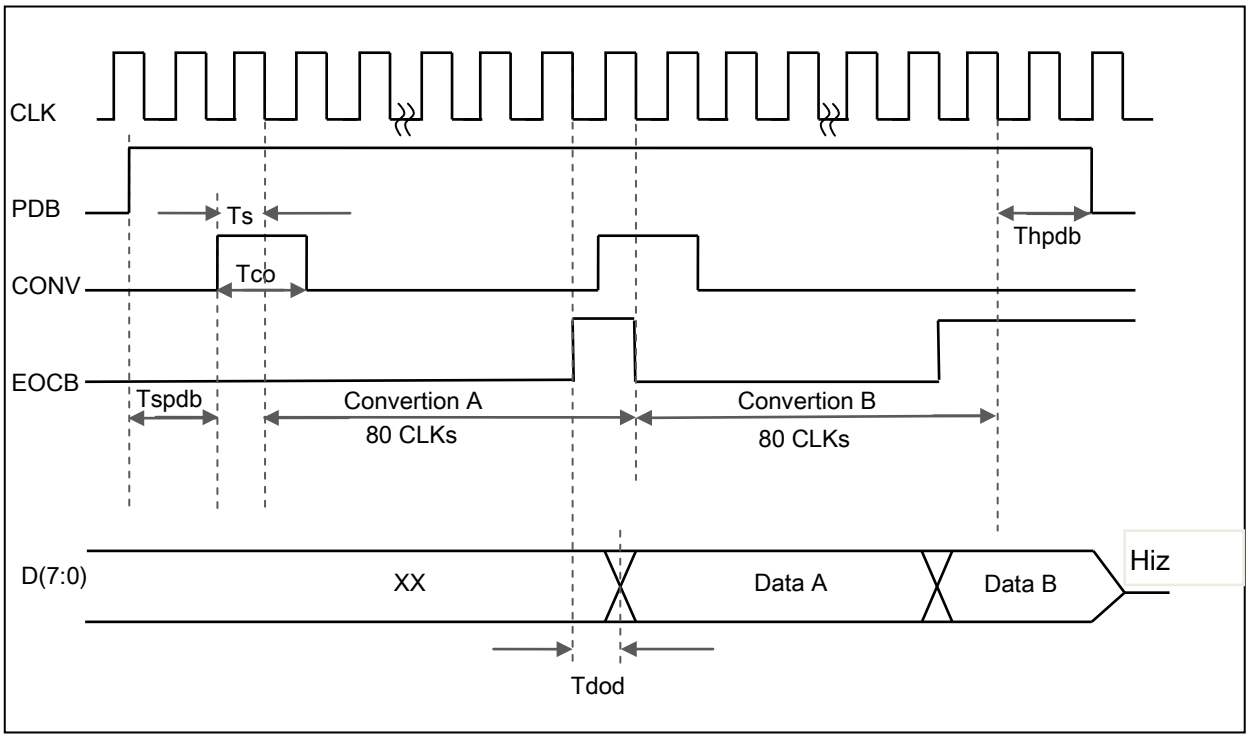
ADC 由如下功能组成：

- 最多 12 通道输入，并可以测量内部基准电压及运放输出电压
- 12-bit 连续近似值寄存器
- 输出寄存器组成(ADDATAH、ADDATAL)
- 控制寄存器(ADCON)
- 转换结束产生中断

ADC 结构框图如下：



AD 时序图如下：


CLK
PDB
Ts
Thpdb
CONV
Tco
EOCB
Tspdb
Convertion A
80 CLKs
Convertion B
80 CLKs
D(7:0)
XX
Data A
Data B
Hiz
Tdod

11.2 与 ADC 相关寄存器

有三个寄存器与 ADC 相关，分别是数据存储器高 8 位 ADDATAH，数据存储器低 4 位 ADDATAL，AD 控制寄存器 ADCON。

AD 控制寄存器 ADCON(15H)

15H	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
ADCON	通道选择位				EOC	时钟选择		CONV
R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W
复位值	X	X	X	X	X	X	X	X

BIT7-BIT4 **AD 通道选择位**

0000：选择 AN0 通道

0001：选择 AN1 通道

0010：选择 AN2 通道

0011：选择 AN3 通道

0100：选择 AN4 通道

0101：选择 AN5 通道

0110：选择 AN6 通道

其他：未用

BIT3 **EOC：结束标志（选择较慢的时钟频率有利于提高 AD 精度）**

0：转换未完成

1：转换结束

BIT2-BIT1 **AD 时钟选择位**

00：Fcpu/16

01：Fcpu/8

10：Fcpu/4

11：Fcpu/2（在 8M 或者更高的振荡频率下不建议使用）

BIT0 **CONV：AD 转换开始信号**

“0”→“1”→“0”：AD 转换开始

AD 数据寄存器高 8 位 ADDATAH(14H)

14H	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
ADDATAH								
R/W	R	R	R	R	R	R	R	R
复位值	X	X	X	X	X	X	X	X

AD 数据寄存器低 4 位 ADDATAL(1BH)

1BH	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
ADDATAL			X	X	X	X	X	X
R/W	R	R	R	R	R	R	R	R
复位值	X	X	X	X	X	X	X	X

ADDATAH 跟 ADDATAL 是 A/D 转换结果寄存器，是只读寄存器，当完成 A/D 转换后可从 ADDATAH 跟 ADDATAL 读取 A/D 转换结果。

ADCON 是 A/D 转换控制寄存器，用来定义 A/D 转换时钟，模拟输入通道选择，A/D 转换开始控制和完

成标志。如果要进行 A/D 转换要先定义好 I/O 口的设置选择，转换的仿真通道，然后给 CONV 控制位一个上升沿信号和一个下降沿信号：0→1→0，完成 A/D 转换后 EOC 位会被置 1，若 A/D 中断被允许，则会产生 A/D 转换中断。当 CONV 标志由 0 置为 1 时 EOC 也会清零。

注：A/D 中断请求标志 F_AD 须由软件清除，为了确保 A/D 转换顺利完成 CONV 位应保持为 0 直到 EOC 位变为 1（A/D 转换完成信号）。

11.3 ADC 应用

11.3.1 用查询模式做 AD 转换流程

1、A/D 转换使能，即 ADC_EN(SYS_GEN.1)=1；
2、设置对应 I/O 口为 AD 口；
3、等待几十条指令时间；
4、设置 AD 转换时钟 ADCON[2:1]，采样通道 ADCON[7:4]；
5、置 CONV(ADCON[0])=1,触发 AD 转换；
6、等待至少 1 个 CLK 的延时后，清 CONV(ADCON[0])=0；
7、等待 AD 转换结束，判断 EOC(ADCON[3])是否为“1”，等于“1”代表转换结束；
8、读取 AD 数据 ADDATAH[14H]，ADDATAL[1BH]；
9、如果需要采样另外通道则转到 1 或 2；否则结束 AD 转换，转到 10；
10、AD 转换结束，如需省电可以关闭 AD 模块，设置 ADC_EN(SYS_GEN.1)=0。
例：查询模式的 AD(AN0)转换程序

```
AD_SET_MODE：
            SETB    SYS_GEN,ADC_EN      ;开启 ADC 使能
            LDIA    B’XXXXXX11’
            LD      P0CL,A              ;设置 P0,0 口为 AD 口
            CALL    DELY_TIME           ;延时几十个指令周期
            LDIA    B’00000000’
            LD      ADCON,A             ;选择 AN0 通道，AD 时钟为 Fosc/16
            NOP
            SETB    ADCON,CONV          ;CONV 下降沿开始 AD 转换
            NOP
            NOP
            NOP
            CLRB    ADCON,CONV          ;开始 AD 转换
AD_WAIT：
            SNZB    ADCON,EOC           ;等待 AD 转换结束
            JP      AD_WAIT
            LD      A,ADDATAH
            LD      R01,A               ;保存高 8 位结果用户自定义 RAM 里面
            LD      A,ADDATAL
            LD      R02,A               ;保存低 4 位结果用户自定义 RAM 里面
            CLRB    SYS_GEN,ADC_EN      ;关断 ADC 模块
            JP      XXXX                ;AD 转换结束转到其它程序
```

11.3.2 AD 中断模式流程

1、A/D 转换使能，即 ADC_EN(SYS_GEN.1)=1；
2、设置对应 I/O 口为 AD 口；
3、等待几十条指令时间；
4、设置 AD 转换时钟 ADCON[2:1]，采样通道 ADCON[7:4]；
5、置 CONV(ADCON[0])=1,触发 AD 转换；
6、开启 AD 中断 EN_AD(INT_EN.5)=1；
7、等待至少 1 个 CLK 的延时后，清 CONV(ADCON[0])=0；
8、等待 AD 中断产生；
9、读取 AD 数据 ADDATAH、ADDATAL；
10、如果需要采样另外通道则转到①或②；否则结束 AD 转换，转到下一步；
11、AD 转换结束，如需省电可以关闭 AD 模块，设置 ADC_EN(SYS_GEN.1)=0。
例：用 AD 中断做 AD 转换:

```
                ORG     0000H
                JP      START           ;用户程序起始地址；
                ORG     0001H
                JP      INT_SERVICE     ;中断服务程序；
                ORG     0002H
START：
                …                       ;用户初始化程序
MAIN：
                …
                CALL    ADC_SUB         ;调用 AD 设置程序
                …
                JP      MAIN
INT_SERVICE：
                CALL    PUSH            ;中断服务程序入口，保存 ACC 及 FLAGS；
ADCCH：
                SNZB    INT_EN,EN_AD    ;判断是否使能 ADC 中断
                JP      INT_EXIT
                SNZB    INT_FLAG,F_AD   ;检查有无 ADC 中断请求标志位
                JP      INT_EXIT
INT_ADC：                               ;AD 中断处理程序
                CLRB    INT_FLAG,F_AD   ;清零 AD 中断请求标志
                CLRB    FLAG,AD_EN      ;清零设置 AD 标志
                LD      A,ADDATAH
                LD      R01,A           ;保存 AD 转换高 8 位值
                LD      A,ADDATAL
```

例：用 AD 中断做 AD 转换（续）：

```
                LD      R02,A           ;保存 AD 转换低 2 位值

INT_EXIT：
                CALL    POP             ;中断服务程序出口，还原 ACC 及 FLAGS
                RETI

ADC_SUB：       SZB     FLAG,AD_EN      ;AD 检测子程序入口
                RET
                SETB    SYS_GEN,ADC_EN  ;开启 ADC 使能
                LDIA    B'XXXX11XX'
                LD      P0CL,A          ;设置 P0,1 口为 AD 口
                CALL    DELY_TIME       ;延时几十个指令周期
                LDIA    B'00010110'
                LD      ADCON,A         ;选择 AN1 通道，AD 时钟为 Fosc/2
                NOP
                SETB    ADCON,CONV
                NOP
                CLRB    INT_FLAG,F_AD
                SETB    INT_EN,EN_AD
                CLRB    ADCON,CONV      ;开始 AD 转换
                SETB    FLAG,AD_EN
                RET
```

12. 8 位 PWM

12.1 8 位 PWM 概述

PWM8 由如下功能组成：

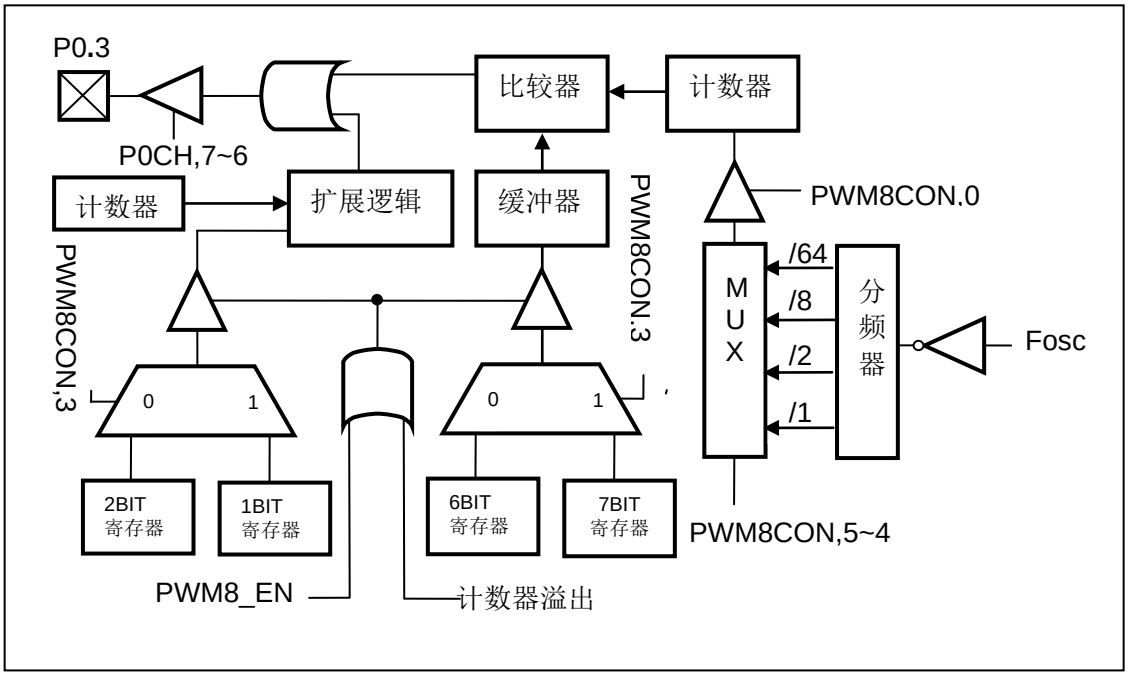
- 选择时钟频率
- 8-bit 计数器(PWM8CON)，6-bit 比较器，6-bit 数据存储器(PWM6DATA)，和 6-bit 数据缓冲器。
- 2-bit 扩展逻辑，2-bit 扩展寄存器和数据缓冲器。
- 两种模式选择(6+2)模式或(7+1)模式

CMS69F23D/25D 的 8 位脉冲宽度调制器有两种工作模式，由 PWM8CON.3 位控制，PWM8CON.3=1 选择“7+1”模式，PWM8CON.3=0 选择“6+2”模式。PWM8CON.2=1 为 6 位溢出时加载，即改变 PWM8 的数据存储器后会在下一个波形输出时改变占空比，PWM8CON.2=0 时为 8 位溢出时加载，即改变 PWM8 的数据存储器后会在下一个周期时改变占空比(也就是说当选择“6+2”模式时，PWM8 将为 4 个波形一个周期，此时不论你在哪一个波形输出时改变 PWM8 的数据存储器都将在下一个周期才生效)。

所谓“6+2”模式就是指 PWM8DATA 的高 6 位(PWMDATA.7～2)用于控制 PWM8 的调制周期及在调制周期内占空比，低 2 位(PWMDATA.1～0)用于控制扩展周期。

所谓“7+1”模式就是指 PWM8DATA 的高 7 位(PWMDATA.7～1)用于控制 PWM8 的调制周期及在调制周期内占空比，低 1(PWMDATA.0)位用于控制扩展周期。

◆ 8 位 PWM 框图



12.2 与 8 位 PWM 相关寄存器

有两个寄存器与 PWM8 有关，PWM8DATA(数据存储器)、PWM8CON(控制寄存器)。

PWM8 数据寄存器 PWM8DATA(1CH)

1CH	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
PWM8DATA								
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

PWM8 控制寄存器 PWM8CON(1DH)

1DH	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
PWM8CON	----		PWM8时钟选择		模式选择	加载选择	-	PWM8_EN
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

BIT7-BIT6 **未用**

BIT5-BIT4 **PWM8 时钟选择**

00： PWM8 时钟为 Fosc/64

01： PWM8 时钟为 Fosc/8

10： PWM8 时钟为 Fosc/2

11： PWM8 时钟为 Fosc/1

BIT3 **模式选择位**

0：“6+2”模式

1：“7+1”模式

BIT2 **加载选择位**

0：数据缓冲在 8 位溢出时加载

1：数据缓冲在 6 位溢出时加载

BIT0 **PWM8_EN：PWM8 使能控制位**

0：PWM8 停止工作

1：PWM8 允许工作

12.3 8 位 PWM 的周期

12.3.1 8 位 PWM 调制周期

8 位 PWM 调制周期由系统主频(Fosc)、PWM8 分频比、PWM8 模式决定，计算公式如下：

PWM8 调制周期 $=2^N$×PWM8 分频比÷F_{osc}

注：N=6 或者 7 由 PWM8 模式决定

例：Fosc=8MHz、分频比 1:2、“6+2”模式，时 PWM 调制周期

PWM8 调制周期 $=2^N$×PWM8 分频比÷F_{osc}

$=2^6\times2\div(8\times10^6)$ S

$=16\times10^{-6}$S

=16uS

Fosc=8MHz 时 PWM8 的调制周期表

PWM8CON BIT5、BIT4	PWM8 时钟	Fosc=8MHz	
		“6+2”模式	“7+1”模式
00	Fosc /64	512uS	1024uS
01	Fosc /8	64uS	64uS
10	Fosc /2	16uS	32uS
11	Fosc /1	8uS	16uS

12.3.2 8 位 PWM 输出周期

8 位 PWM 输出周期由 PWM8 模式确定，当选择“6+2”模式时，4 个调制周期为一个输出周期，当选择“7+1”模式时 2 个调制周期为一个输出周期。

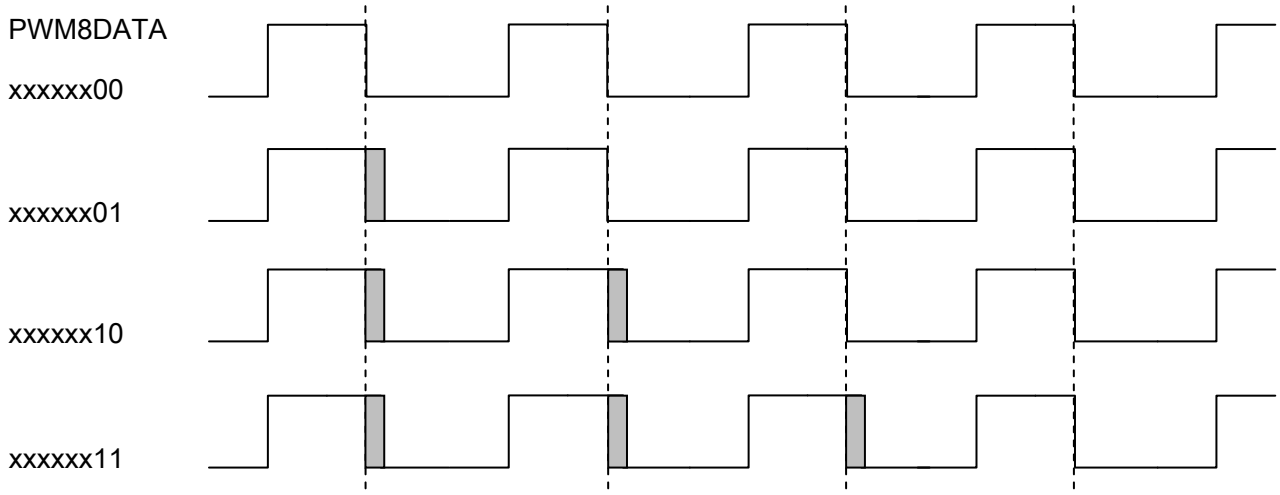
12.4 8 位 PWM 占空比算法

8 位 PWM 输出的占空比与 PWM8DATA 的数值相关，从整体上来说，其占空比近似等于 PWMDATA÷256。不同的模式 PWM 占空比算法不同，我们不妨把 PWM8DATA 的值分为两个部分：基本输出周期控制部分(DC)和额外输出周期控制部分(AC)。

12.4.1 6+2 模式 PWM 占空比

当选择 6+2 模式的时候，PWMDATA 的高 6 位为基本输出周期，低 2 位为额外输出周期。根据额外输出周期的不同，在基本输出周期的基础上分 4 个周期的补偿。

6+2 模式 8 位 PWM 输出示意图：



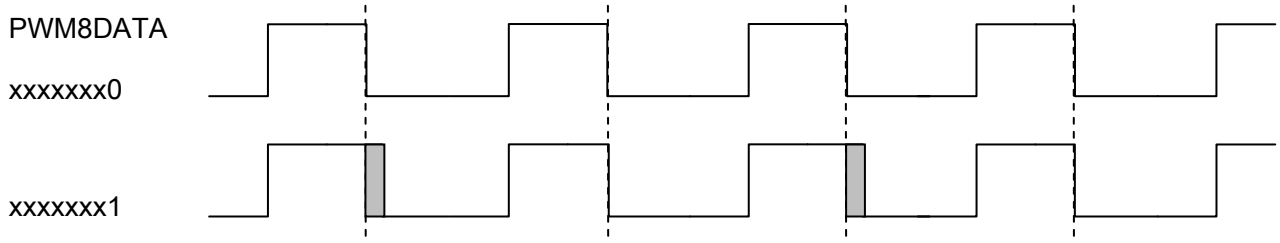
如上图所示，当基本输出周期为 DC,那么不同的额外输出周期时，PWM8 的连续 4 个实际周期分别为：

额外输出周期	周期 1	周期 2	周期 3	周期 4
00	DC/64	DC/64	DC/64	DC/64
01	DC/64+1	DC/64	DC/64	DC/64
10	DC/64+1	DC/64+1	DC/64	DC/64
11	DC/64+1	DC/64+1	DC/64+1	DC/64

12.4.2 7+1 模式 PWM 占空比

当选择 7+1 模式的时候，PWMDATA 的高 7 位为基本输出周期，最低位为额外输出周期。根据额外输出周期的不同，在基本输出周期的基础上分 2 个周期的补偿。

7+1 模式 8 位 PWM 输出示意图：



如上图所示，当基本输出周期为 DC,那么不同的额外输出周期时，PWM8 的连续 2 个实际周期分别为：

额外输出周期	周期 1	周期 2
0	DC/64	DC/64
1	DC/64+1	DC/64

12.5 8 位 PWM 应用

PWM8 的应用设置需的操作流程如下：

- 设置 PWM8 工作模式及时钟
- 设置 PWM8DATA
- P0.6 设置为 PWM8 输出口
- PWM8 开始工作

例：PWM8 的设置程序

```
        LDIA    B'XX110000'
        LD      PWM8CON,A       ;FPWM=FOSC、"6+2"模式
        LDIA    B'10000001'
        LD      PWM8DATA,A      ;设置 PWM8 占空比
        LDIA    B'XX01XXXX'
        LD      P0CH,A          ;P0,6 设置为 PWM 输出口
        SETB    PWM8CON,0       ;开启 PWM8
```

13. 10 位 PWM

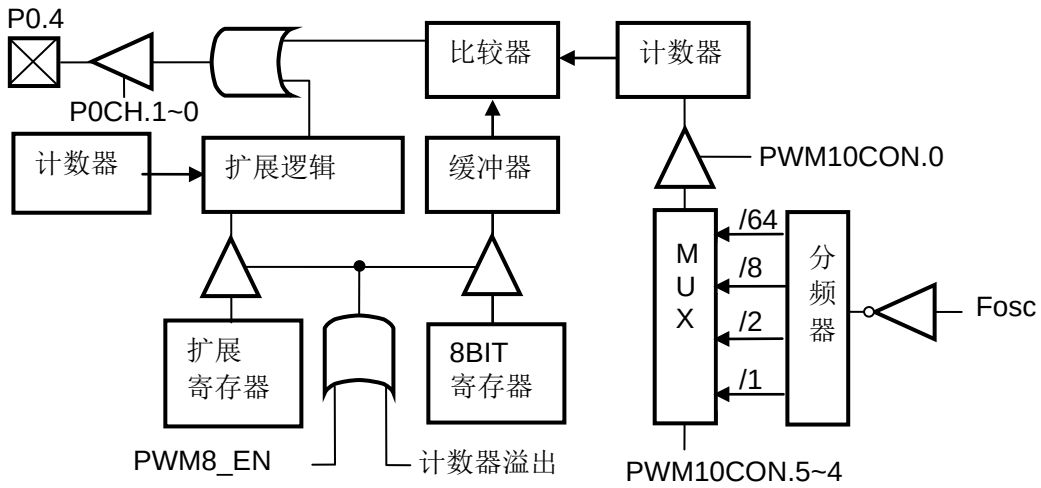
13.1 10 位 PWM 概述

PWM10 由如下功能组成：

- 选择时钟频率
- 10-bit 计数器(PWM10CON)、8-bit 比较器、8-bit 数据存储器(PWM10DATA)和 8-bit 数据缓冲器。
- 2-bit 扩展逻辑，2-bit 扩展寄存器和数据缓冲器。
- 控制寄存器(PWM10CON)。

计数器的低 8 位和 PWM10 数据存储器相比较(PWM10DATA)来确定 PWM10 的工作频率。为了更高的精度，计数器的高 2 位可被用来作为扩展周期。

- PWM10 结构框图



当计数器的高 8 位和相关的数据寄存器（PWM10DATA）匹配 时，PWM 输出低电平。如果 PWM10DATA 寄存器的值不是 0，计数器的高 8 位溢出将使 PWM 输出高电平。这样的话，写进相关寄存器的值就决定了模块的基本工作周期。

计数器的低 2 位值和 2 位扩展数据寄存器(PWM10CON.7-6)的扩展设置比较。计数器值的低 2 位被用来扩展 PWM 的输出工作周期。扩展值是一个在特殊周期的额外时钟周期(如下表)。

PWM10CON.7-6	扩展周期
00	None
01	1
10	1,2
11	1,2,3

13.2 与 10 位 PWM 相关寄存器

有两个寄存器与 PWM10 有关，PWM10 数据寄存器 PWM10DATA、PWM10 控制寄存器 PWM10CON。

PWM10 数据寄存器 PWM10DATA(1EH)

1EH	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
PWM10DATA								
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

PWM10 数据寄存器 PWM10DATA(1FH)

1FH	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
PWM10CON	扩展周期选择		PWM10时钟选择		未用	加载选择	-	PWM10_EN
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

BIT7-BIT6 **扩展周期选择**
00：无扩展周期
01：扩展周期为 1
10：扩展周期为 1、2
11：扩展周期为 1、2、3

BIT5-BIT4 **PWM10 时钟选择**
00： PWM10 时钟为 Fosc/64
01： PWM10 时钟为 Fosc/8
10： PWM10 时钟为 Fosc/2
11： PWM10 时钟为 Fosc/1

BIT3 未用

BIT2 **加载选择位**
0：数据缓冲在 10 位溢出时加载
1：数据缓冲在 8 位溢出时加载

BIT0 **PWM10_EN：PWM10 使能控制位**
0：PWM10 停止工作
1：PWM10 允许工作

13.3 10 位 PWM 调制周期

13.3.1 10 位 PWM 调制周期

10 位 PWM 调制周期由系统主频(Fosc)、PWM10 分频比，计算公式如下：

PWM10 调制周期 $=2^8$×PWM10 分频比÷F_{OSC}

例：Fosc=8MHZ,分频比 1:1，时 PWM 调制周期

PWM10 调制周期 $=2^8$×PWM10 分频比÷F_{OSC}

$=2^8$×1÷(8×$10^{6)}$ S

$=32\times10^{-6}$S

=32uS

例：Fosc=8MHz 时 PWM10 的调制周期表

PWM10CON BIT5、BIT4	PWM10 时钟	Fosc=8MHz
00	Fosc /64	2048uS
01	Fosc /8	256uS
10	Fosc /2	64uS
11	Fosc /1	32uS

13.3.2 10 位 PWM 输出周期

4 个调制周期为一个输出周期。

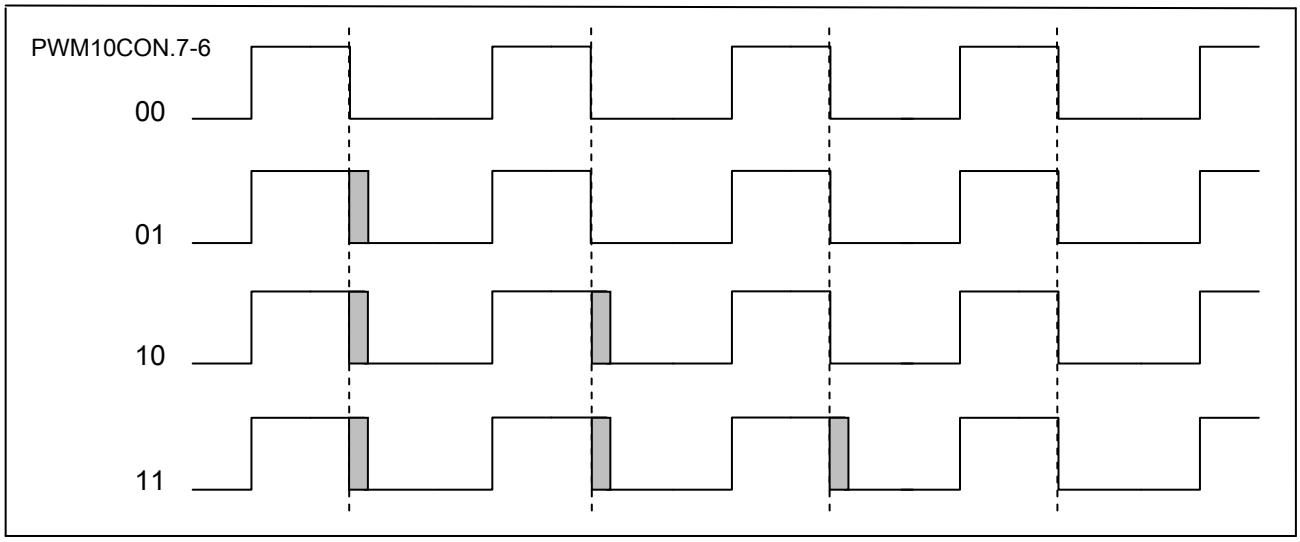
13.4 10 位 PWM 占空比算法

10 位 PWM 输出的占空比与 PWM10DATA(DC)及 PWM10CON.7～6(AC)的数值相关。从整体上来看，PWM10 的占空比可用下面公式计算：

PWM10 的占空比 = (PWM10 输出周期×4+PWM10 额外周期)÷1024

实际输出时，PWM10 的占空比根据扩展位的不同，分 4 个周期不同的输出。

PWM10 占空比输出示意图。



如上图所示，当基本输出周期为 PWM10DATA,那么不同的扩展周期时，PWM10 的连续 4 个实际周期分别为：

额外输出周期	周期 1	周期 2	周期 3	周期 4
00	PWM10DATA/256	PWM10DATA/256	PWM10DATA/256	PWM10DATA/256
01	PWM10DATA/256+1	PWM10DATA/256	PWM10DATA/256	PWM10DATA/256
10	PWM10DATA/256+1	PWM10DATA/256+1	PWM10DATA/256	PWM10DATA/256
11	PWM10DATA/256+1	PWM10DATA/256+1	PWM10DATA/256+1	PWM10DATA/256

13.5 10 位 PWM 应用

PWM10 的应用设置需的操作流程如下：

- 设置 PWM10 工作模式及时钟
- 设置 PWM10DATA
- P0.7 设置为 PWM10 输出口
- PWM10 开始工作

例：PWM10 的设置程序

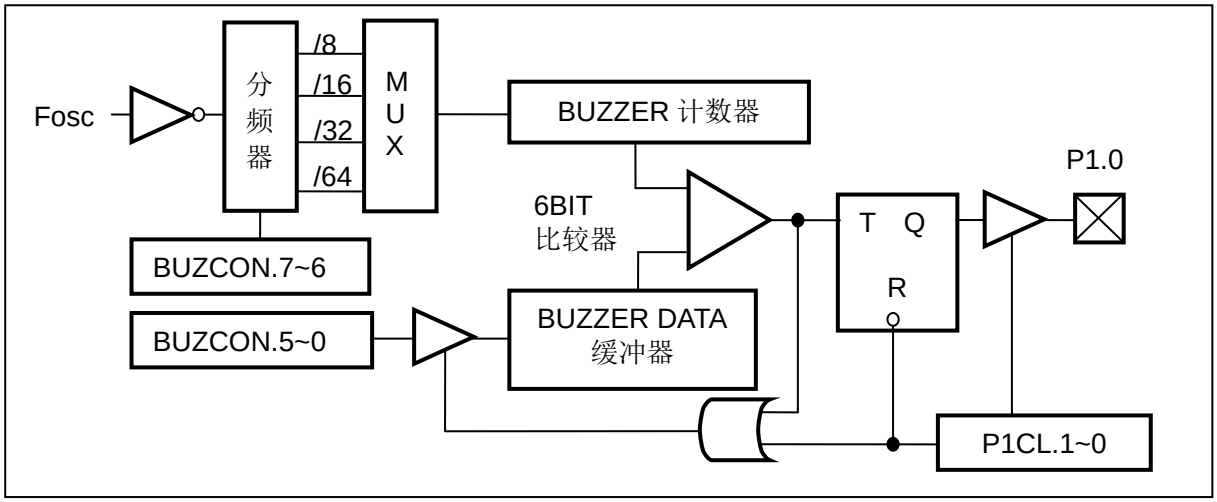
```
        LDIA    B'00110010'
        LD      PWM10CON,A      ;FPWM=FOSC,8 位溢出加载，无扩展周期
        LDIA    B'10000001'
        LD      PWM10DATA,A     ;设置 PWM10 占空比
        LDIA    B'01XXXXXX'
        LD      P0CH,A          ;P0.4 设置为 PWM 输出口
        SETB    PWM10CON,0      ;开启 PWM10
```

14. 蜂鸣器输出（BUZZER）

14.1 BUZZER 概述

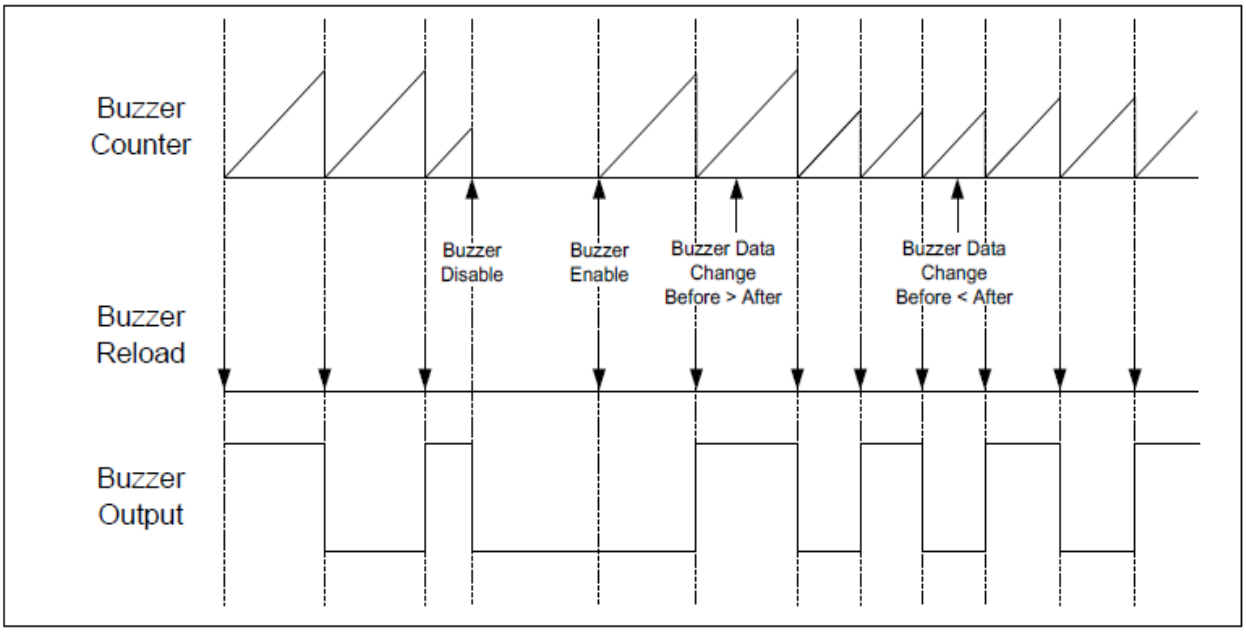
CMS69F23D/25D 的蜂鸣驱动器由 6-BIT 计数器，时钟驱动器，控制寄存器组成。它产生 50%的占空方波，其频率覆盖一个较宽的范围。BUZZER 的输出频率由 BUZCON 寄存器的值控制。

BUZZER 结构框图



设置 P1.0 的控制寄存器，即将 P1CL 的 B1，B0 设为 01，可使蜂鸣输出功能处于使能状态，当蜂鸣输出使能时，6-BIT 计数器被清零，PC.1 输出状态为 0，开始往上计数。如果计数器值和周期数据(BUZCON.5-0)相符，则 PC.1 输出状态被固定，计数器被清零。另外，6-BIT 计数器溢出也可使计数器清零，BZCON.5-0 决定输出频率。

BUZZER 输出时序图



14.2 与 BUZZER 相关的寄存器

BUZZER控制寄存器BUZCON(21H)

21H	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
BUZCON	时钟选择		BUZDATA					
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

BIT7～BIT6 **时钟选择**

00： BUZZER 时钟为 Fosc/8

01： BUZZER 时钟为 Fosc/16

10： BUZZER 时钟为 Fosc/32

11： BUZZER 时钟为 Fosc/64

BIT5～BIT0 **BUZDATA：BUZ 输出周期数据**

14.3 BUZZER 输出频率

14.3.1 BUZZER 输出频率计算方法

BUZZER 输出频率 =Fosc÷[2×分频比×(BUZDATA+1)]

例：Fosc=4MHz，BUZDATA=4，BUZZER时钟为Fosc/8，时BUZZER的输出频率

BUZZER 输出频率 =Fosc÷[2×分频比×(BUZDATA+1)]

$=4\times10^{6}\div[2\times8\times(4+1)]$

$=5\times10^{4}$

=50KHz

14.3.2 BUZZER 输出频率表

BUZCON BIT7、BIT6	BUZZER 计数时钟	Fosc=8MHz	
		BUZZER 最小输出频率	BUZZER 最大输出频率
00	Fosc /8	1.95KHZ	500KHz
01	Fosc /16	0.98KHz	250KHz
10	Fosc /32	0.49KHz	125KHz
11	Fosc /64	0.25KHz	62.5KHz

14.4 BUZZER 应用

BUZZER 应用设置的操作流程如下：

- 设置 BUZZER 频率
- P1.1 设置为 BUZZER 输出口

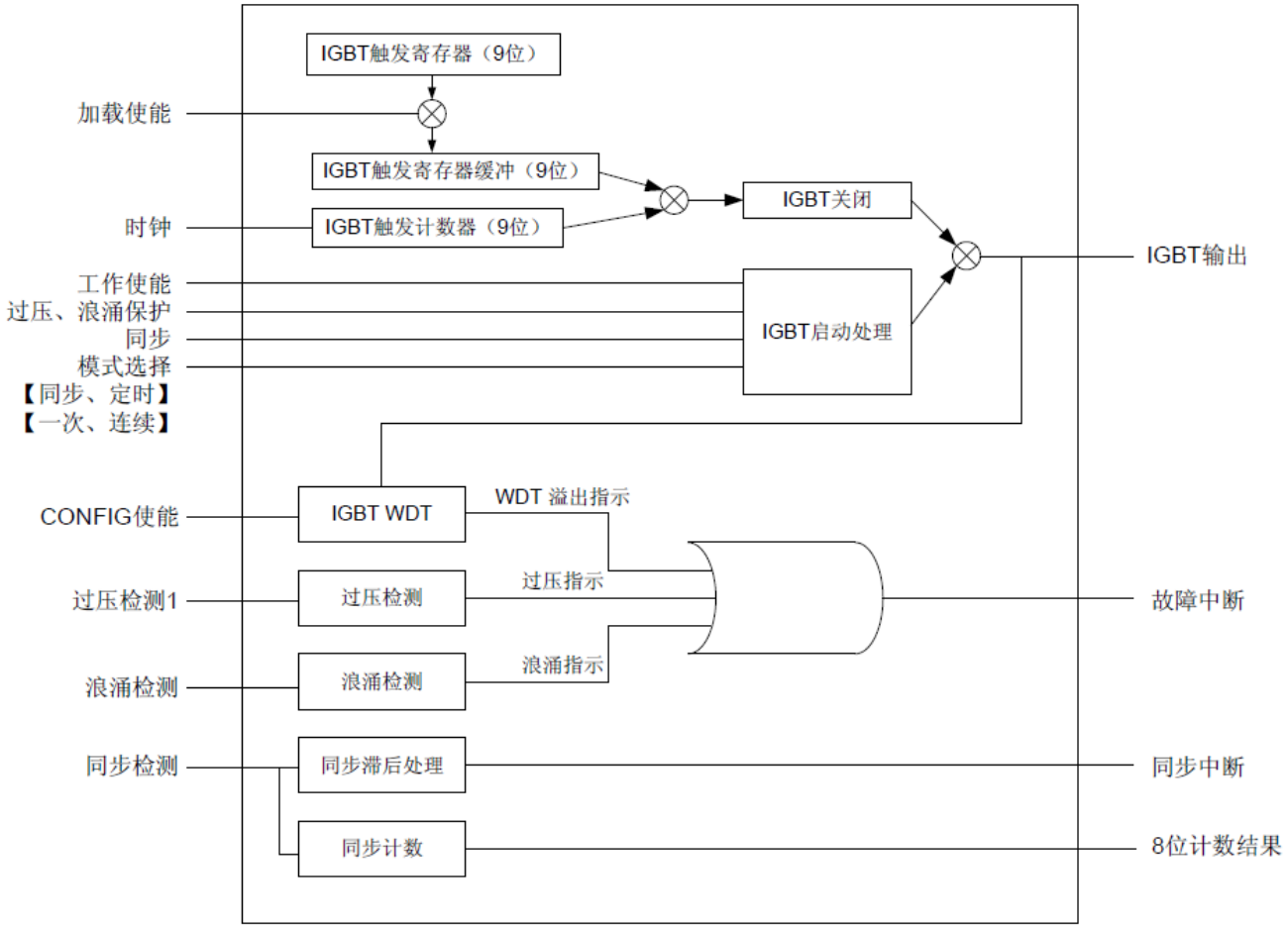
例：BUZZER 的设置程序

```
LDIA    B'00000001'
LD      BUZCON,A        ;
LDIA    B'XXXX01XX'
LD      P1CL,A          ;
CALL    DELY_TIME
LDIA    B'XXXX10XX'
LD      P1CL,A
```

15. 可编程脉冲发生器 PPG

15.1 PPG 工作原理

针对电磁炉方案的应用，CMS69F23D/25D 内部集成了一个可编程脉冲发生器（Programmable Pulse Generator，以下简称 PPG），该模块 由 1 个 9 位的定时器 PPGTMR，4 个高精度比较器：同步比较器（COMP1）、导通过压比较器（COMP2）、过压比较器 1（COMP3）、电流浪涌比较器（COMP4）、电流压浪涌比较器（COMP5），1 个独立的看门狗计数器 PPG_WDT 组成。要使能该模块，则烧录选项里面的 PPG_EN 必须选择“ENABLE”。



PPG 输出信号是一个只能输出低电平或者高阻态的信号，当 PPG 功能关闭时，它作为高阻态。

PPGTMR 是一个 9 位的定时器，其低 8 位保存在寄存器 PPGTMRL(27H)里，最高位保存在寄存器 PPGTMRH(2EH)的第 0 位。当 PPG 输出关断时，内部 9 位计数器清零，当 PPG 输出打开时，计数器开始计数，每个振荡周期自动加 1，当计数器加至等于 PPGTMR 值时，PPG 输出自动关断，计数器自动清零。

27H	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
PPG_TMRL 8	PPG_TMR低8位							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

2EH	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RPCON	Bit1-Bit7 做其他用途，详见 15.4 节比较器				PPG_TMR最高位			
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

15.2 与 PPG 相关的引脚

有 4 个管脚与 PPG 相关，如下表：

管脚名称	IO 类型	管脚说明
COMP4-	I	比较器 4 负端输入
PPG_OUT	I	PPG 输出
COMP1+ COMP2- COMP3-	I	比较器 1 正端输入 比较器 2 负端输入 比较器 3 负端输入
COMP1-	I	比较器 1 负端输入

15.3 PPG 工作模式

CMS69F23D/25D 的 PPG 模块具有 3 种工作模式，分别是：

1、单次输出模式；

2、同步输出模式；

3、定时输出模式。

不同的工作模式通过 PPG_CON（25H）寄存器设置：

25H	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
PPG_CON			PPG_MODE	RELOAD_EN	RESET_CNT	EN_CNT	TRI_ONE_PLUS	PPG_ON
R/W	R/W	R/W	----	R/W	R/W	R/W	R/W	R/W
复位值	0	0	----	0	0	0	0	0

Bit5 **PPG_MODE:PPG 工作模式选择**

0：定时模式

1：同步模式

Bit4 **RELOAD_EN：PPG_TMR 加载使能**

0：允许加载

1：禁止加载

Bit3 **RESET_CNT:比较器 1 翻转计数复位**

0：比较器 1 翻转计数器复位清零

1：比较器 1 翻转计数器正常工作

Bit2 **EN_CNT：同步计数使能位**

0：禁止比较器 1 翻转计数

1：允许比较器 1 翻转计数

Bit1 **TRI_ONE_PLUS:IGBT 单次输出选择**

0：连续输出

1：单次输出

Bit0 **PPG_ON：PPG 输出使能位**

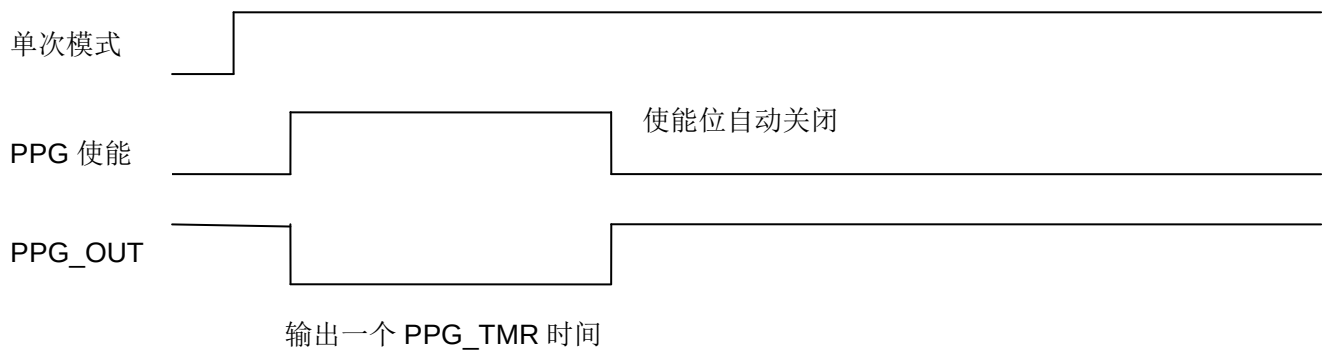
0：PPG 输出禁止

1：PPG 输出使能

15.3.1 单次输出模式

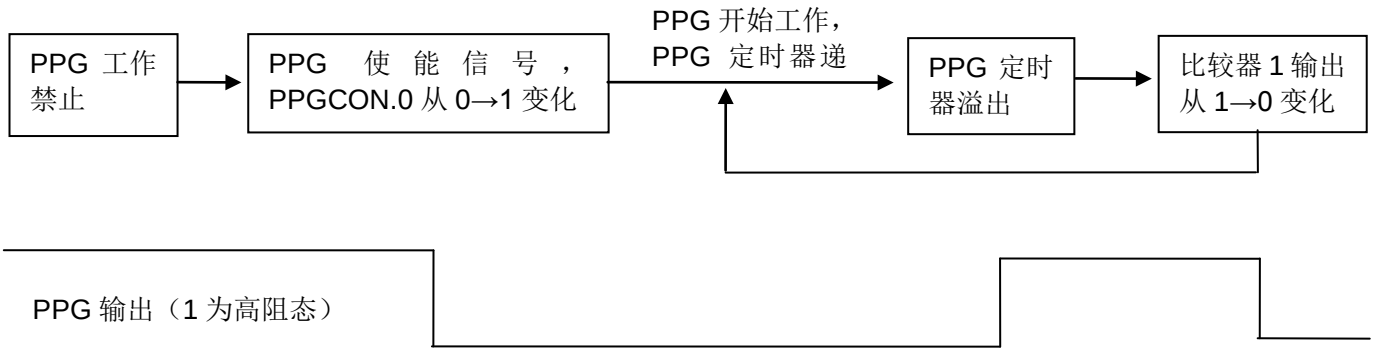
当系统寄存器 PPGCON（25H）的第 1 位被置”1”时，PPG 将处在单次输出的工作模式下。这时将 PPG 使能位（PPG_CON.0）置 1，则 PPG 在输出 1 个 PPGTMR 时间的低电平后，将重新变为高阻态，并且 PPG 使能位自动清零，PPG 停止工作。单次输出模式一般情况下用来检测电磁炉有没有放锅。

PPG 单次输出模式时序：



15.3.2 同步输出模式

同步输出指的是 PPG 输出跟比较器 1 翻转同步。当系统寄存器 PPG_CON（25H）的第 1 位被置“0”，且第 5 位被置“1”时，PPG 模块将处在同步输出模式，在该模式下，使能信号从“0”到”1”变化时，PPG 输出一个 PPG_TMR 时间的低电平后关闭输出，以后每次根据比较器 1 输出从”1”至“0”翻转的时候自动连续输出。



15.3.3 定时输出模式

当系统寄存器 PPG_CON（25H）的第 1 位被置“0”，且第 5 位被置“0”的时候，PPG 模块将处在定时输出 模式，在该模式下，PPG 输出的导通时间会自动调整，以达到周期恒定的目的。

15.4 比较器

PPG 模块共有 4 个比较器：同步比较器（COMP1）、导通过压比较器（COMP2）、过压比较器（COMP3）、电流浪涌比较器（COMP4）。

15.4.1 同步比较器 COMP1

同步比较器的的作用是给 PPG 提供同步信号。当 PPG 工作在同步模式下，PPG_OUT 只有在比较器的输出从”1”至“0”变化时才能输出低电平，持续一个 PPG_TMR 周期后关闭，等待下次比较器的翻转，重新输出低电平。

可以设置同步比较器翻转后再延时一段时间再导通 PPG，该时间最短为 0.5US，最长为 3.5US，该时间由 PPG_FLAG（26H）的低 4 位控制。

26H	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
PPG_FLAG	INT_SYN	INT_GY	INT_LY	INT_PPG_WDT	SYN_DELAY			
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

Bit7 **INT_SYN：同步中断标志位**
0：没有同步中断
1：有同步中断

Bit6 **INT_GY：过压中断标志位**
0：没有 COMP3 中断
1：有 COMP3 中断

Bit5 **INT_LY：浪涌中断标志位**
0：没有 COMP4 中断
1：有 COMP4 中断

Bit4 **INT_PPG_WDT：PPG 看门狗溢出中断标志位**
0：PPG 看门狗没有溢出
1：PPG 看门狗溢出

Bit0- Bit3 **SYN_DELAY：同步延时时间控制（8M 主频）**
0000：没有延时
0001：延时 0.5μs
0010：延时 1μs
0011：延时 1.5μs
0100：延时 2μs
0101：延时 2.5us
0110：延时 3μs
0111：延时 3.5μs
1000：延时 4μs
1001：延时 4.5μs
1010：延时 5μs
1011：延时 5.5μs
1100：延时 6μs
1101：延时 6.5us
1110：延时 7μs
1111：延时 7.5μs

同步比较器具有翻转计数功能，可以记录其输出翻转的次数。要使该功能有效，功能必须将 PPG_CON 的第 2 位置”1”。PPG 计数功能开启时，当同步比较器的输出从”1”至“0”变化时，计数器自动加 1，最高加至 128。计数结果保存至 CM1CNT 寄存器，其低 7 位表示计数值，最高位表示是否计数溢出，当计数超过 128 时，最高位为 1，计数停止。可以通过对 PPG_CON 的第 3 位置“0”来清零计数器。

28H	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
SYN_COUNTER	计数溢出标志	同步比较器翻转计数						
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

Bit7 计数溢出标志
0：没有溢出
1：有溢出
Bit6-0 **同步比较器翻转计数**

15.4.2 导通过压比较器 COMP2

导通过压比较器的负端跟同步比较器的正端同时接到芯片的第 15 引脚，正端在芯片内部，通过电阻分压，可以设置从 0.125VDD 至 0.4VDD。COMP2 的作用是限制 PPG 输出 。当 COMP2 的负端电压高于正端电压时，PPG 的输出将被禁止。实际电磁炉应用中，该比较器的作用是防止 IGBT 导通时，集电极的电压过高，损坏 IGBT。COMP2 的禁止 PPG 输出功能一般用在定时模式下。

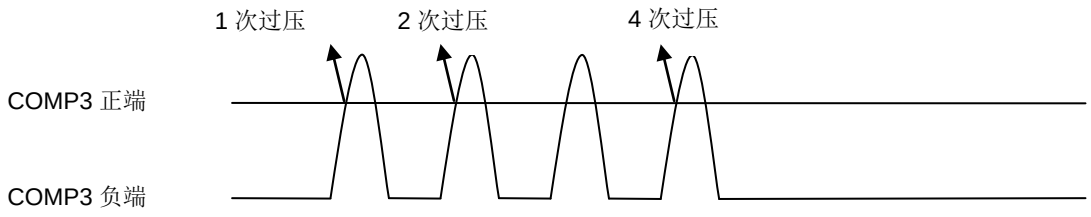
0EH	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
COMP_RES2	OPAAD	OPACTL	LV_EN	COMP2 正端电压选择				
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

Bit7 运放输出是否内部接 AN6
0：内部不接 AN6
1：内部接到 AN6(可选择不同电阻)
Bit6 运放正端选择
0：运放正端接 1K 的下拉电阻
1：运放正端直接接 GND
Bit5 滤波选择
0：内部滤波无效
1：内部滤波有效
Bit-0 比较器 2 正端电压调节（VDD 为芯片电压）
00000-11111：0.125VDD-0.4VDD

15.4.3 过压比较器 COMP3 跟浪涌比较器 COMP4

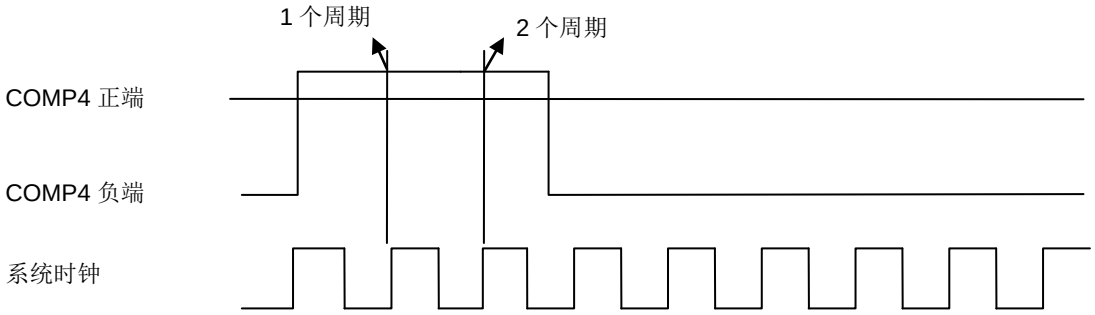
过压比较器跟浪涌比较器的作用都是用来限制 PPG 的输出，从而保护 IGBT。过压比较器的负端从芯片 15 脚输入，浪涌比较器的负端从芯片 1 脚输入。它们的正端都在芯片内部，通过电阻分压，可以通过软件从 0.4VDD 至 0.8VDD 可调节。

当过压比较器的负端电压从低于正端电压到高于正端电压的变化，我们称为 IGBT 的过压。当过压次数满足软件设定的次数时，PPG 将禁止输出或者降低输出时间（通过软件设置），并且产生中断标志位，必须将该中断标志位清零，PPG 才能恢复正常。如图



浪涌比较器的有效信号可在烧录时通过 CONFIG 选择为低有效或者高有效，当浪涌比较器满足设置的有效 电平，并且时间上满足软件设定的时间时，PPG 将禁止输出，并且产生中断标志位，必须将该中断标志位清零，PPG 才能恢复正常。浪涌比较器的正端电压可以选择接地。

输出低电平有效的示意图如下：



COMP3，COMP4 相关寄存器：

0EH	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
COMP_RES1	过压比较器正端电压选择				浪涌比较器正端电压选择			
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

Bit4-Bit7 过压比较器正端电压选择（VDD 为芯片电压）

0000：0.400VDD
0001：0.425VDD
0010：0.450VDD
0011：0.475VDD
0100：0.500VDD
0101：0.525VDD
0110：0.550VDD
0111：0.575VDD
1000：0.600VDD
1001：0.625VDD
1010：0.650VDD
1011：0.675VDD
1100：0.700VDD
1101：0.725VDD
1110：0.750VDD
1111：0.775VDD

Bit0-Bit3 浪涌比较器正端电压选择（VDD 为芯片电压）

0000：接地
0001：0.425VDD
0010：0.450VDD
0011：0.475VDD
0100：0.500VDD
0101：0.525VDD
0110：0.550VDD
0111：0.575VDD
1000：0.600VDD
1001：0.625VDD
1010：0.650VDD
1011：0.675VDD
1100：0.700VDD
1101：0.725VDD
1110：0.750VDD
1111：0.775VDD

20H	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
GY_LY	CLR_GY	GY_SLE			CLR_LY	LY_SLE		
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	1	0	0	0

Bit7 **CLR_GY：清过压中断标志位**

0：清过压中断标志

1：过压检测正常工作

Bit6-4 **GY_SLE:过压保护次数设置**

000：1 次

001：2 次

010：4 次

011：8 次

100：16 次

101：32 次

110：64 次

111：128 次

Bit3 **CLR_LY：清浪涌中断标志位**

0：清浪涌中断标志

1：浪涌检测正常工作

Bit2-0 **LY_SLE：浪涌的检测时间设置(T=1/Fosc)**

000：1T

001：2T

010：4T

011：8T

111：128T

100：16T

101：32T

110：64T

111：128T

26H	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
PPG_FLAG	INT_SYN	INT_GY	INT_LY	INT_PPG_WDT	SYN_DELAY			
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

Bit7 **INT_SYN:** 同步中断标志位

0：没有同步中断

1：有同步中断

Bit6 **INT_GY:** 过压中断标志位

0：没有过压中断

1：有过压中断

Bit5 **INT_LY:** 浪涌中断标志位

0：没有浪涌中断

1：有浪涌中断

Bit4 **PPG_WDT: PPG** 看门狗溢出中断标志位

0：PPG 看门狗没有溢出

1：PPG 看门狗溢出

Bit0- Bit3 **SYN_DELAY:** 同步延时时间控制（见同步比较器说明）

2EH	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RPCON	RP_EN	GY_INT_EN	OPO_SEL		PPG_DOWN			PPG_TMRH1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

Bit7 **RP_EN: COMP3 自动降低 PPG 使能**

0：COMP3 触发时 PPG_TMR 不变

1：COMP3 触发时自动降低 PPG_TMR

Bit6 **GY_INT_EN: 过压中断使能**

0：使能过压中断

1：禁止过压中断

Bit5-4 **OPO_SEL: 运放输出选择**

00：运放输出直接接至 AN6

01：运放输出接 1K 电阻至 AN6

10：运放输出接 10K 电阻至 AN6

11：运放输出接 100K 电阻至 AN6

Bit1-3 **PPG_DOWN：COMP3 功能触发时 PPG_TMR 降低幅度调节**

000：PPG_TMR 不自动下降

001：PPG_TMR 值自动减 1

011：PPG_TMR 值自动减 2

011：PPG_TMR 值自动减 3

100：PPG_TMR 值自动减 4

101：PPG_TMR 值自动减 5

110：PPG_TMR 值自动减 6

111：PPG_TMR 值自动减 7

Bit0 **PPG_TMRH1: PPG_TMR 最高位（第 9 位）**

比较器输出结果寄存器 COMP_OUT

2FH	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
COMP_OUT	----	----	----	----	COMP4O	COMP3O	COMP2O	COMP1O
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

Bit4-Bit7 **未用**

Bit3 比较器 4 输出结果

Bit2 比较器 3 输出结果

Bit1 比较器 2 输出结果

Bit0 比较器 1 输出结果

15.4.4 比较器调零

由于生产工艺的误差，在实际使用中，芯片可能存在较大的比较器失调电压。为了解决这一问题 CMS69F23D/25D 内部集成了比较器调零功能。相关 RAM 如下：

比较器 1 失调电压调节寄存器 COMP1C

2AH	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
COMP1C	C1OUT	C1COFM	C1CRS	C1_ADJ				
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	----	0	0	1	0	0	0	0

Bit7 调节模式下比较器 1 结果输出

Bit6 比较器 1 工作模式：
0：正常工作模式
1：调节模式

Bit5 调节模式输入选择：
0：负端输入
1：正端输入

Bit0-Bit4 比较器 1 失调电压调节
00000：调节负端至最小（一般情况下失调电压为正）
11111：调节正端至最小（一般情况下失调电压为负）

比较器 1 失调电压正端选择寄存器 C1PSEL

29H	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
C1PSEL	----	----	----	C1PGD	----	----	----	----
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

Bit7-Bit5 未用，请勿写“1”

Bit4 比较器 1 正端接地选择：
0：正端不接地
1：正端接地

Bit0-Bit3 未用，请勿写“1”

由于在实际使用时，同步比较器要求精度最高的时候是在输入电压接近 0V 时候，因此，我们在调零时，需要将比较器的输入电压设置为 0V，再进行调零，才能达到最好的效果。

比较器 1 失调电压调节流程为：

1、设置 C1COFM 为 1，进入调节模式；
2、设置 C1CRS 为 1，C1PGD 为 1，选择正端输入并将正端接地；
3、设置 C1ADJ[5:0]为 “00000”或“11111”；
4、记录 COMP1C 的第 7 位输出结果；
5、改变 C1_ADJ，将调节位加 1 或减 1；
6、读取 COMP1C 第 7 位，判断是否跟上次的不同，若相同则返回第 3 步；
7、若不同则该值就是 COMP1 的失调电压设定值；
8、清零 C1COFM 和 C1PGD，退出调节模式。

例：同步比较器失调电压调节程序：

```
COMP_INIT:
        LDIA    B'01111111'     ；设置 COMP1 进入调节模式并从正端输入
        LD      COMP1C,A        ；调节位设成最高的时候输出为“0”
        LDIA    10H
        LD      C1PSEL,A        ；设置正端接地调零
COMP_LOOP:
        CALL    DELAY           ；延时几十个微秒
        SZB     COMP1C,7        ；判断调节输出位是否为“1”
        JP      COMP_OK         ；为 1 则调节完成
        DECR    COMP1C          ；为 0 则使调节位减 1
        LDIA    01FH
        ANDA    COMP1C
        SZB     FLAGS,Z         ；判断调节位是否减到 0
        JP      COMP_ERR        ；调节位减到 0 还没有输出 1，调节故障
        JP      COMP_LOOP
COMP_OK:
        LDIA    01FH            ；完成调节，进入正常工作模式
        ANDR    COMP1C
        JP      XXXX
```

一般情况下，当 COMP1C 调节位设置成最高的时候，调节输出为“0”，设置成最低的时候，调节输出为“1”， 刚好“0”跟“1”变化的值就是它的失调电压设定值。如果发生像上面程序里面的调节故障，则可能为程序延时不够或者硬件错误造成的。

比较器 2 失调电压调节寄存器 COMP2C

2BH	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
COMP2C	C2OUT	C2C0FM	C2CRS	C2_ADJ				
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	----	0	0	1	0	0	0	0

Bit7 调节模式下比较器 1 结果输出

Bit6 比较器 2 工作模式：

0：正常工作模式

1：调节模式

Bit5 调节模式输入选择：

0：负端输入

1：正端输入

Bit0-Bit4 比较器 2 失调电压调节

比较器 2 的失调电压调节请参考比较器 1 的调节时序。

比较器 3 失调电压调节寄存器 COMP3C

2CH	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
COMP3C	C3OUT	C3C0FM	C3CRS	C3_ADJ				
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	----	0	0	1	0	0	0	0

Bit7 调节模式下比较器 1 结果输出

Bit6 比较器 3 工作模式：

0：正常工作模式

1：调节模式

Bit5 调节模式输入选择：

0：负端输入

1：正端输入

Bit0-Bit4 比较器 3 失调电压调节

比较器 3 的失调电压调节请参考比较器 1 的调节时序。

比较器 4 失调电压调节寄存器 COMP4C

2DH	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
COMP4C	C4OUT	C4C0FM	C4CRS	C4_ADJ				
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	----	0	0	1	0	0	0	0

Bit7 调节模式下比较器 1 结果输出

Bit6 比较器 4 工作模式：

0：正常工作模式

1：调节模式

Bit5 调节模式输入选择：

0：负端输入

1：正端输入

Bit0-Bit4 比较器 4 失调电压调节

比较器 4 的失调电压调节请参考比较器 1 的调节时序。

15.5 PPG 在电磁炉上应用举例

15.5.1 电磁炉检锅程序处理

电磁炉检锅的原理是输出一个脉冲驱动 IGBT，然后根据同步信号的翻转次数来确定有没有锅，程序处理流程如下：

设置 PPG 导通时间；

同步计数复位清零；

使能同步计数, PPG 输出设置成单次模式；

使能 PPG 输出；

等待足够的时间；

通过比较同步次数，判断有没有锅。

```
PPG_SINGLE:
        LDIA    020H
        LD      PPG_TMRL,A      ；设置 PPG_TMR 低 8 位
        CLR     RPCON           ；PPG_TMR 高位置“0”
        CLR     PPG_CON         ；同步计数复位清零
        LDIA    0EH
        LD      PPG_CON,A       ；使能同步计数，PPG 输出单次模式
        SETB    PPG_CON,0       ；PPG 输出使能
        CALL    DELAY           ；延时足够的时间
        LDIA    .1
        SUBA    SYN_COUNTER     ；判断同步次数是否大于 1
        SNZB    FLAGS,C
        JP      PPG_NOPAN       ；同步次数小于 1 检锅异常
        LDIA    .6
        SUBA    SYN_COUNTER     ；判断同步次数是否小于 6
        SZB     FLAGS,C
        JP      PPG_NOPAN       ；同步次数大于等于 6 没锅
PPG_PAN:
        …       …               ；进入有锅处理程序
PPG_NOPAN:
        …       …               ；进入无锅处理程序
```

15.5.2 电磁炉故障处理

电磁炉故障包括浪涌、反压过高、PPG_WDT 溢出等 3 种故障，其中发生浪涌故障跟 PPG_WDT 故障的时候，芯片硬件自动关断 PPG 输出，软件可设置进中断或查询处理；反压过高故障时，可以设置硬件自动关断或者硬件自动降功率，也可以设置是否进中断。下面介绍当发生浪涌故障跟 PPG_WDT 故障的时候，软件设置成进入中断，并关闭 PPG 输出；当反压过高的时候，软件设置成硬件自动降功率并进入中断程序。

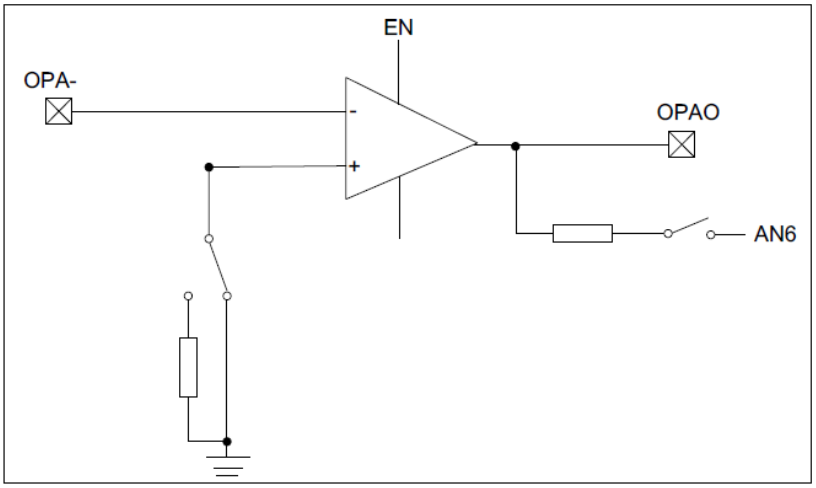
程序处理流程如下：

```
        ORG     0000H
        JP      START           ；用户程序起始地址；
        ORG     0001H
        JP      INT_SERVICE
        ORG     0002H
START：
        …                       用户其它程序
SET_PPG                         PPG 设置程序
        LDIA    044H
        LD      COMP_RES1,A     ；设置过压比较器跟浪涌比较器正端电压
        LDIA    0EFH
        LD      COMP_RES2,A     ；设置导通过压比较器正端电压
        LDIA    0A2H
        LD      RPCON,A         ；设置过压的处理方式为降低 PPG，响应中断
        JP      XXXX
TIME_10MS：                     ；每 10MS 进一次处理程序
        CLR     GY_LY           ；清过压、浪涌故障标志位
        LDIA    099H
        LD      GY_LY,A         ；每 10MS 重新设置过压跟浪涌
        JP      XXXX
INT_SERVICE：                   ；中断处理程序
        CALL    PUSH            ；中断服务程序入口，保存 ACC 及 FLAGS；
        …
        SNZB    INT_FLAG,F_PPG  ；检查有无 PPG 中断请求标志位
        JP      INT_EXIT
        CLRB    INT_FLAG,F_PPG  ；清零 PPG 中断请求标志位
        SZB     PPG_FLAG,INT_PPG_WDT
        JP      INT_WDT         ；PPG WDT 故障中断
        SZB     PPG_FLAG,INT_COMP3
        JP      INT_GY          ；过压中断
        SZB     PPG_FLAG,INT_COMP4
        JP      INT_LY          ；浪涌中断
```

16. 运算放大器

16.1 运算放大器简介

CMS69F23D/25D 内置一运算放大器，其正端可以通过软件设置内部直接接地或者通过一个电阻接地，输 出可通过程序设置是否内部接到 AN6。要使能该模块，则烧录选项里面的 OPA_EN 必须选择“ENABLE”。其原理如下图：



相关引脚说明

管脚名称	IO 类型	管脚说明
OPA-	I	运放负端输入
OPAO	O	运放输出
AN6	I	运放可内部接至该 AD 口

16.2 跟运放相关寄存器

有 3 个寄存器跟运放相关，分别是 OPAC(08H)，COMP_RES2(0FH),RPCON。

08H	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
OPAC	OPARS	OPOUT	OPOFM	OPOF				
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	----	0	0	0	1	0	0	0

Bit7 调节模式输入选择
0：负端输入
1：正端输入
Bit6 调节模式下结果输出（只读）
Bit5 运放的工作模式：
0：正常工作模式
1：调节模式

Bit4 运放失调电压调节

0EH	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
COMP_RES2	OPAAD	OPACTL	LV_EN	过压比较器正端电压选择（启动过压）				
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

Bit7 运放输出是否内部接 AN6
0：内部不接 AN6
1：内部接到 AN6（可选择不同电阻）
Bit6 运放正端选择
0：运放正端接 1K 的下拉电阻
1：运放正端直接接 GND
Bit5 运放滤波选择
0：内部滤波无效
1：内部滤波有效
Bit0-4 比较器 3 正端电压选择（VDD 为芯片电压）
00000-11111：0.125VDD-0.4VDD

2EH	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RPCON	RP_EN	GY_INT_EN	OPO_SEL		PPG_DOWN			PPG_TMRH1
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

Bit7 RP_EN: COMP3 自动降低 PPG 使能
0：COMP3 触发时 PPG_TMR 不变
1：COMP3 触发时自动降低 PPG_TMR

Bit6 GY_INT_EN: COMP3 中断使能
0：禁止过压中断
1：使能过压中断

Bit4-Bit5 OPO_SEL: 运放输出选择
00：运放输出直接接至 AN6
01：运放输出接 1K 电阻至 AN6
10：运放输出接 10K 电阻至 AN6
11：运放输出接 100K 电阻至 AN6

Bit1-Bit3 PPG_DOWN：COMP3 功能触发时 PPG_TMR 降低幅度调节
000：PPG_TMR 不自动下降
001：PPG_TMR 值自动减 1
011：PPG_TMR 值自动减 2
011：PPG_TMR 值自动减 3
100：PPG_TMR 值自动减 4
101：PPG_TMR 值自动减 5
110：PPG_TMR 值自动减 6
111：PPG_TMR 值自动减 7

Bit0 PPG_TMRH1:PPG_TMR 最高位（第 9 位）

16.3 运放失调电压

运放失调电压调节流程：

1、设置 OPOFM 为调节模式并给调节位赋值“00000”或“11111”；

2、记录 OPOUT 的输出结果；

3、改变 OPOF，直至 OPOUT 输出发生改变；

4、设置 OPOFM 为正常工作模式。

例：运放失调电压调节程序：

```
OPA_INIT:
        LDIA    B'00111111'     ；设置运放进入调节模式
        LD      OPAC,A          ；调节位设成最高的时候输出为“0”
OPA_LOOP:
        CALL    DELAY           ；延时几十个微秒
        SZB     OPAC,6          ；判断调节输出位是否为“1”
        JP      OPA_OK          ；为 1 则调节完成
        DECR    OPAC            ；为 0 则使调节位减 1
        LDIA    01FH
        ANDA    OPAC
        SZB     FLAGS,Z         ；判断调节位是否减到 0
        JP      OPA_ERR         ；调节位减到 0 还没有输出 1，调节故障
        JP      OPA_LOOP
OPA_OK:
        LDIA    01FH            ；完成调节，进入正常工作模式
        ANDR    OPAC
        SETB    COMP_RES2,5     ；使能内部滤波选择
        JP      XXXX
```

一般情况下，当 OPAC 调节位设置成最高的时候，调节输出为“0”，设置成最低的时候，调节输出为“1”，刚好“0”跟“1”变化的值就是它的失调电压设定值。如果发生像上面程序里面的调节故障，则可能为程序延时不够或者硬件错误造成的。

17. 电气参数

17.1 DC 特性

符 号	参 数	测试条件		最 小	典 型	最 大	单 位
		VDD	条件				
VDD	工作电压	-	LVR_SEL=1.8V	2.5	-	5.5	V
Idd	工作电流	5V	ADC 使能	-	3	-	mA
		3V	ADC 使能	-	2	-	mA
Istb	静态电流	5V	----	0.1	1	10	μA
		3V	----	0.01	0.1	1	μA
Vil	低电平输入电压	-	----	-	-	0.3VDD	V
Vih	高电平输入电压	-	----	0.7VDD	-	-	V
Voh	高电平输出电压	-	不带负载	0.9VDD	-	-	V
VoL	低电平输出电压	-	不带负载	-	-	0.1VDD	V
VADI	AD 口输入电压	-	----	0	-	VDD	V
VAD	AD 模块工作电压	-	Fadc=Fcpu/16	2.7	-	5.5	V
EAD	AD 转换误差	-	Fadc=Fcpu/16	-	±4	-	-
Rph	上拉电阻阻值	5V	----	-	35	-	K
		3V	----	-	65	-	K
Rpl	下拉电阻阻值	5V	----	-	45	-	K
		3V	----	-	100	-	K
	比较器精度	-	----	-	50	-	mV
IoL	输入口灌电流	5V	Vol=0.3VDD	-	60	-	mA
		3V	Vol=0.3VDD	-	25	-	mA
IoH	输入口拉电流	5V	Voh=0.7VDD	-	15	-	mA
		3V	Voh=0.7VDD	-	10	-	mA

17.2 AC 特性

符 号	参 数	测试条件		最 小	典 型	最 大	单 位
		VDD	条件				
T_{WDT}	WDT 复位时间	5V	---	-	18	-	ms
		3V	---	-	36	-	ms
T_{AD}	AD 转换时间	5V	---	-	80	-	CLK
		3V	---	-	80	-	CLK

17.3 内部 RC 振荡特性

17.3.1 内部 RC 振荡电压特性

测试条件	振荡频率（典型值）（Hz）
2.5V	8.0M
2.6V	8.1M
2.8V	8.2M
3.0V	8.3M
3.2V	8.3M
3.4V	8.2M
3.6V	8.2M
3.8V	8.2M
4.0V	8.1M
4.2V	8.1M
4.4V	8.1M
4.6V	8.0M
4.8V	8.0M
5.0V	8.0M
5.2V	8.0M
5.4V	7.9M
5.5V	7.8M

17.3.2 内部 RC 振荡温度特性

测试条件	-20℃	25℃	40℃	60℃	85℃
振荡频率（典型值）（Hz）	7.9M	8.0M	8.0M	8.1M	8.1M

18. 指令

18.1 指令一览表

助记符	操 作	指令周期	标 志
控制类-4			
NOP	空操作	1	None
OPTION	装载 OPTION 寄存器	1	None
STOP	进入休眠模式	1	TO,PD
CLRWDT	清零看门狗计数器	1	TO,PD
数据传送-4			
LD [R],A	将 ACC 内容传送到 R	1	NONE
LD A,[R]	将 R 内容传送到 ACC	1	Z
TESTZ R	将数据存储器内容传给数据存储器	1	Z
LDIA i	立即数 i 送给 ACC	1	NONE
逻辑运算-16			
CLRA	清零 ACC	1	Z
SET [R]	置位数据存储器 R	1	NONE
CLR [R]	清零数据存储器 R	1	Z
ORA [R]	R 与 ACC 内容做“或”运算，结果存入 ACC	1	Z
ORR [R]	R 与 ACC 内容做“或”运算，结果存入 R	1	Z
ANDA [R]	R 与 ACC 内容做“与”运算，结果存入 ACC	1	Z
ANDR [R]	R 与 ACC 内容做“与”运算，结果存入 R	1	Z
XORA [R]	R 与 ACC 内容做“异或”运算，结果存入 ACC	1	Z
XORR [R]	R 与 ACC 内容做“异或”运算，结果存入 R	1	Z
SWAPA [R]	R 寄存器内容的高低半字节转换，结果存入 ACC	1	NONE
SWAPR [R]	R 寄存器内容的高低半字节转换，结果存入 R	1	NONE
COMA [R]	R 寄存器内容取反，结果存入 ACC	1	Z
COMR [R]	R 寄存器内容取反，结果存入 R	1	Z
XORIA i	ACC 与立即数 i 做“异或”运算，结果存入 ACC	1	Z
ANDIA i	ACC 与立即数 i 做“与”运算，结果存入 ACC	1	Z
ORIA i	ACC 与立即数 i 做“或”运算，结果存入 ACC	1	Z
移位操作，8			
RRCA [R]	数据存储器带进位循环右移一位，结果存入 ACC	1	C
RRCR [R]	数据存储器带进位循环右移一位，结果存入 R	1	C
RLCA [R]	数据存储器带进位循环左移一位，结果存入 ACC	1	C
RLCR [R]	数据存储器带进位循环左移一位，结果存入 R	1	C
RLA [R]	数据存储器不带进位循环左移一位，结果存入 ACC	1	NONE
RLR [R]	数据存储器不带进位循环左移一位，结果存入 R	1	NONE
RRA [R]	数据存储器不带进位循环右移一位，结果存入 ACC	1	NONE
RRR [R]	数据存储器不带进位循环右移一位，结果存入 R	1	NONE
递增递减，4			
INCA [R]	递增数据存储器 R，结果放入 ACC	1	Z
INCR [R]	递增数据存储器 R，结果放入 R	1	Z
DECA [R]	递减数据存储器 R，结果放入 ACC	1	Z
DECR [R]	递减数据存储器 R，结果放入 R	1	Z

位操作，2			
CLRB [R],b	将数据存储器 R 中某位清零	1	NONE
SETB [R],b	将数据存储器 R 中某位置一	1	NONE
查表，2			
TABLE [R]	读取 FLASH 内容结果放入 TABLE_DATAH 与 R	2	NONE
TABLEA	读取 FLASH 内容结果放入 TABLE_DATAH 与 ACC	2	NONE
数学运算，16			
ADDA [R]	ACC+[R] → ACC	1	C,DC,Z,OV
ADDR [R]	ACC+[R] → R	1	C,DC,Z,OV
ADDCA [R]	ACC+[R]+C→ACC	1	Z,C,DC,OV
ADDCR [R]	ACC+[R]+C→R	1	Z,C,DC,OV
ADDIA i	ACC+i→ACC	1	Z,C,DC,OV
SUBA [R]	[R]-ACC→ACC	1	C,DC,Z,OV
SUBR [R]	[R]-ACC→R	1	C,DC,Z,OV
SUBCA [R]	[R]-ACC-C→ACC	1	Z,C,DC,OV
SUBCR [R]	[R]-ACC-C→R	1	Z,C,DC,OV
SUBIA i	i-ACC→ACC	1	Z,C,DC,OV
HSUBA [R]	ACC-[R]→ACC	1	Z,C,DC,OV
HSUBR [R]	ACC-[R]→R	1	Z,C,DC,OV
HSUBCA [R]	ACC-[R]-$\overline{C}$→ACC	1	Z,C,DC,OV
HSUBCR [R]	ACC-[R]-$\overline{C}$→R	1	Z,C,DC,OV
HSUBIA i	ACC-i→ACC	1	Z,C,DC,OV
无条件转移，5			
RET	从子程序返回	2	NONE
RET i	从子程序返回，并将立即数 I 存入 ACC	2	NONE
RETI	从中断返回	2	NONE
CALL ADD	子程序调用	2	NONE
JP ADD	无条件跳转	2	NONE
条件转移，8			
SZB [R],b	如果数据存储器 R 的 b 位为“0”，则跳过下一条指令	1 or 2	NONE
SNZB [R],b	如果数据存储器 R 的 b 位为”1”，则跳过下一条指令	1 or 2	NONE
SZA [R]	数据存储器 R 送至 ACC，若内容为”0”，则跳过下一条指令	1 or 2	NONE
SZR [R]	数据存储器 R 内容为”0”，则跳过下一条指令	1 or 2	NONE
SZINCA [R]	数据存储器 R 加”1”，结果放入 ACC，若结果为”0”，则跳过下一条指令	1 or 2	NONE
SZINCR [R]	数据存储器 R 加”1”，结果放入 R，若结果为”0”，则跳过下一条指令	1 or 2	NONE
SZDECA [R]	数据存储器 R 减”1”，结果放入 ACC，若结果为”0”，则跳过下一条指令	1 or 2	NONE
SZDECR [R]	数据存储器 R 减”1”，结果放入 R，若结果为”0”,则跳过下一条指令	1 or 2	NONE

18.2 指令说明

ADDA [R]

操作: 将 R 加 ACC，结果放入 ACC
周期: 1
影响标志位: C，DC，Z，OV
举例:

```
LDIA    09H     ;给 ACC 赋值 09H
LD      R01,A   ;将 ACC 的值（09H）赋给自定义寄存器 R01
LDIA    077H    ;给 ACC 赋值 77H
ADDA    R01     ;执行结果：ACC= 09H + 77H = 80H
```

ADDR [R]

操作: 将 R 加 ACC，结果放入 R
周期: 1
影响标志位: C，DC，Z，OV
举例:

```
LDIA    09H     ;给 ACC 赋值 09H
LD      R01,A   ;将 ACC 的值（09H）赋给自定义寄存器 R01
LDIA    077H    ;给 ACC 赋值 77H
ADDR    R01     ;执行结果：R01= 09H + 77H = 80H
```

ADDCA [R]

操作: 将 R 加 ACC 加 C 位，结果放入 ACC
周期: 1
影响标志位: C，DC，Z，OV
举例:

```
LDIA    09H     ;给 ACC 赋值 09H
LD      R01,A   ;将 ACC 的值（09H）赋给自定义寄存器 R01
LDIA    077H    ;给 ACC 赋值 77H
ADDCA   R01     ;执行结果：ACC = 09H + 77H + C = 80H (C=0)
                           ACC = 09H + 77H + C = 81H (C=1)
```

ADDCR [R]

操作: 将 R 加 ACC 加 C 位，结果放入 R
周期: 1
影响标志位: C，DC，Z，OV
举例:

```
LDIA    09H     ;给 ACC 赋值 09H
LD      R01,A   ;将 ACC 的值（09H）赋给自定义寄存器 R01
LDIA    077H    ;给 ACC 赋值 77H
ADDCR   R01     ;执行结果：R01 = 09H + 77H + C = 80H (C=0)
                           R01 = 09H + 77H + C = 81H (C=1)
```

ADDIA i

操作: 将立即数 i 加 ACC，结果放入 ACC
周期: 1
影响标志位: C，DC，Z，OV
举例:

```
LDIA    09H     ;给 ACC 赋值 09H
```

```
ADDIA   077H    ;执行结果：ACC = ACC(09H) + i(77H)=80H
```

ANDA [R]

操作: 寄存器 R 跟 ACC 进行逻辑与运算，结果放入 ACC
周期: 1
影响标志位: Z
举例:

```
LDIA    0FH     ;给 ACC 赋值 0FH
LD      R01,A   ;将 ACC 的值(0FH)赋给寄存器 R01
LDIA    77H     ;给 ACC 赋值 77H
ANDA    R01     ;执行结果：ACC=(0FH  and  77H)=07H
```

ANDR [R]

操作: 寄存器 R 跟 ACC 进行逻辑与运算，结果放入 R
周期: 1
影响标志位: Z
举例:

```
LDIA    0FH     ;给 ACC 赋值 0FH
LD      R01,A   ;将 ACC 的值(0FH)赋给寄存器 R01
LDIA    77H     ;给 ACC 赋值 77H
ANDR    R01     ;执行结果：R01=(0FH  and  77H)=07H
```

ANDIA i

操作: 将立即数 i 与 ACC 进行逻辑与运算，结果放入 ACC
周期: 1
影响标志位: Z
举例:

```
LDIA    0FH     ;给 ACC 赋值 0FH
ANDIA   77H     ;执行结果：ACC =(0FH  and  77H)=07H
```

CALL add

操作: 调用子程序
周期: 2
影响标志位: 无
举例:

```
CALL    LOOP    ;调用名称定义为”LOOP”的子程序地址
```

CLRA

操作: ACC 清零
周期: 1
影响标志位: Z
举例:

```
CLR     A       ;执行结果：ACC=0
```

CLR [R]

操作: 寄存器 R 清零
周期: 1
影响标志位: Z
举例:

```
CLR     R01     ;执行结果：R01=0
```

CLRB [R],b

操作: 寄存器 R 的第 b 位清零
周期: 1
影响标志位: 无
举例:

```
CLRB    R01,3   ;执行结果：R01 的第 3 位为零
```

CLRWDT

操作: 清零看门狗计数器
周期: 1
影响标志位: TO，PD
举例:

```
CLRWDT          ;看门狗计数器清零
```

COMA [R]

操作: 寄存器 R 取反，结果放入 ACC
周期: 1
影响标志位: Z
举例:

```
LDIA    0AH     ;ACC 赋值 0AH
LD      R01,A   ;将 ACC 的值(0AH)赋给寄存器 R01
COMA    R01     ;执行结果：ACC=0F5H
```

COMR [R]

操作: 寄存器 R 取反，结果放入 R
周期: 1
影响标志位: Z
举例:

```
LDIA    0AH     ;ACC 赋值 0AH
LD      R01,A   ;将 ACC 的值(0AH)赋给寄存器 R01
COMR    R01     ;执行结果：R01=0F5H
```

DECA [R]

操作: 寄存器 R 自减 1，结果放入 ACC
周期: 1
影响标志位: Z
举例:

```
LDIA    0AH     ;ACC 赋值 0AH
LD      R01,A   ;将 ACC 的值(0AH)赋给寄存器 R01
DECA    R01     ;执行结果：ACC=(0AH-1)=09H
```

DECR [R]

操作: 寄存器 R 自减 1，结果放入 R
周期: 1
影响标志位: Z
举例:

```
LDIA    0AH     ;ACC 赋值 0AH
LD      R01,A   ;将 ACC 的值(0AH)赋给寄存器 R01
DECR    R01     ;执行结果：R01=(0AH-1)=09H
```

HSUBA [R]

操作: ACC 减 R，结果放入 ACC
周期: 1
影响标志位: C,DC,Z,OV
举例:

```
LDIA    077H    ;ACC 赋值 077H
LD      R01,A   ;将 ACC 的值(077H)赋给寄存器 R01
LDIA    080H    ;ACC 赋值 080H
HSUBA   R01     ;执行结果：ACC=(80H-77H)=09H
```

HSUBR [R]

操作: ACC 减 R，结果放入 R
周期: 1
影响标志位: C,DC,Z,OV
举例:

```
LDIA    077H    ;ACC 赋值 077H
LD      R01,A   ;将 ACC 的值(077H)赋给寄存器 R01
LDIA    080H    ;ACC 赋值 080H
HSUBR   R01     ;执行结果：R01=(80H-77H)=09H
```

HSUBCA [R]

操作: ACC 减 R 减 $\overline{C}$，结果放入 ACC
周期: 1
影响标志位: C,DC,Z,OV
举例:

```
LDIA    077H    ;ACC 赋值 077H
LD      R01,A   ;将 ACC 的值(077H)赋给寄存器 R01
LDIA    080H    ;ACC 赋值 080H
HSUBCA  R01     ;执行结果：ACC=(80H-77H-C)=09H(C=0)
                          ACC=(80H-77H-C)=08H(C=1)
```

HSUBCR [R]

操作: ACC 减 R 减 $\overline{C}$，结果放入 R
周期: 1
影响标志位: C,DC,Z,OV
举例:

```
LDIA    077H    ;ACC 赋值 077H
LD      R01,A   ;将 ACC 的值(077H)赋给寄存器 R01
LDIA    080H    ;ACC 赋值 080H
HSUBCR  R01     ;执行结果：R01=(80H-77H-C)=09H(C=0)
                          R01=(80H-77H-C)=08H(C=1)
```

INCA [R]

操作: 寄存器 R 自加 1，结果放入 ACC

周期: 1

影响标志位: Z

举例:

```
LDIA    0AH     ;ACC 赋值 0AH
LD      R01,A   ;将 ACC 的值(0AH)赋给寄存器 R01
INCA    R01     ;执行结果：ACC=(0AH+1)=0BH
```

INCR [R]

操作: 寄存器 R 自加 1，结果放入 R

周期: 1

影响标志位: Z

举例:

```
LDIA    0AH     ;ACC 赋值 0AH
LD      R01,A   ;将 ACC 的值(0AH)赋给寄存器 R01
INCR    R01     ;执行结果：R01=(0AH+1)=0BH
```

JP add

操作: 跳转到 add 地址

周期: 2

影响标志位: 无

举例:

```
JP      LOOP    ;跳转至名称定义为"LOOP"的子程序地址
```

LD A，[R]

操作: 将 R 的值赋给 ACC

周期: 1

影响标志位: Z

举例:

```
LD      A,R01   ;将寄存器 R0 的值赋给 ACC
LD      R02,A   ;将 ACC 的值赋给寄存器 R02，实现了数据从 R01→R02 的移动
```

LD [R]，A

操作: 将 ACC 的值赋给 R

周期: 1

影响标志位: 无

举例:

```
LDIA    09H     ;给 ACC 赋值 09H
                ;执行结果：R01=09H
LD      R01,A
```

LDIA i

操作: 立即数 i 赋给 ACC

周期: 1

影响标志位: 无

举例:

```
LDIA    0AH     ;ACC 赋值 0AH
```

NOP

操作: 空指令
周期: 1
影响标志位: 无
举例:

```
NOP
```

OPTION

操作: 写预分频器
周期: 1
影响标志位: 无
举例:

```
LDIA    00H
OPTION                  ;OPTION 赋值 00H，预分频器给 TMR0 用，分频比 1:2
```

ORIA i

操作: 立即数与 ACC 进行逻辑或操作，结果赋给 ACC
周期: 1
影响标志位: Z
举例:

```
LDIA    0AH             ;ACC 赋值 0AH
ORIA    030H            ;执行结果：ACC =(0AH  or  30H)=3AH
```

ORA [R]

操作: 寄存器 R 跟 ACC 进行逻辑或运算，结果放入 ACC
周期: 1
影响标志位: Z
举例:

```
LDIA    0AH             ;给 ACC 赋值 0AH
LD      R01,A           ;将 ACC(0AH)赋给寄存器 R01
LDIA    30H             ;给 ACC 赋值 30H
ORA     R01             ;执行结果：ACC=(0AH  or  30H)=3AH
```

ORR [R]

操作: 寄存器 R 跟 ACC 进行逻辑或运算，结果放入 R
周期: 1
影响标志位: Z
举例:

```
LDIA    0AH             ;给 ACC 赋值 0AH
LD      R01,A           ;将 ACC(0AH)赋给寄存器 R01
LDIA    30H             ;给 ACC 赋值 30H
ORR     R01             ;执行结果：R01=(0AH  or  30H)=3AH
```

RET

操作: 从子程序返回
周期: 2
影响标志位: 无
举例:

```
        CALL    LOOP        ;调用子程序 LOOP
        NOP                 ;RET 指令返回后将执行这条语句
        …                   ;其它程序
LOOP:
        …                   ;子程序
        RET                 ;子程序返回
```

RET i

操作: 从子程序带参数返回，参数放入 ACC
周期: 2
影响标志位: 无
举例:

```
        CALL    LOOP        ;调用子程序 LOOP
        NOP                 ;RET 指令返回后将执行这条语句
        …                   ;其它程序
LOOP:
        …                   ;子程序
        RET     35H         ;子程序返回,ACC=35H
```

RETI

操作: 中断返回
周期: 2
影响标志位: 无
举例:

```
INT_START                   ;中断程序入口
        …                   ;中断处理程序
        RETI                ;中断返回
```

RLCA [R]

操作: 寄存器 R 带 C 循环左移一位，结果放入 ACC
周期: 1
影响标志位: C
举例:

```
        LDIA    03H         ;ACC 赋值 03H
        LD      R01,A       ;ACC 值赋给 R01,R01=03H
                            ;操作结果：ACC=06H(C=0);
        RLCA    R01                 ACC=07H(C=1)
                                    C=0
```

RLCR [R]

操作: 寄存器 R 带 C 循环左移一位，结果放入 R

周期: 1

影响标志位: C

举例:

```
LDIA    03H     ;ACC 赋值 03H
LD      R01,A   ;ACC 值赋给 R01,R01=03H
                ;操作结果：R01=06H(C=0);
RLCR    R01             R01=07H(C=1);
                        C=0
```

RLA [R]

操作: 寄存器 R 不带 C 循环左移一位，结果放入 ACC

周期: 1

影响标志位: 无

举例:

```
LDIA    03H     ;ACC 赋值 03H
LD      R01,A   ;ACC 值赋给 R01,R01=03H
RLA     R01     ;操作结果：ACC=06H
```

RLR [R]

操作: 寄存器 R 不带 C 循环左移一位，结果放入 R

周期: 1

影响标志位: 无

举例:

```
LDIA    03H     ;ACC 赋值 03H
LD      R01,A   ;ACC 值赋给 R01,R01=03H
RLR     R01     ;操作结果：R01=06H
```

RRCA [R]

操作: 寄存器 R 带 C 循环右移一位，结果放入 ACC

周期: 1

影响标志位: C

举例:

```
LDIA    03H     ;ACC 赋值 03H
LD      R01,A   ;ACC 值赋给 R01,R01=03H
                ;操作结果：ACC=01H(C=0);
RRCA    R01             ACC=081H(C=1);
                        C=1
```

RRCR [R]

操作: 寄存器 R 带 C 循环右移一位，结果放入 R

周期: 1

影响标志位: C

举例:

```
LDIA    03H     ;ACC 赋值 03H
LD      R01,A   ;ACC 值赋给 R01,R01=03H
                ;操作结果：R01=01H(C=0);
RRCR    R01             R01=81H(C=1);
                        C=1
```

RRA [R]

操作: 寄存器 R 不带 C 循环右移一位，结果放入 ACC

周期: 1

影响标志位: 无

举例:

```
LDIA    03H     ;ACC 赋值 03H
LD      R01,A   ;ACC 值赋给 R01,R01=03H
RRA     R01     ;操作结果：ACC=81H
```

RRR [R]

操作: 寄存器 R 不带 C 循环右移一位，结果放入 R

周期: 1

影响标志位: 无

举例:

```
LDIA    03H     ;ACC 赋值 03H
LD      R01,A   ;ACC 值赋给 R01,R01=03H
RRR     R01     ;操作结果：R01=81H
```

SET [R]

操作: 寄存器 R 所有位置 1

周期: 1

影响标志位: 无

举例:

```
SET     R01     ;操作结果：R01=0FFH
```

SETB [R],b

操作: 寄存器 R 的第 b 位置 1

周期: 1

影响标志位: 无

举例:

```
CLR     R01     ;R01=0
SETB    R01,3   ;操作结果：R01=08H
```

STOP

操作: 进入休眠状态

周期: 1

影响标志位: TO，PD

举例:

```
STOP            ;芯片进入省电模式，CPU、振荡器停止工作，IO 口保持原来状态。
```

SUBIA i

操作: 立即数 i 减 ACC，结果放入 ACC

周期: 1

影响标志位: C,DC,Z,OV

举例:

```
LDIA    077H    ;ACC 赋值 77H
SUBIA   80H     ;操作结果：ACC=80H-77H=09H
```

SUBA [R]

操作: 寄存器 R 减 ACC，结果放入 ACC
周期: 1
影响标志位: C,DC,Z,OV
举例:

```
LDIA    080H    ;ACC 赋值 80H
LD      R01,A   ;ACC 的值赋给 R01，R01=80H
LDIA    77H     ;ACC 赋值 77H
SUBA    R01     ;操作结果：ACC=80H-77H=09H
```

SUBR [R]

操作: 寄存器 R 减 ACC，结果放入 R
周期: 1
影响标志位: C,DC,Z,OV
举例:

```
LDIA    080H    ;ACC 赋值 80H
LD      R01,A   ;ACC 的值赋给 R01，R01=80H
LDIA    77H     ;ACC 赋值 77H
SUBR    R01     ;操作结果：R01=80H-77H=09H
```

SUBCA [R]

操作: 寄存器 R 减 ACC 减 C，结果放入 ACC
周期: 1
影响标志位: C,DC,Z,OV
举例:

```
LDIA    080H    ;ACC 赋值 80H
LD      R01,A   ;ACC 的值赋给 R01，R01=80H
LDIA    77H     ;ACC 赋值 77H
SUBCA   R01     ;操作结果：ACC=80H-77H-C=09H(C=0);
                          ACC=80H-77H-C=08H(C=1);
```

SUBCR [R]

操作: 寄存器 R 减 ACC 减 C，结果放入 R
周期: 1
影响标志位: C,DC,Z,OV
举例:

```
LDIA    080H    ;ACC 赋值 80H
LD      R01,A   ;ACC 的值赋给 R01，R01=80H
LDIA    77H     ;ACC 赋值 77H
SUBCR   R01     ;操作结果：R01=80H-77H-C=09H(C=0)
                          R01=80H-77H-C=08H(C=1)
```

SWAPA [R]

操作: 寄存器 R 高低半字节交换，结果放入 ACC
周期: 1
影响标志位: 无
举例:

```
LDIA    035H    ;ACC 赋值 35H
LD      R01,A   ;ACC 的值赋给 R01，R01=35H
SWAPA   R01     ;操作结果：ACC=53H
```

SWAPR [R]

操作: 寄存器 R 高低半字节交换，结果放入 R
周期: 1
影响标志位: 无
举例:

```
LDIA    035H    ;ACC 赋值 35H
LD      R01,A   ;ACC 的值赋给 R01，R01=35H
SWAPR   R01     ;操作结果：R01=53H
```

SZB [R],b

操作: 判断寄存器 R 的第 b 位，为 0 间跳，否则顺序执行
周期: 1 or 2
影响标志位: 无
举例:

```
SZB     R01,3   ;判断寄存器 R01 的第 3 位
JP      LOOP    ;R01 的第 3 位为 1 才执行这条语句，跳转至 LOOP
JP      LOOP1   ;R01 的第 3 位为 0 时间跳，执行这条语句，跳转至 LOOP1
```

SNZB [R],b

操作: 判断寄存器 R 的第 b 位，为 1 间跳，否则顺序执行
周期: 1 or 2
影响标志位: 无
举例:

```
SNZB    R01,3   ;判断寄存器 R01 的第 3 位
JP      LOOP    ;R01 的第 3 位为 0 才执行这条语句，跳转至 LOOP
JP      LOOP1   ;R01 的第 3 位为 1 时间跳，执行这条语句，跳转至 LOOP1
```

SZA [R]

操作: 将寄存器 R 的值赋给 ACC，若 R 为 0 则间跳，否则顺序执行
周期: 1 or 2
影响标志位: 无
举例:

```
SZA     R01     ;R01→ACC
JP      LOOP    ;R01 不为 0 时执行这条语句，跳转至 LOOP
JP      LOOP1   ;R01 为 0 时间跳，执行这条语句，跳转至 LOOP1
```

SZR [R]

操作: 将寄存器 R 的值赋给 R，若 R 为 0 则间跳，否则顺序执行
周期: 1 or 2
影响标志位: 无
举例:

```
SZR     R01     ;R01→R01
JP      LOOP    ;R01 不为 0 时执行这条语句，跳转至 LOOP
JP      LOOP1   ;R01 为 0 时间跳执行这条语句，跳转至 LOOP1
```

SZINCA [R]

操作: 将寄存器 R 自加 1，结果放入 ACC，若结果为 0，则跳过下一条语句，否则顺序执行

周期: 1 or 2

影响标志位: 无

举例:

```
SZINCA    R01      ;R01+1→ACC
JP        LOOP     ;ACC 不为 0 时执行这条语句，跳转至 LOOP
JP        LOOP1    ;ACC 为 0 时执行这条语句，跳转至 LOOP1
```

SZINCR [R]

操作: 将寄存器 R 自加 1，结果放入 R，若结果为 0，则跳过下一条语句，否则顺序执行

周期: 1 or 2

影响标志位: 无

举例:

```
SZINCR    R01      ;R01+1→R01
JP        LOOP     ; R01 不为 0 时执行这条语句，跳转至 LOOP
JP        LOOP1    ; R01 为 0 时执行这条语句，跳转至 LOOP1
```

SZDECA [R]

操作: 将寄存器 R 自减 1，结果放入 ACC，若结果为 0，则跳过下一条语句，否则顺序执行

周期: 1 or 2

影响标志位: 无

举例:

```
SZDECA    R01      ;R01-1→ACC
JP        LOOP     ;ACC 不为 0 时执行这条语句，跳转至 LOOP
JP        LOOP1    ;ACC 为 0 时执行这条语句，跳转至 LOOP1
```

SZDECR [R]

操作: 将寄存器 R 自减 1，结果放入 R，若结果为 0，则跳过下一条语句，否则顺序执行

周期: 1 or 2

影响标志位: 无

举例:

```
SZDECR    R01      ;R01-1→R01
JP        LOOP     ; R01 不为 0 时执行这条语句，跳转至 LOOP
JP        LOOP1    ; R01 为 0 时执行这条语句，跳转至 LOOP1
```

TABLE [R]

操作: 查表，查表结果低 8 位放入 R，高位放入专用寄存器 TABLE_SPH

周期: 2

影响标志位: 无

举例:

```
LDIA      01H      ;ACC 赋值 01H
LD        TABLE_SPH,A  ;ACC 值赋给表格高位地址，TABLE_SPH=1
LDIA      015H     ;ACC 赋值 15H
LD        TABLE_SPL,A  ;ACC 值赋给表格地位地址，TABLE_SPL=15H
TABLE     R01      ;查表 0115H 地址，操作结果：TABLE_DATAH=12H，R01=34H
…
```

```
ORG     0115H
DW      1234H
```

TABLEA

操作: 查表，查表结果低 8 位放入 ACC，高位放入专用寄存器 TABLE_SPH

周期: 2

影响标志位: 无

举例:

```
LDIA    01H             ;ACC 赋值 01H
LD      TABLE_SPH,A     ;ACC 值赋给表格高位地址，TABLE_SPH=1
LDIA    015H            ;ACC 赋值 15H
LD      TABLE_SPL,A     ;ACC 值赋给表格地位地址，TABLE_SPL=15H
TABLEA                  ;查表 0115H 地址，操作结果：TABLE_DATAH=12H，ACC=34H
…
ORG     0115H
DW      1234H
```

TESTZ [R]

操作: 将 R 的值赋给 R,用以影响 Z 标志位

周期: 1

影响标志位: Z

举例:

```
TESTZ   R0      ;将寄存器 R0 的值赋给 R0，用于影响 Z 标志位
SZB     FLAGS,Z ;判断 Z 标志位，为 0 间跳
JP      Add1    ;当寄存器 R0 为 0 的时候跳转至地址 Add1
JP      Add2    ;当寄存器 R0 不为 0 的时候跳转至地址 Add1
```

XORIA i

操作: 立即数与 ACC 进行逻辑异或运算，结果放入 ACC

周期: 1

影响标志位: Z

举例:

```
LDIA    0AH     ;ACC 赋值 0AH
XORIA   0FH     ;执行结果：ACC=05H
```

XORA [R]

操作: 寄存器 R 与 ACC 进行逻辑异或运算，结果放入 ACC

周期: 1

影响标志位: Z

举例:

```
LDIA    0AH     ;ACC 赋值 0AH
LD      R01,A   ;ACC 值赋给 R01,R01=0AH
LDIA    0FH     ;ACC 赋值 0FH
XORA    R01     ;执行结果：ACC=05H
```

XORR [R]

操作: 寄存器 R 与 ACC 进行逻辑异或运算，结果放入 R

周期: 1

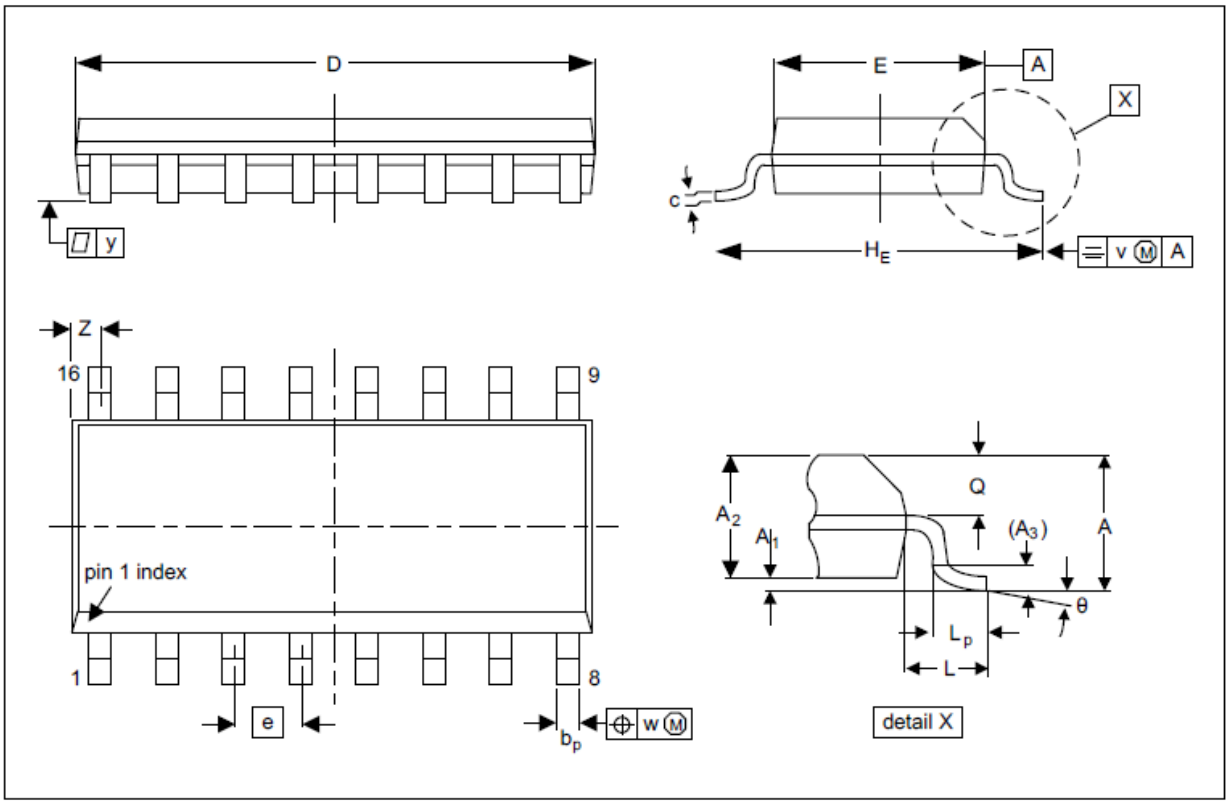
影响标志位: Z

举例:

```
LDIA    0AH     ;ACC 赋值 0AH
LD      R01,A   ;ACC 值赋给 R01,R01=0AH
LDIA    0FH     ;ACC 赋值 0FH
XORR    R01     ;执行结果：R01=05H
```

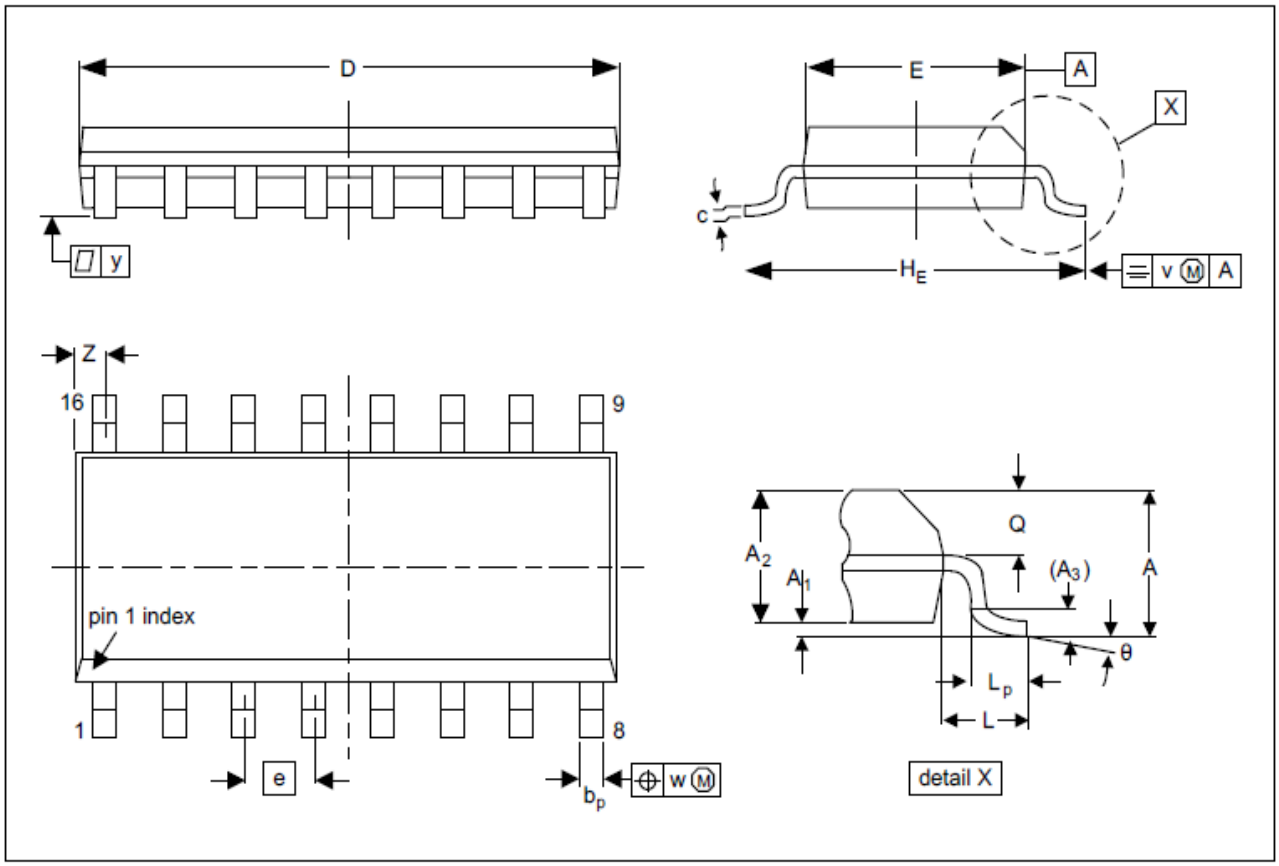
19. 封装

19.1 DIP16



Symbol	Dimensions in mil		
	Min.	Nom.	Max.
A	745	-	775
B	240	-	260
C	125	-	135
D	125	-	15
E	16	-	20
F	50	-	70
G	-	100	-
H	295	-	315
I	335	-	375
α	0°	-	15°

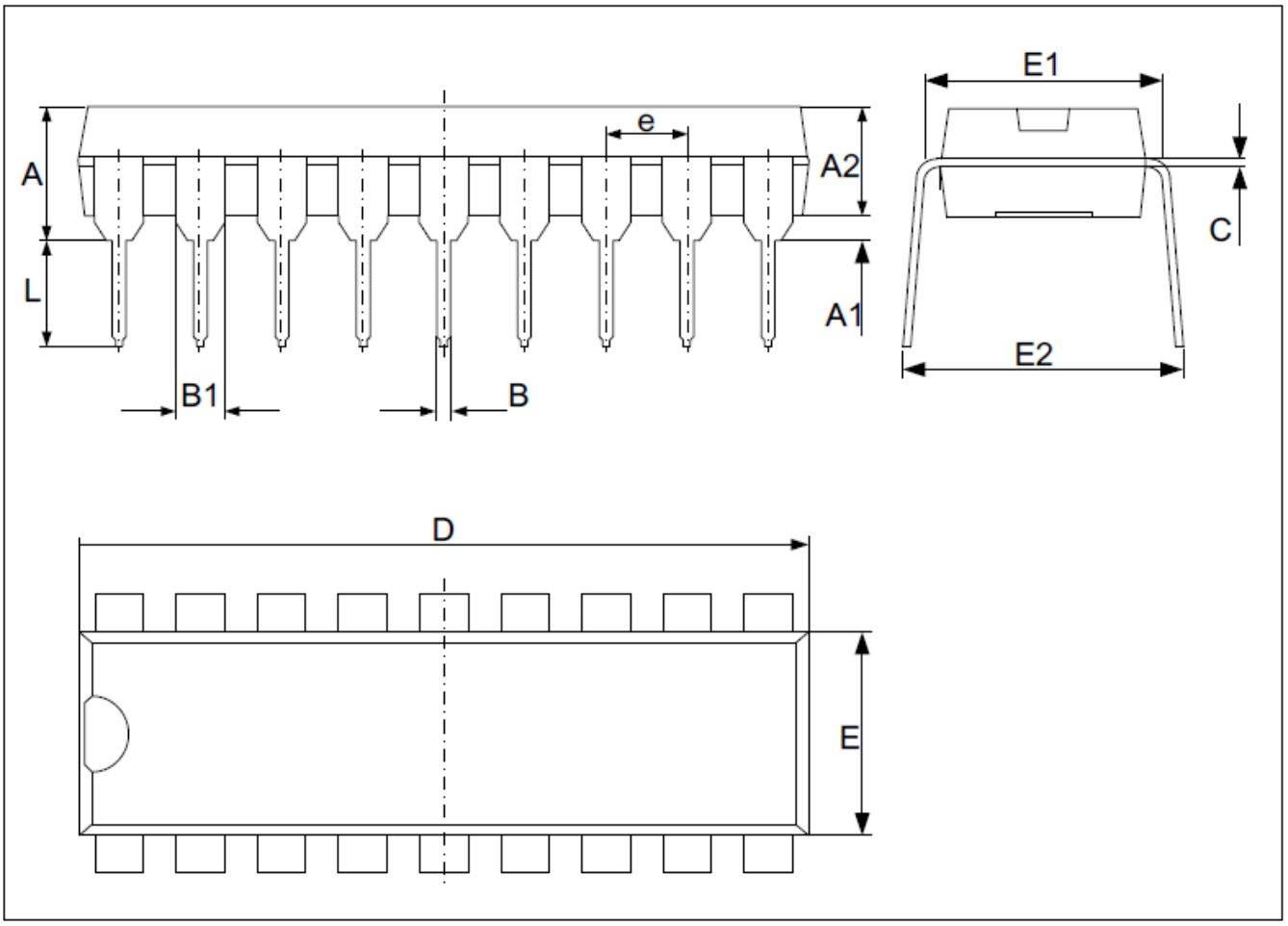
19.2 SOP16



UNIT	A Max.	A_1	A_2	A_3	b_p	c	$D^{(1)}$	$E^{(1)}$	e
mm	1.75	0.025 0.10	1.45 1.25	0.25	0.49 0.36	0.25 0.19	10.0 9.8	4.0 3.8	1.27
inches	0.069	0.010 0.004	0.057 0.049	0.01	0.019 0.014	0.0100 0.0075	0.39 0.38	0.16 0.15	0.05

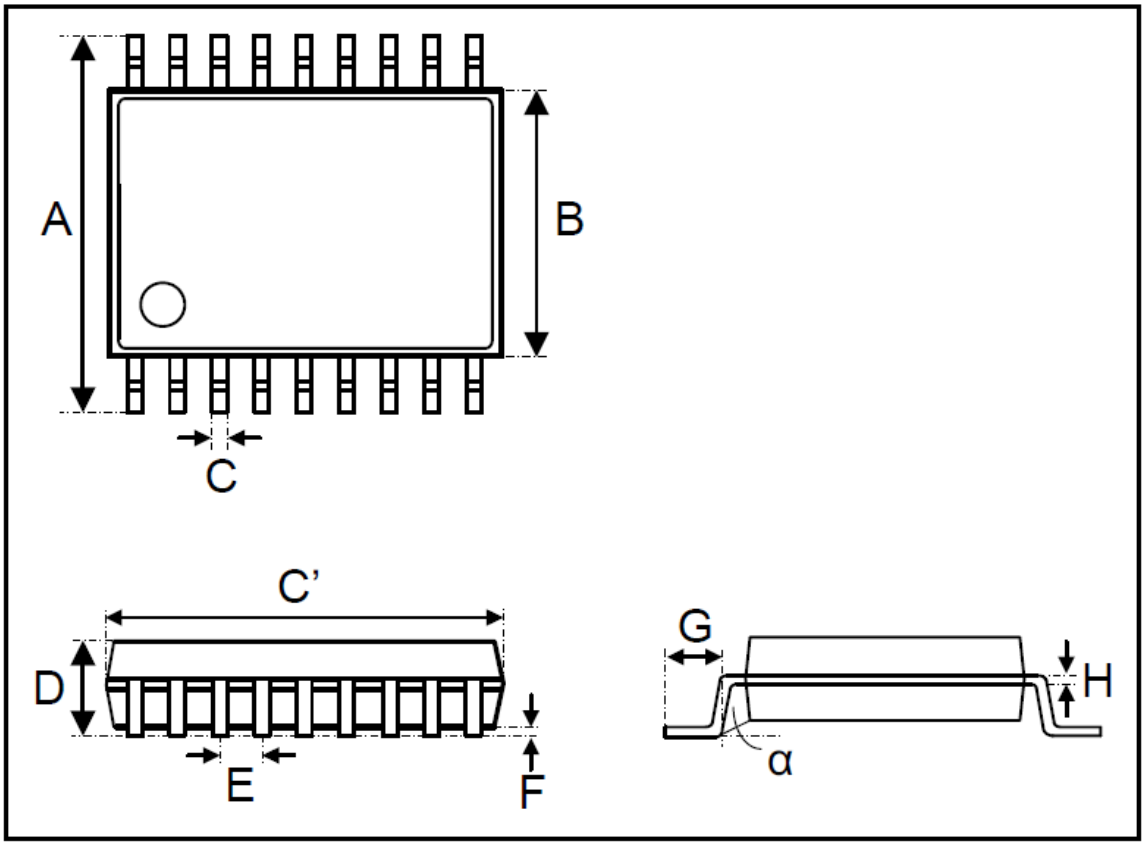
UNIT	H_E	L	Lp	Q	v	w	y	$z^{(1)}$	θ
mm	6.2 5.8	1.05	1.0 0.4	0.7 0.6	0.25	0.25	0.1	0.7 0.3	8°
inches	0.244 0.228	0.041	0.039 0.016	0.028 0.020	0.01	0.01	0.004	0.028 0.012	0°

19.3 DIP18



Symbol	Dimensions In Millimeters		Dimensions In Inches	
	Min	Max	Min	Max
A	3.710	4.310	0.146	0.170
A1	0.510		0.020	
A2	3.200	3.600	0.126	0.142
B	0.380	0.570	0.015	0.022
B1	1.524(BSC)		0.060（BSC）	
C	0.204	0.360	0.008	0.014
D	22.640	23.040	0.891	0.907
E	6.200	6.600	0.244	0.260
E1	7.320	7.920	0.288	0.312
e	2.54(BSC)		0.100(BSC)	
L	3.000	3.600	0.118	0.142
E2	8.400	9.000	0.331	0.354

19.4 SOP18



Symbol	Dimensions in inch			Dimensions in mm		
	Min	Nom	Max	Min	Nom	Max
A	0.393	-	0.419	9.980	-	10.640
B	0.256	-	0.300	6.500	-	7.362
C	0.012	-	0.020	0.300	-	0.510
C'	0.447	-	0.460	11.350	-	11.760
D	-	-	0.104	-	-	2.640
E	-	0.050	-	-	1.270	-
F	0.004	-	0.012	0.100	-	0.300
G	0.016	-	0.050	0.410	-	1.270
H	0.008	-	0.013	0.200	-	0.330
α	0°	-	8°	0°	-	8°

20. 版本修订说明

版本号	时间	修改内容
V1.0	2015 年 7 月	初步发行。