

**AK4367****Output Mixer & HP-AMP内蔵 低消費電力 24-Bit 2ch DAC****概 要**

AK4367はヘッドフォンアンプを内蔵した24bit D/Aコンバータです。アナログミキシング回路を内蔵しておりますので、携帯電話のオーディオI/Fとの接続も可能です。ヘッドフォンアンプは16Ωで50mWを出力することが可能で、電源ON/OFF時およびミュート時のポップノイズはありません。パッケージは小型の20pinQFNを採用しており、ポータブル用途には最適です。

**特 長**

- ☐ マルチビット $\Delta\Sigma$ 方式DAC
- ☐ サンプリングレート: 8kHz~48kHz
- ☐ 64倍オーバーサンプリング
- ☐ 8倍FIRデジタルフィルタ内蔵
  - 通過域: 20kHz
  - 通過域リップル:  $\pm 0.02$ dB
  - 阻止域減衰量: 54dB
- ☐ デジタルディエンファシス内蔵: 32kHz, 44.1kHz, 48kHz
- ☐ システムクロック: 256fs/384fs/512fs
  - ACカップル入力可能
- ☐ オーディオI/Fフォーマット: MSB First, 2's Complement
  - I<sup>2</sup>S, 24bit 前詰め, 24bit/20bit/16bit 後詰め
- ☐ デジタルボリューム
- ☐ アナログミキシング回路
- ☐ モノラルライン出力
- ☐ マイコンインタフェース: 3線式/I<sup>2</sup>C
- ☐ バスブースト内蔵
- ☐ ヘッドフォンアンプ内蔵
  - 定格出力: 50mW x 2ch @16Ω, 3.3V
  - S/N: 92dB@2.4V
  - 電源ON/OFF時およびミュート時ポップノイズフリー
- ☐ 電源電圧: 2.2V ~ 3.6V
- ☐ 消費電流: 2.8mA@2.4V (HP-AMP無出力時)
- ☐ Ta: -40 ~ 85°C
- ☐ 小型パッケージ: 20pin QFN

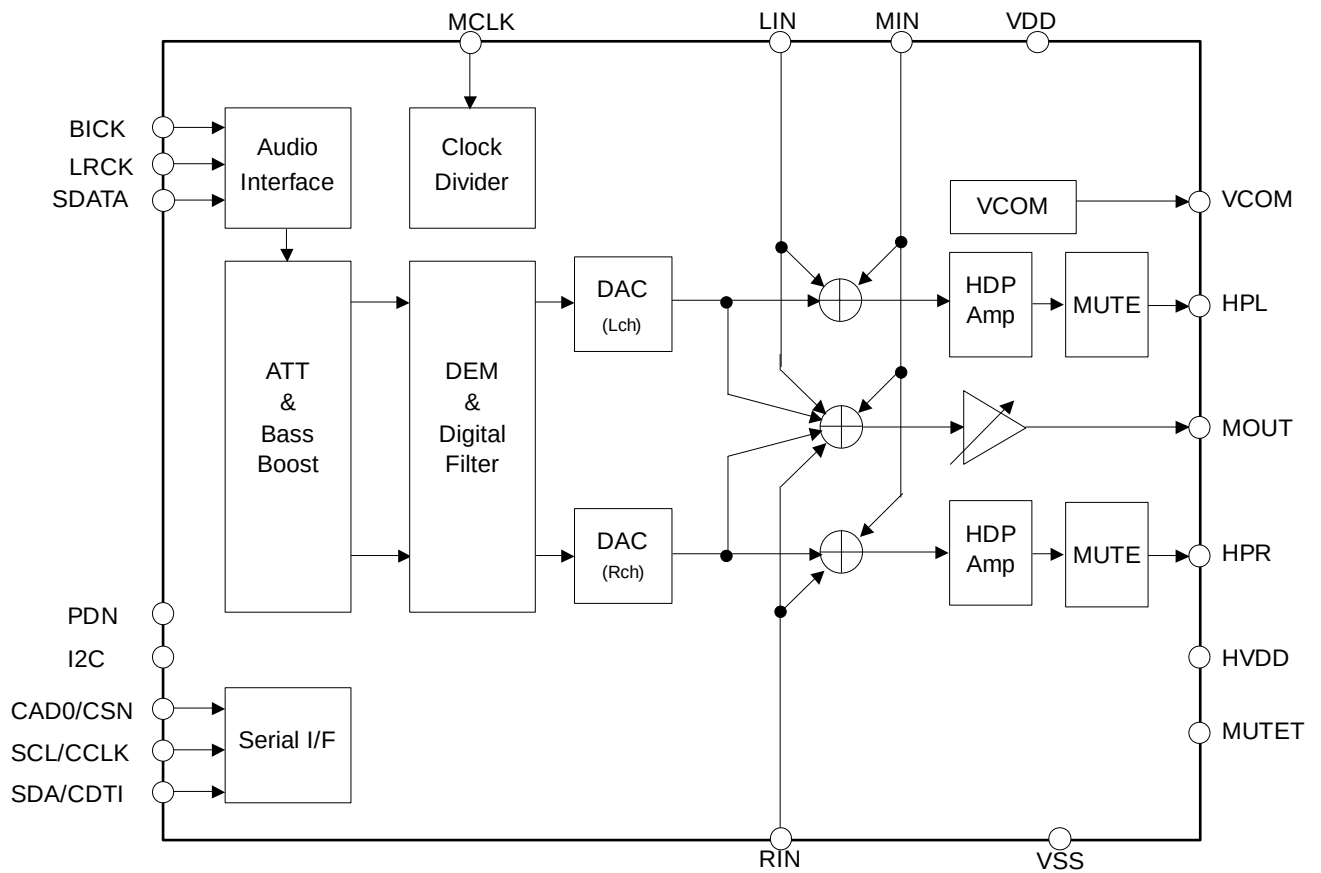


図 1. ブロック図

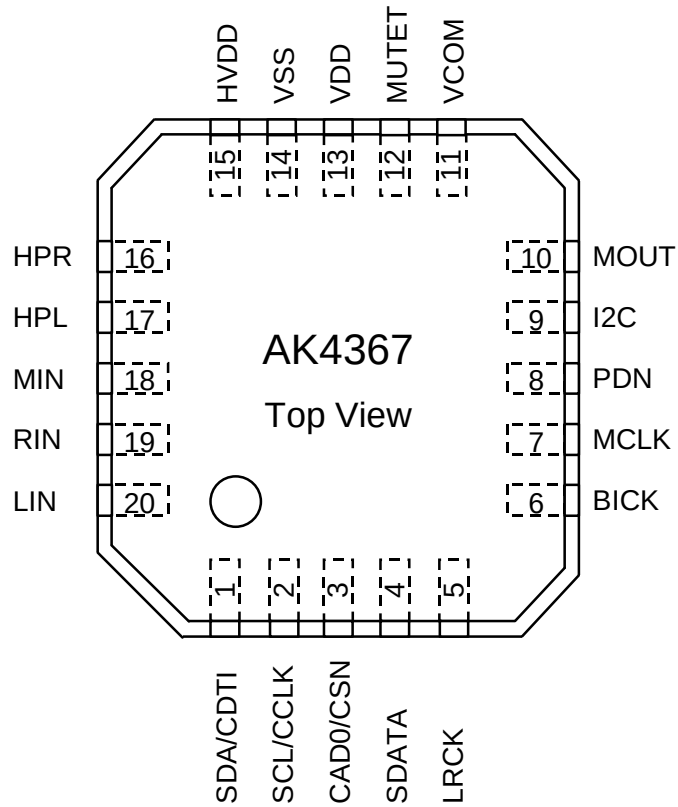
## ■ オーダリングガイド

AK4367VN  
AKD4367

-40 ~ +85°C  
AK4367用評価ボード

20pin QFN (0.5mm pitch)

## ■ ピン配置



## ピン／機能

| No. | ピン名称  | I/O | 機 能                                                                                 |
|-----|-------|-----|-------------------------------------------------------------------------------------|
| 1   | SDA   | I/O | コントロールデータ入出力ピン (I2C pin = “H”)                                                      |
|     | CDTI  | I   | コントロールデータ入力ピン (I2C pin = “L”)                                                       |
| 2   | SCL   | I   | コントロールクロック入力ピン (I2C pin = “H”)                                                      |
|     | CCLK  | I   | コントロールクロック入力ピン (I2C pin = “L”)                                                      |
| 3   | CAD0  | I   | チップアドレス0ピン (I2C pin = “H”)                                                          |
|     | CSN   | I   | コントロールデータチップセレクトピン (I2C pin = “L”)                                                  |
| 4   | SDATA | I   | オーディオデータ入力ピン                                                                        |
| 5   | LRCK  | I   | L/Rクロックピン<br>オーディオデータのチャンネルを決定します。                                                  |
| 6   | BICK  | I   | シリアルビットクロックピン<br>オーディオデータをシフトするためのクロックです。                                           |
| 7   | MCLK  | I   | マスタクロック入力ピン                                                                         |
| 8   | PDN   | I   | パワーダウン&リセットピン<br>このピンを “L” にすると内部はパワーダウンされ、リセット状態になります。<br>電源立ち上げ時に一度 “L” を入力して下さい。 |
| 9   | I2C   | I   | コントロールモード選択ピン (内部プルダウンピン)<br>“H”: I <sup>2</sup> Cバス, “L”: 3線式シリアル                  |
| 10  | MOUT  | O   | モノラルアナログ出力ピン                                                                        |
| 11  | VCOM  | O   | コモン電圧ピン<br>VSS pinとの間に2.2μFの電解コンデンサと 0.1μFのセラミックコンデンサを接続します。                        |
| 12  | MUTET | O   | ミュート時定数コントロールピン<br>VSS pinとの間に時定数設定用コンデンサを接続します。                                    |
| 13  | VDD   | -   | 電源ピン                                                                                |
| 14  | VSS   | -   | グランドピン                                                                              |
| 15  | HVDD  | -   | ヘッドフォンアンプ用電源ピン                                                                      |
| 16  | HPR   | O   | Rch HP-Amp出力ピン                                                                      |
| 17  | HPL   | O   | Lch HP-Amp 出力ピン                                                                     |
| 18  | MIN   | I   | モノラルアナログ入力ピン                                                                        |
| 19  | RIN   | I   | Rch アナログ入力ピン                                                                        |
| 20  | LIN   | I   | Lch アナログ入力ピン                                                                        |

注: アナログ入力ピン(MIN, RIN, LIN)および内部プルダウンピン以外のデジタル入力ピンはオープンにしないで下さい。

## ■ 使用しないピンの処理について

使用しない入出力ピンは下記の設定を行い、適切に処理して下さい。

| 区分      | ピン名                                  | 設定     |
|---------|--------------------------------------|--------|
| Analog  | MOUT, MUTET, HPR, HPL, MIN, RIN, LIN | オープン   |
| Digital | CAD0                                 | VSSに接続 |

**絶対最大定格**

(VSS=0V; 注 1)

| Parameter                                    |          | Symbol | min  | max            | Units |
|----------------------------------------------|----------|--------|------|----------------|-------|
| Power Supplies                               | 電源       | VDD    | -0.3 | 4.6            | V     |
|                                              | HP-AMP電源 | HVDD   | -0.3 | 4.6            | V     |
| Input Current (any pins except for supplies) |          | IIN    | -    | ±10            | mA    |
| Input Voltage                                |          | VIN    | -0.3 | VDD+0.3 or 4.6 | V     |
| Ambient Temperature                          |          | Ta     | -40  | 85             | °C    |
| Storage Temperature                          |          | Tstg   | -65  | 150            | °C    |

注 1. 電圧はすべてグラウンドピンに対する値です。

注意: この値を超えた条件で使用した場合、デバイスを破壊することがあります。また通常の動作は保証されません。

**推奨動作条件**

(VSS=0V; 注 1)

| Parameter               |          | Symbol | min | typ | max | Units |
|-------------------------|----------|--------|-----|-----|-----|-------|
| Power Supplies<br>(注 2) | 電源       | VDD    | 2.2 | 2.4 | 3.6 | V     |
|                         | HP-AMP電源 | HVDD   | 2.2 | 2.4 | 3.6 | V     |

注 1. 電圧はすべてグラウンドピンに対する値です。

注 2. VDDとHVDDは同電位にして下さい。

注意: 本データシートに記載されている条件以外のご使用に関しては、当社では責任負いかねますので十分ご注意ください。

### アナログ特性

(特記なき場合は Ta=25°C; VDD=HVDD=2.4V, VSS=0V; fs=44.1kHz; BOOST OFF; Signal Frequency =1kHz; Measurement band width=10Hz ~ 20kHz; Headphone-Amp:  $R_L=16\Omega$ ,  $C_L=220\mu F$ を直列接続した場合 (図 32参照); Mono Output:  $R_L=10k\Omega$ )

| Parameter                                  |                                             | min  | typ  | max  | Units      |
|--------------------------------------------|---------------------------------------------|------|------|------|------------|
| <b>DAC Resolution</b>                      |                                             | -    | -    | 24   | bit        |
| <b>Headphone-Amp: (HPL/HPR pins) (注 3)</b> |                                             |      |      |      |            |
| <b>Analog Output Characteristics</b>       |                                             |      |      |      |            |
| THD+N                                      | -4.8dBFS Output, Po=10mW@16 $\Omega$ , 2.4V | -    | -55  | -40  | dB         |
|                                            | -3dBFS Output, Po=28mW@16 $\Omega$ , 3.3V   | -    | -55  | -    | dB         |
|                                            | -3dBFS Output, Po=14mW@32 $\Omega$ , 3.3V   | -    | -57  | -    | dB         |
| D-Range                                    | -60dBFS Output, A-weighted, 2.4V            | 84   | 92   | -    | dB         |
|                                            | -60dBFS Output, A-weighted, 3.3V            | -    | 94   | -    | dB         |
| S/N                                        | A-weighted, 2.4V                            | 84   | 92   | -    | dB         |
|                                            | A-weighted, 3.3V                            | -    | 94   | -    | dB         |
| Interchannel Isolation                     |                                             | 60   | 80   | -    | dB         |
| <b>DC Accuracy</b>                         |                                             |      |      |      |            |
| Interchannel Gain Mismatch                 |                                             | -    | 0.2  | -    | dB         |
| Gain Drift                                 |                                             | -    | 200  | -    | ppm/°C     |
| Load Resistance (注 4)                      |                                             | 16   | -    | -    | $\Omega$   |
| Load Capacitance                           |                                             | -    | -    | 300  | pF         |
| Output Voltage (-4.8dBFS Output) (注 5)     |                                             | 1.02 | 1.13 | 1.24 | Vpp        |
| Max Output Power                           | $R_L=16\Omega$ , 2.4V                       | -    | 26   | -    | mW         |
|                                            | $R_L=16\Omega$ , 3.3V                       | -    | 50   | -    | mW         |
| <b>Mono Output: (MOUT pin) (注 6)</b>       |                                             |      |      |      |            |
| <b>Analog Output Characteristics:</b>      |                                             |      |      |      |            |
| THD+N (0dBFS Output)                       |                                             | -    | -60  | -50  | dB         |
| S/N (A-weighted)                           |                                             | 84   | 92   | -    | dB         |
| <b>DC Accuracy</b>                         |                                             |      |      |      |            |
| Gain Drift                                 |                                             | -    | 200  | -    | ppm/°C     |
| Load Resistance (注 4)                      |                                             | 10   | -    | -    | k $\Omega$ |
| Load Capacitance                           |                                             | -    | -    | 25   | pF         |
| Output Voltage (注 7)                       |                                             | 1.42 | 1.58 | 1.74 | Vpp        |
| <b>Output Volume: (MOUT pin)</b>           |                                             |      |      |      |            |
| Step Size                                  |                                             | 1    | 2    | 3    | dB         |
| Gain Control Range                         |                                             | -30  | -    | 0    | dB         |

注 3. DACL=DACR bits = "1", MINL=MINR=LINL=RINR bits = "0", ATTL=ATTR=0dB時の値です。

注 4. AC負荷

注 5. 出力電圧はVDDに比例します。Vout = 0.47 x VDD(typ)@-4.8dBFS。

注 6. DACM bit = "1", DACL=DACR bits = "0", LINM=RINM=MINM bits = "0", ATTL=ATTR=ATTM=0dB, DACのL/Rチャネルに同相の信号を入力した時の値です。

注 7. 出力電圧はVDDに比例します。Vout = 0.66 x VDD(typ)。

| Parameter                                      | min  | typ  | max  | Units |
|------------------------------------------------|------|------|------|-------|
| <b>LINEIN: (LIN/RIN/MIN pins)</b>              |      |      |      |       |
| <b>Analog Input Characteristics</b>            |      |      |      |       |
| Input Resistance (図 30, 図 31参照)                |      |      |      |       |
| LIN pin                                        |      |      |      |       |
| LINL bit = "1", LINM bit = "1"                 | 23   | 33   | -    | kΩ    |
| LINL bit = "1", LINM bit = "0"                 | -    | 40   | -    | kΩ    |
| LINL bit = "0", LINM bit = "1"                 | -    | 200  | -    | kΩ    |
| RIN pin                                        |      |      |      |       |
| RINR bit = "1", RINM bit = "1"                 | 23   | 33   | -    | kΩ    |
| RINR bit = "1", RINM bit = "0"                 | -    | 40   | -    | kΩ    |
| RINR bit = "0", RINM bit = "1"                 | -    | 200  | -    | kΩ    |
| MIN pin                                        |      |      |      |       |
| MINL bit = "1", MINR bit = "1", MINM bit = "1" | 11   | 17   | -    | kΩ    |
| MINL bit = "1", MINR bit = "0", MINM bit = "0" | -    | 40   | -    | kΩ    |
| MINL bit = "0", MINR bit = "1", MINM bit = "0" | -    | 40   | -    | kΩ    |
| MINL bit = "0", MINR bit = "0", MINM bit = "1" | -    | 100  | -    | kΩ    |
| Gain                                           |      |      |      |       |
| LIN/RIN→MOUT                                   | -7   | -6   | -5   | dB    |
| MIN→MOUT                                       | -1   | 0    | +1   | dB    |
| LIN/MIN→HPL, RIN/MIN→HPR                       | +0.8 | +1.8 | +2.8 | dB    |
| <b>Power Supplies</b>                          |      |      |      |       |
| Power Supply Current                           |      |      |      |       |
| Normal Operation (PDN pin = "H") (注 8)         |      |      |      |       |
| VDD                                            | -    | 1.8  | 3.0  | mA    |
| HVDD                                           | -    | 1.0  | 2.0  | mA    |
| Power-Down Mode (PDN pin = "L") (注 9)          | -    | 1    | 100  | μA    |

注 8. PMDAC=PMHPL=PMHPR=PMMO bits = "1", MUTEN bit = "1", HP-Amp無出力時。

注 9. 静止時、クロック(MCLK, BICK, LRCK)を含むすべてのデジタル入力ピンはVSSに固定した場合の値です。

### フィルタ特性

(Ta=25°C; VDD, HVDD=2.2 ~ 3.6V; fs=44.1kHz; De-emphasis = "OFF")

| Parameter                                         |                |       | Symbol | min  | typ   | max   | Units |
|---------------------------------------------------|----------------|-------|--------|------|-------|-------|-------|
| DAC Digital Filter: (注 10)                        |                |       |        |      |       |       |       |
| Passband                                          | -0.05dB (注 11) |       | PB     | 0    | -     | 20.0  | kHz   |
|                                                   | -6.0dB         |       |        | -    | 22.05 | -     | kHz   |
| Stopband (注 11)                                   |                |       | SB     | 24.1 | -     | -     | kHz   |
| Passband Ripple                                   |                |       | PR     | -    | -     | ±0.02 | dB    |
| Stopband Attenuation                              |                |       | SA     | 54   | -     | -     | dB    |
| Group Delay (注 12)                                |                |       | GD     | -    | 20.8  | -     | 1/fs  |
| Group Delay Distortion                            |                |       | ΔGD    | -    | 0     | -     | μs    |
| DAC Digital Filter + Analog Filter: (注 10) (注 13) |                |       |        |      |       |       |       |
| Frequency Response 0 ~ 20.0kHz                    |                |       | FR     | -    | ±0.5  | -     | dB    |
| Analog Filter: (注 14)                             |                |       |        |      |       |       |       |
| Frequency Response 0 ~ 20.0kHz                    |                |       | FR     | -    | ±1.0  | -     | dB    |
| BOOST Filter: (注 13) (注 15)                       |                |       |        |      |       |       |       |
| Frequency Response                                | MIN            | 20Hz  | FR     | -    | 5.76  | -     | dB    |
|                                                   |                | 100Hz |        | -    | 2.92  | -     | dB    |
|                                                   |                | 1kHz  |        | -    | 0.02  | -     | dB    |
|                                                   | MID            | 20Hz  | FR     | -    | 10.80 | -     | dB    |
|                                                   |                | 100Hz |        | -    | 6.84  | -     | dB    |
|                                                   |                | 1kHz  |        | -    | 0.13  | -     | dB    |
|                                                   | MAX            | 20Hz  | FR     | -    | 16.06 | -     | dB    |
|                                                   |                | 100Hz |        | -    | 10.54 | -     | dB    |
|                                                   |                | 1kHz  |        | -    | 0.37  | -     | dB    |

注 10. BOOST OFF (BST1-0 bit = "00")

注 11. 通過域、阻止域の周波数は fs (システムサンプリングレート) に比例します。

例えば、PB=0.4535fs(@±0.05dB)、SB=0.546fs(@-54dB)です。

注 12. デジタルフィルタによる演算遅延で、データが入力レジスタにセットされてからアナログ信号が出力されるまでの時間です。

注 13. DAC → HPL, HPR, MOUTでの特性

注 14. MIN → HPL/HPR/MOUT, LIN → HPL/MOUT, RIN → HPR/MOUTでの特性

注 15. 周波数特性はfsに比例します。フルスケール入力時には、低域でクリップします。

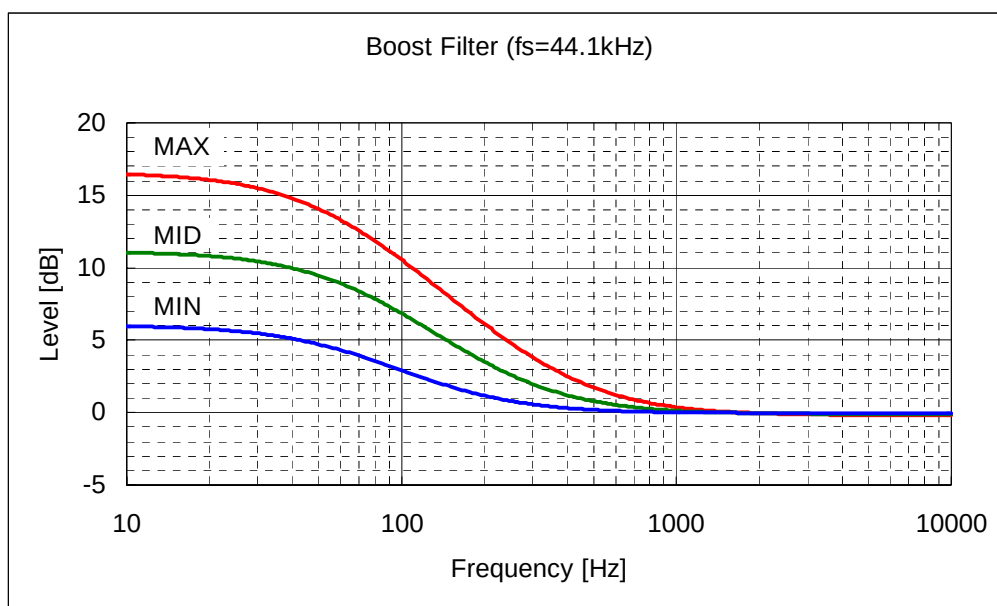


図 2. Boost Frequency (fs=44.1kHz)



**DC特性**

(Ta=25°C; VDD, HVDD=2.2 ~ 3.6V)

| Parameter                             | Symbol | min     | typ | max     | Units |
|---------------------------------------|--------|---------|-----|---------|-------|
| High-Level Input Voltage              | VIH    | 70%DVDD | -   | -       | V     |
| Low-Level Input Voltage               | VIL    | -       | -   | 30%DVDD | V     |
| ACカップリング時入力電圧 (注 16)                  | VAC    | 1.0     | -   | -       | Vpp   |
| Low-Level Output Voltage (Iout = 3mA) | VOL    | -       | -   | 0.4     | V     |
| Input Leakage Current (注 17)          | Iin    | -       | -   | ±10     | μA    |

注 16. MCLK pinをコンデンサ接続した場合。(図 32参照)

注 17. I2C pinは内部でプルダウンされています (Typ. 100kΩ)。

**スイッチング特性**

(Ta=25°C; VDD, HVDD=2.2 ~ 3.6V; CL = 20pF)

| Parameter                                            | Symbol | min      | typ  | max    | Units |
|------------------------------------------------------|--------|----------|------|--------|-------|
| <b>Master Clock Timing</b>                           |        |          |      |        |       |
| Frequency                                            | fCLK   | 2.048    | -    | 24.576 | MHz   |
| Pulse Width Low (注 18)                               | tCLKL  | 0.4/fCLK | -    | -      | ns    |
| Pulse Width High (注 18)                              | tCLKH  | 0.4/fCLK | -    | -      | ns    |
| AC Pulse Width (注 21)                                | tACW   | 20       | -    | -      | ns    |
| <b>LRCK Timing</b>                                   |        |          |      |        |       |
| Frequency                                            | fs     | 8        | 44.1 | 48     | kHz   |
| Duty Cycle:                                          | Duty   | 45       | -    | 55     | %     |
| <b>Serial Interface Timing (注 19)</b>                |        |          |      |        |       |
| BICK Period                                          | tBCK   | 1/(64fs) | -    | -      | ns    |
| BICK Pulse Width Low                                 | tBCKL  | 130      | -    | -      | ns    |
| Pulse Width High                                     | tBCKH  | 130      | -    | -      | ns    |
| LRCK Edge to BICK “↑” (注 20)                         | tLRB   | 50       | -    | -      | ns    |
| BICK “↑” to LRCK Edge (注 20)                         | tBLR   | 50       | -    | -      | ns    |
| SDATA Hold Time                                      | tSDH   | 50       | -    | -      | ns    |
| SDATA Setup Time                                     | tSDS   | 50       | -    | -      | ns    |
| <b>Control Interface Timing (3-wire Serial mode)</b> |        |          |      |        |       |
| CCLK Period                                          | tCCK   | 200      | -    | -      | ns    |
| CCLK Pulse Width Low                                 | tCCKL  | 80       | -    | -      | ns    |
| Pulse Width High                                     | tCCKH  | 80       | -    | -      | ns    |
| CDTI Setup Time                                      | tCDS   | 40       | -    | -      | ns    |
| CDTI Hold Time                                       | tCDH   | 40       | -    | -      | ns    |
| CSN “H” Time                                         | tCSW   | 150      | -    | -      | ns    |
| CSN “↑” to CCLK “↑”                                  | tCSS   | 50       | -    | -      | ns    |
| CCLK “↑” to CSN “↑”                                  | tCSH   | 50       | -    | -      | ns    |

注 18. ACカップリング時を除く。

注 19. シリアルデータインタフェースの項を参照して下さい。

注 20. この規格値はLRCKのエッジとBICKの “↑”が重ならないように規定しています。

注 21. MCLKに対して直列にコンデンサを接続し、抵抗をグラウンドに対して接続した場合のグラウンドに対するパルス幅。(図 3参照)

| Parameter                                                         | Symbol  | min  | typ | max | Units |
|-------------------------------------------------------------------|---------|------|-----|-----|-------|
| <b>Control Interface Timing (I<sup>2</sup>C Bus mode):</b> (注 22) |         |      |     |     |       |
| SCL Clock Frequency                                               | fSCL    | -    | -   | 100 | kHz   |
| Bus Free Time Between Transmissions                               | tBUF    | 4.7  | -   | -   | μs    |
| Start Condition Hold Time (prior to first clock pulse)            | tHD:STA | 4.0  | -   | -   | μs    |
| Clock Low Time                                                    | tLOW    | 4.7  | -   | -   | μs    |
| Clock High Time                                                   | tHIGH   | 4.0  | -   | -   | μs    |
| Setup Time for Repeated Start Condition                           | tSU:STA | 4.7  | -   | -   | μs    |
| SDA Hold Time from SCL Falling (注 23)                             | tHD:DAT | 0    | -   | -   | μs    |
| SDA Setup Time from SCL Rising                                    | tSU:DAT | 0.25 | -   | -   | μs    |
| Rise Time of Both SDA and SCL Lines                               | tR      | -    | -   | 1.0 | μs    |
| Fall Time of Both SDA and SCL Lines                               | tF      | -    | -   | 0.3 | μs    |
| Setup Time for Stop Condition                                     | tSU:STO | 4.0  | -   | -   | μs    |
| Pulse Width of Spike Noise Suppressed by Input Filter             | tSP     | 0    | -   | 50  | ns    |
| <b>Power-down &amp; Reset Timing</b>                              |         |      |     |     |       |
| PDN Pulse Width (注 24)                                            | tPD     | 150  | -   | -   | ns    |

注 22. I<sup>2</sup>CはPhilips Semiconductorsの登録商標です。

注 23. データは最低300ns (SCLの立ち下がり時間)の間保持されなければなりません。

注 24. 電源投入時はPDN pinを“L”から“H”にすることでリセットがかかります。

旭化成マイクロシステム（株）製I<sup>2</sup>Cバス・コンポーネントを購入した場合、Philipsの持つI<sup>2</sup>C特許権の下、I<sup>2</sup>Cバス・システム内でこれらのコンポーネントを使用するためのライセンスが与えられます。ただしそのバス・システムが、Philipsの規定するI<sup>2</sup>C仕様に準拠している場合に限りです。

## ■ タイミング波形

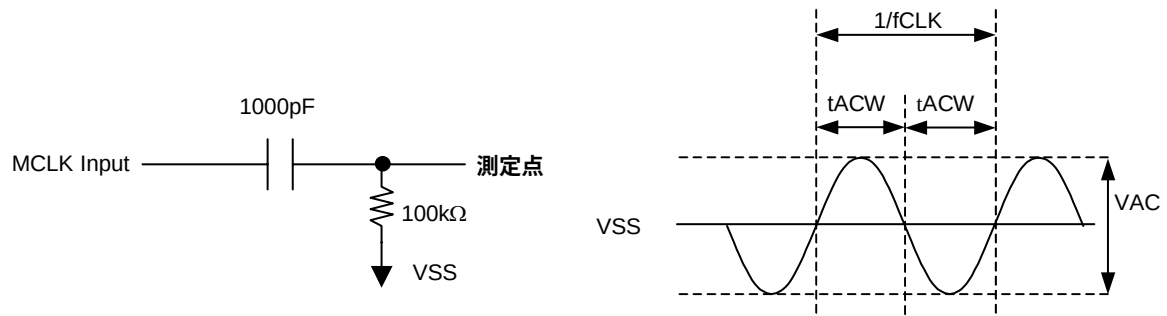


図 3. MCLK ACカップリング時のタイミング

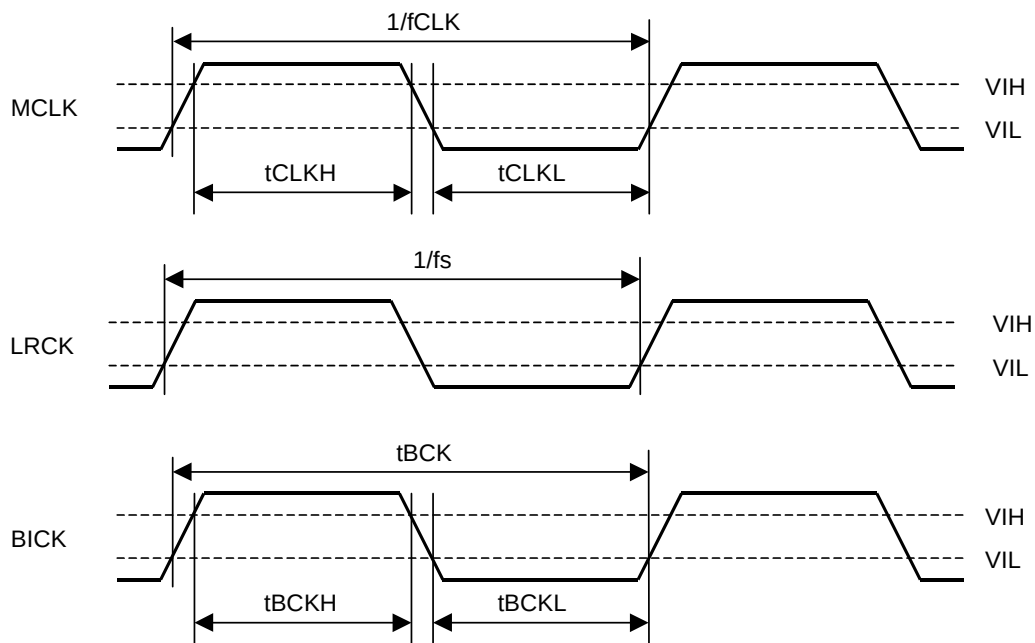


図 4. クロックタイミング

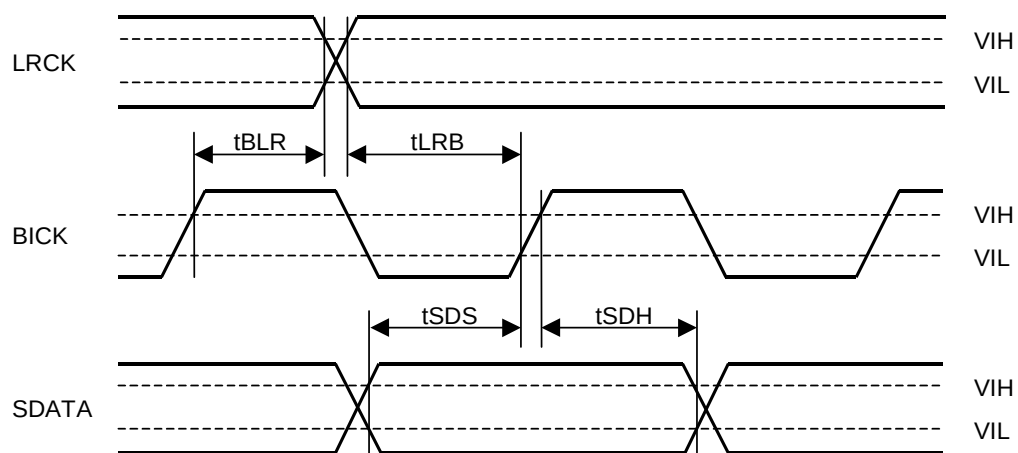


図 5. シリアルインタフェースタイミング

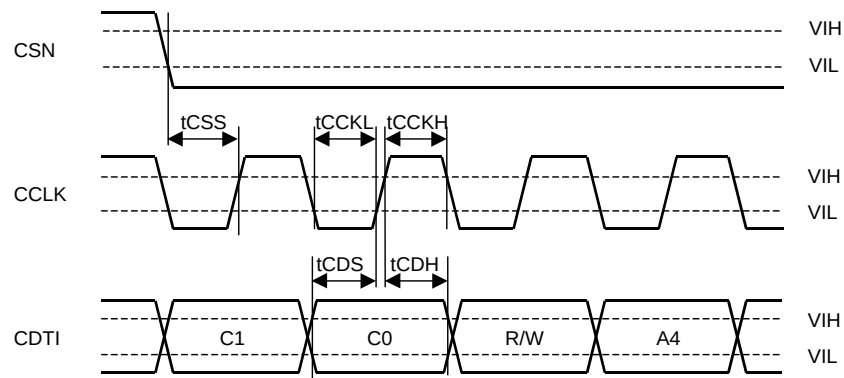


図 6. WRITE Command Input Timing

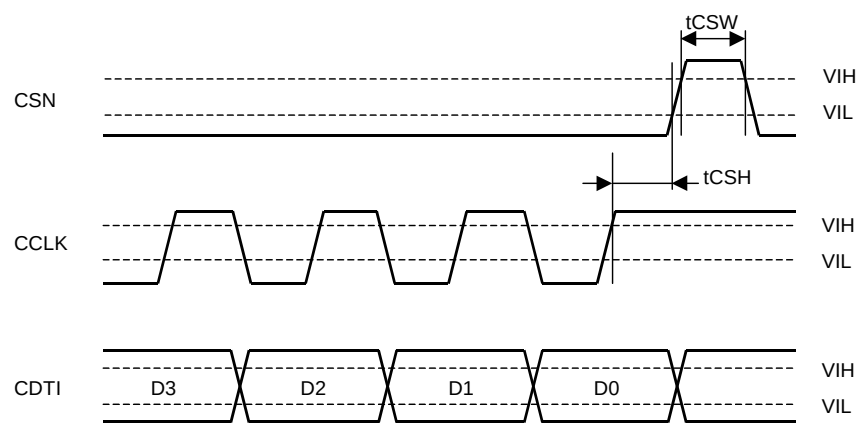


図 7. WRITE Data Input Timing

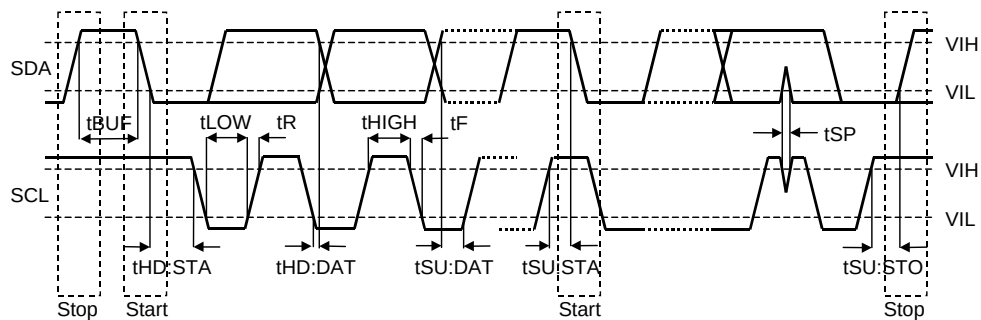


図 8. I²Cバスモードタイミング

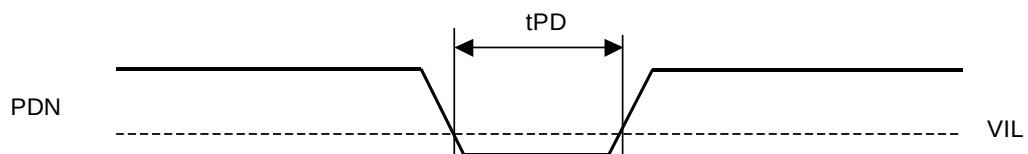


図 9. パワーダウン &amp; リセットタイミング

## 動作説明

### ■ システムクロック

AK4367に必要とされるクロックは、MCLK(256fs/384fs/512fs), LRCK(fs), BICKです。MCLKとLRCKは同期する必要がありますが位相を合わせる必要はありません。MCLK周波数は自動検出され、内部クロックは適切な周波数に自動設定されます。表 1に標準のオーディオレートに対してAK4367に必要とされる各クロックの周波数を示します。

| LRCK      | MCLK (MHz) |         |         | BICK (MHz) |
|-----------|------------|---------|---------|------------|
| fs        | 256fs      | 384fs   | 512fs   | 64fs       |
| 8kHz      | 2.048      | 3.072   | 4.096   | 0.512      |
| 11.025kHz | 2.8224     | 4.2336  | 5.6448  | 0.7056     |
| 12kHz     | 3.072      | 4.608   | 6.144   | 0.768      |
| 16kHz     | 4.096      | 6.144   | 8.192   | 1.024      |
| 22.05kHz  | 5.6448     | 8.4672  | 11.2896 | 1.4112     |
| 24kHz     | 6.144      | 9.216   | 12.288  | 1.536      |
| 32kHz     | 8.192      | 12.288  | 16.384  | 2.048      |
| 44.1kHz   | 11.2896    | 16.9344 | 22.5792 | 2.8224     |
| 48kHz     | 12.288     | 18.432  | 24.576  | 3.072      |

表 1. システムクロック例

DACの動作時 (PMDAC bit = “1”) は各外部クロック (MCLK, BICK, LRCK)を止めてはいけません。これらのクロックが供給されない場合、内部にダイナミックなロジックを使用しているため、過電流が流れ、動作が異常になる可能性があります。クロックを止める場合はDACをパワーダウン状態 (PMDAC bit = “0”)にして下さい。MCLKをACカップリングして入力する場合はMCKAC bitを “1”にして下さい。

低速サンプリング時は帯域外ノイズのため、DAC出力のS/Nが劣化します。DFS1 bitを “1”に設定することで、S/Nを改善できます。表 2はDAC出力をヘッドフォンアンプとモノラルライン出力バッファに通した場合のS/Nです。DFS1 bit = “1”の場合、MCLKは512fsが必要です。

| DFS1 | DFS0 | Over Sample Rate | fs         | MCLK              | S/N (fs=8kHz, A-weighted) |      |
|------|------|------------------|------------|-------------------|---------------------------|------|
|      |      |                  |            |                   | HP-amp                    | MOUT |
| 0    | 0    | 64fs             | 8kHz~48kHz | 256fs/384fs/512fs | 56dB                      | 56dB |
| 0    | 1    | 128fs            | 8kHz~24kHz | 256fs/384fs/512fs | 75dB                      | 75dB |
| 1    | x    | 256fs            | 8kHz~12kHz | 512fs             | 92dB                      | 90dB |

Default

表 2. サンプリング周波数、MCLK周波数とS/Nの関係

## ■ シリアルデータインタフェース

SDATA, BICK, LRCK の3ピンを使用して外部のシステムとインタフェースします。5種類のデータフォーマット(表3)がDIF2-0 bitで選択できます。フォーマット0は既存の16ビットDAC及びデジタルフィルタと互換性があります。フォーマット1はフォーマット0の20ビット版です。フォーマット4はフォーマット0の24ビット版です。フォーマット2は当社ADCや種々の汎用DSPのシリアルポートと互換性があります。フォーマット3はI<sup>2</sup>Sインタフェースと互換性があります。BICK≥48fs時フォーマット2と3で16ビットデータを入力する場合は、LSB に続けて17~24bit目に8個の“0”を入力し、20ビットデータの場合はLSB に続けて21~24bit目に4個の“0”を入力します。

| DIF2 bit | DIF1 bit | DIF0 bit | MODE                  | BICK                                             | 図    |
|----------|----------|----------|-----------------------|--------------------------------------------------|------|
| 0        | 0        | 0        | 0: 16bit, 後詰め         | $32fs \leq BICK \leq 64fs$                       | 図 10 |
| 0        | 0        | 1        | 1: 20bit, 後詰め         | $40fs \leq BICK \leq 64fs$                       | 図 11 |
| 0        | 1        | 0        | 2: 24bit, 前詰め         | $48fs \leq BICK \leq 64fs$                       | 図 12 |
| 0        | 1        | 1        | 3: I <sup>2</sup> S互換 | $BICK=32fs \text{ or } 48fs \leq BICK \leq 64fs$ | 図 13 |
| 1        | 0        | 0        | 1: 24bit, 後詰め         | $48fs \leq BICK \leq 64fs$                       | 図 11 |

Default

表3. オーディオフォーマット

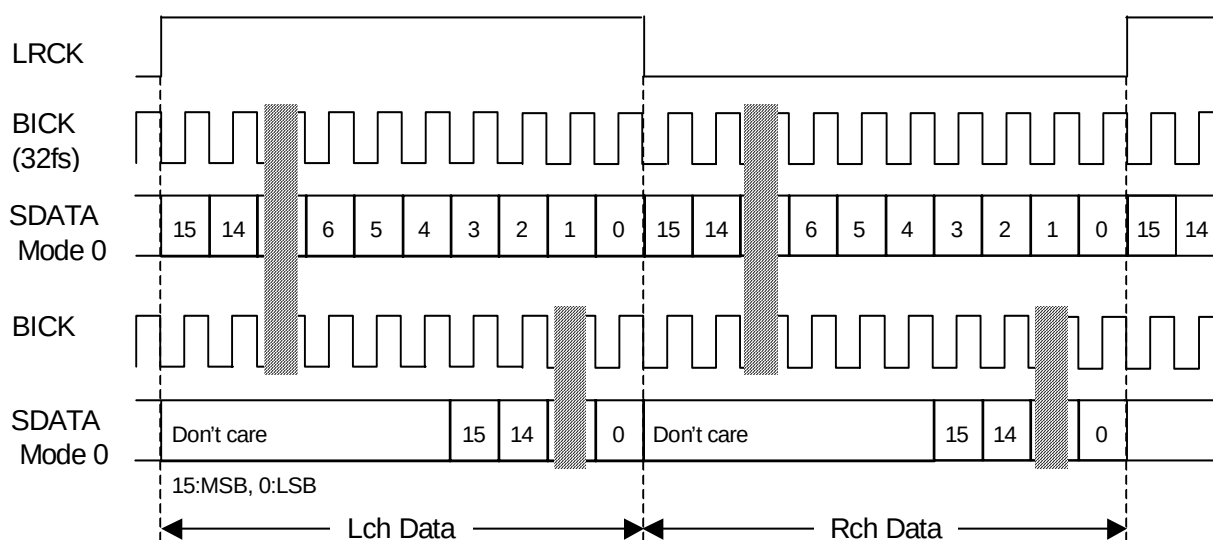


図 10. Mode 0 タイミング

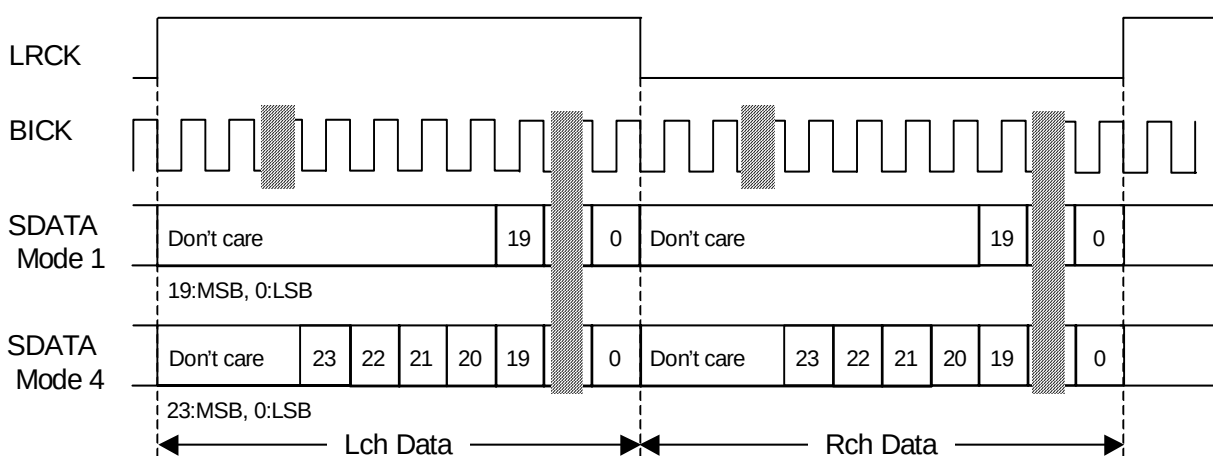


図 11. Mode 1, 4 タイミング

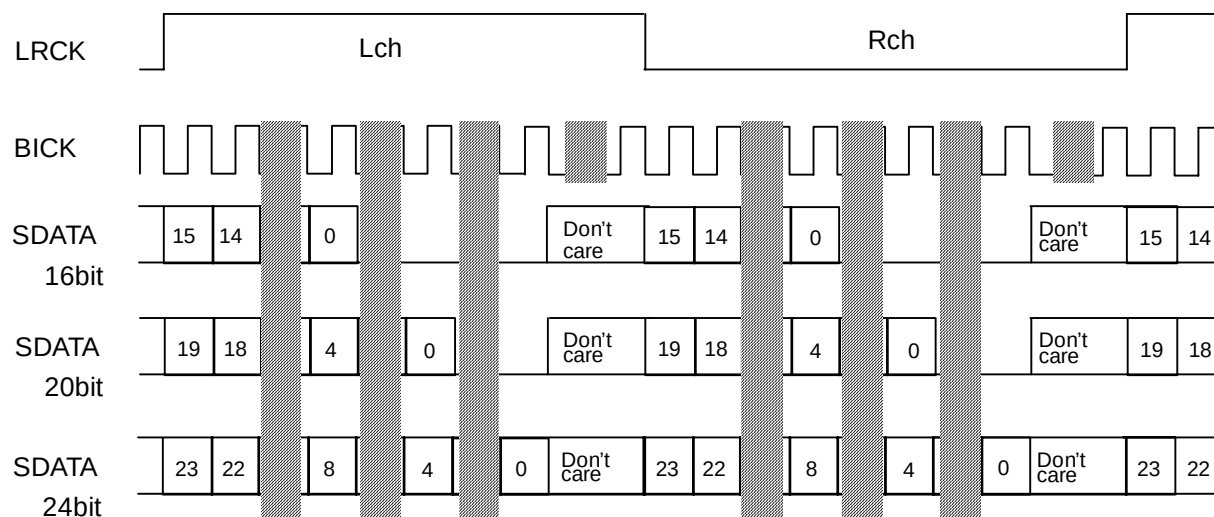


図 12. Mode 2 タイミング

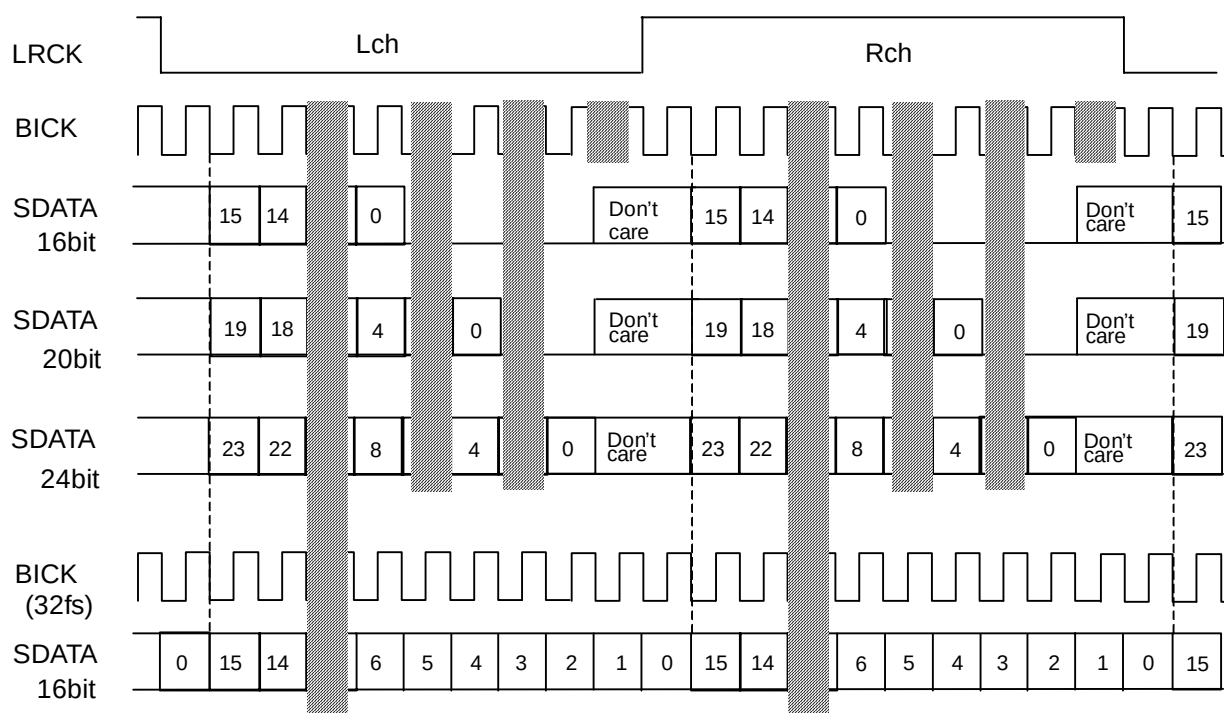


図 13. Mode 3 タイミング

## ■ 出力ボリューム

AK4367はMUTEを含む0.5dBステップ、256レベルのチャンネル独立デジタル出力ボリューム(DATT)を内蔵します。このボリュームはDACの前段にあり、入力データを0dBから-127dBまで減衰、またはミュートします(表 4)。DATTC bitを“1”にすると、ATTL7-0 bitでLch, Rchのボリュームを同時にコントロールできます。DATTC bitが“0”の場合、Lch, Rchのボリュームは独立にコントロールできます。HPM bit = “1”のとき、DATTの後段で(L+R)/2の加算を行います。

| ATTL7-0<br>ATTR7-0 | Attenuation        |
|--------------------|--------------------|
| FFH                | 0dB                |
| FEH                | -0.5dB             |
| FDH                | -1.0dB             |
| FCH                | -1.5dB             |
| :                  | :                  |
| :                  | :                  |
| 02H                | -126.5dB           |
| 01H                | -127.0dB           |
| 00H                | MUTE ( $-\infty$ ) |

Default

表 4. Digital Volume ATT値

ATT7-0設定値間の遷移時間はATS bitで1061/fsと7424/fsのどちらかを選択できます(表 5)。ATS bit = “0”のときATT設定間の遷移は1062レベルでソフト遷移します。FFH(0dB)から00H(MUTE)までには1061/fs (24ms @fs=44.1kHz)かかります。PDN pinを“L”にすると、ATT7-0は00Hに初期化されます。ATT7-0はPMDAC bitを“0”にすると一旦00Hになり、PMDAC bitを“1”に戻すと設定値に戻っていきます。デジタルボリューム機能はソフトミュート機能とは独立に動作します。

| ATS | ATT speed   |        |
|-----|-------------|--------|
|     | 0dB to MUTE | 1 step |
| 0   | 1061/fs     | 4/fs   |
| 1   | 7424/fs     | 29/fs  |

Default

表 5. デジタルボリュームのATT7-0設定値間の遷移時間

MOUT出力は、MMUTE bit = “0”の時、ATTM3-0 bitでボリュームコントロール可能です (0dB ~ -30dB, 2dB step, 表 6)。MOUT出力のボリュームを切り替える時、ポップノイズが発生します。

| MMUTE | ATTM3-0 | Attenuation |
|-------|---------|-------------|
| 0     | 0FH     | 0dB         |
|       | 0EH     | -2dB        |
|       | 0DH     | -4dB        |
|       | 0CH     | -6dB        |
|       | :       | :           |
|       | :       | :           |
|       | 01H     | -28dB       |
|       | 00H     | -30dB       |
| 1     | x       | MUTE        |

Default

表 6. MOUT Volume ATT値(x: Don't care)



## ■ ソフトミュート

ソフトミュートはデジタル的に実行されます。SMUTE bitを“1”にするとその時点のATT設定値からATT設定値×ATT遷移時間(表5)で入力データが $-\infty$  (“0”)までアテネーションされます。SMUTE bitを“0”にすると $-\infty$ からATT設定値×ATT遷移時間でATT設定値まで復帰します。ソフトミュート開始後、 $-\infty$ までアテネーションされる前に解除されるとアテネーションが中断され、同じサイクルでATT設定値まで復帰します。ソフトミュート機能は信号を止めずに信号源を切り替える場合などに有効です。

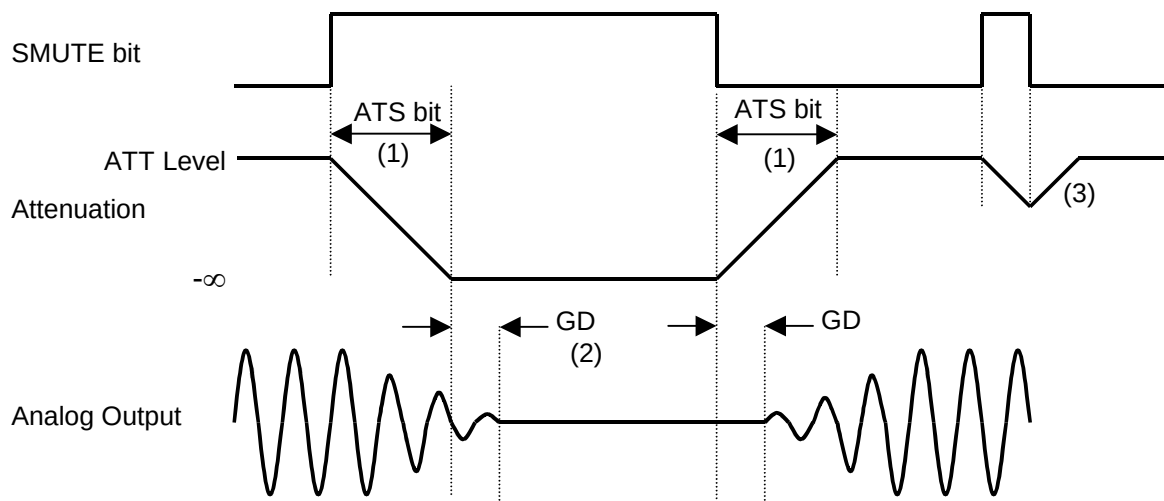


図 14. ソフトミュート機能

注:

- (1) ATT設定値×ATT遷移時間(表5)。例えば、ATS bit = “1”時、ATT設定値が “128”(−63.5dB)の場合は3712/fsサイクルです。
- (2) デジタル入力に対するアナログ出力は群遅延 (GD)を持ちます。
- (3) ソフトミュート開始後、 $-\infty$ までアテネーションされる前に解除されるとアテネーションが中断され、同じサイクルでATT設定値まで復帰します。

## ■ ディエンファシスフィルタ

IIRフィルタによる3周波数 (32kHz, 44.1kHz, 48kHz)対応のディエンファシスフィルタ (50/15 $\mu$ s特性)を内蔵しています。DEM1-0 bitで選択されたディエンファシスフィルタが有効になります (表 7)。

| DEM1 bit | DEM0 bit | De-emphasis | Default |
|----------|----------|-------------|---------|
| 0        | 0        | 44.1kHz     |         |
| 0        | 1        | OFF         |         |
| 1        | 0        | 48kHz       |         |
| 1        | 1        | 32kHz       |         |

表 7. ディエンファシスコントロール

## ■ バスブースト機能

BST1-0 bitを制御することで、DACからバスブーストされた信号を出力することができます (表 8)。設定値は両チャンネル共通です。

| BST1 bit | BST0 bit | BOOST | Default |
|----------|----------|-------|---------|
| 0        | 0        | OFF   |         |
| 0        | 1        | MIN   |         |
| 1        | 0        | MID   |         |
| 1        | 1        | MAX   |         |

表 8. 低域補正回路の制御

## ■ システムリセット

電源立ち上げ時には、PDN pinに一度“L”を入力してリセットして下さい。リセット解除後、VCOM, DAC, HPL, HPR, MOUTはパワーダウン状態で立ち上がります。PDN pinでリセットされない限り、コントロールレジスタの内容は保持されています。

DACのリセット及びパワーダウンはPMDAC bitに“1”が書き込まれた後、MCLKで解除され、その後LRCKの“↑”に同期して内部回路がパワーアップし、内部のタイミングが動作します。MCLKとLRCKが入力されるまでパワーダウン状態です。

## ■ ヘッドフォンアンプ

ヘッドフォンアンプの電源はHVDDから供給されます。コモン電圧はMUTET pinの電圧で、推奨負荷抵抗は $16\Omega$ 以上です。PMHPL=PMHPR=“1”でMUTEN bitを“1”にするとコモン電圧を $0.45 \times VDD$ に立ち上げます。MUTEN bitを“0”にすると、ヘッドフォンアンプのコモン電圧をVSSに立ち下げます。

**ポップノイズ防止のために、MUTET pinとグランド間にコンデンサを接続します。下記立ち上がり／立ち下がり時間は外付けコンデンサの容量とESR(等価直列抵抗)に依存するので、使用温度範囲で容量変化が小さく、ESRの低いコンデンサをご使用下さい。**

|                           | DACまたはLIN/RIN/MINのうち1つだけパスがつながっているとき | DACとLIN/RIN/MINの両方のパスがつながっているとき |
|---------------------------|--------------------------------------|---------------------------------|
| $t_r$ : 立ち上がり時間(VCOM/2まで) | $100k \times C$ (typ)                | $120k \times C$ (typ)           |
| $t_f$ : 立ち下がり時間(0Vまで)     | $200k \times C$ (typ)                | $150k \times C$ (typ)           |

表 9. ヘッドフォンアンプ立ち上がり／立ち下がり時間

例：MUTET pinのコンデンサ $C=1\mu F$ 、DACL bit, DACR bitのみ“1”の場合

- ・ ヘッドフォンアンプ立ち上がり時間(VCOM/2まで):  $t_r = 100k \times 1\mu = 100ms$ (typ)
- ・ ヘッドフォンアンプ立ち下がり時間(0Vまで):  $t_f = 200k \times 1\mu = 200ms$ (typ)

PMHPL, PMHPR bitを“0”にすることで、ヘッドフォンアンプを完全にパワーダウンすることができます。この時、HPL, HPR pinはVSSです。

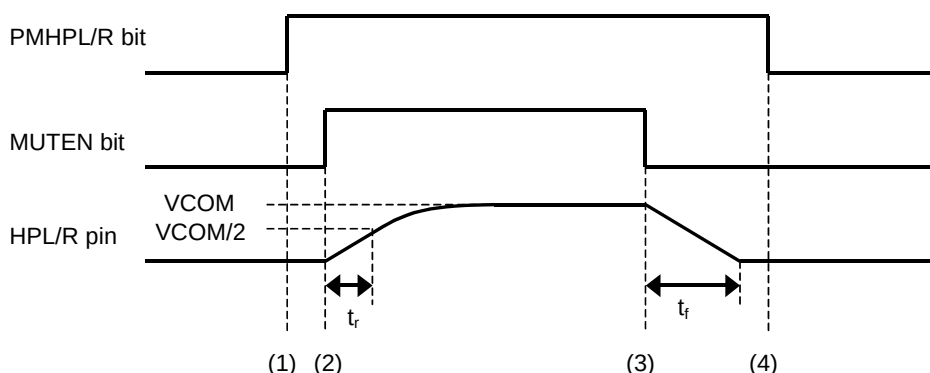


図 15. ヘッドフォンアンプのパワーアップ／ダウンシーケンス

- (1)ヘッドフォンアンプのパワーアップ(PMHPL, PMHPR bit = “1”)。出力はVSSのままです。
- (2)ヘッドフォンアンプのコモン電圧立ち上げ(MUTEN bit = “1”)。MUTETのコンデンサと内部抵抗の時定数によりコモン電圧が上昇して行きます。MUTET pinのコンデンサの容量を“C”としたとき、VCOM/2までの立ち上がり時間( $t_r$ )は $100k \times C$ (typ)となります。
- (3)ヘッドフォンアンプのコモン電圧立ち下げ(MUTEN bit = “0”)。MUTETのコンデンサと内部抵抗の時定数によりコモン電圧がVSSへ下降して行きます。MUTET pinのコンデンサの容量を“C”としたとき、0Vまでの立ち下がり時間( $t_f$ )は $200k \times C$ (typ)となります。
- (4)ヘッドフォンアンプのパワーダウン(PMHPL, PMHPR bit = “0”)。出力はVSSです。ポップノイズ防止のため、ヘッドフォンアンプのコモン電圧が完全に下がってからパワーダウンして下さい。

ヘッドフォンアンプの外部抵抗とコンデンサでカットオフ周波数( $f_c$ )が決まります。表 10に外部抵抗とコンデンサ及びカットオフ周波数( $f_c$ )の関係とその時の出力パワーを示します。但し、ヘッドフォンの $R_L$ は $16\Omega$ とします。出力パワーは $HVDD=2.4, 3.0, 3.3V$ 時の値です。ヘッドフォンアンプの出力は $0.47 \times VDD$  (Vpp) @ $-4.8dBFS$ です。

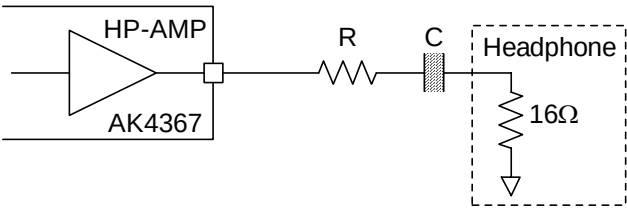


図 16. ヘッドフォンアンプの外付け回路例

| R [ $\Omega$ ] | C [ $\mu F$ ] | $f_c$ [Hz]<br>BOOST=OFF | $f_c$ [Hz]<br>BOOST=MIN | Output Power [mW]@ $-3dBFS$ |      |      |
|----------------|---------------|-------------------------|-------------------------|-----------------------------|------|------|
|                |               |                         |                         | 2.4V                        | 3.0V | 3.3V |
| 0              | 220           | 45                      | 17                      | 15                          | 24   | 28   |
|                | 100           | 100                     | 43                      |                             |      |      |
| 6.8            | 100           | 70                      | 28                      | 7                           | 12   | 14   |
|                | 47            | 149                     | 78                      |                             |      |      |
| 16             | 100           | 50                      | 19                      | 4                           | 6    | 7    |
|                | 47            | 106                     | 47                      |                             |      |      |

表 10. 外部回路, 出力パワーと $f$  特の関係

## ■ パワーアップ／ダウンシーケンス

### 1) DAC → HP-amp

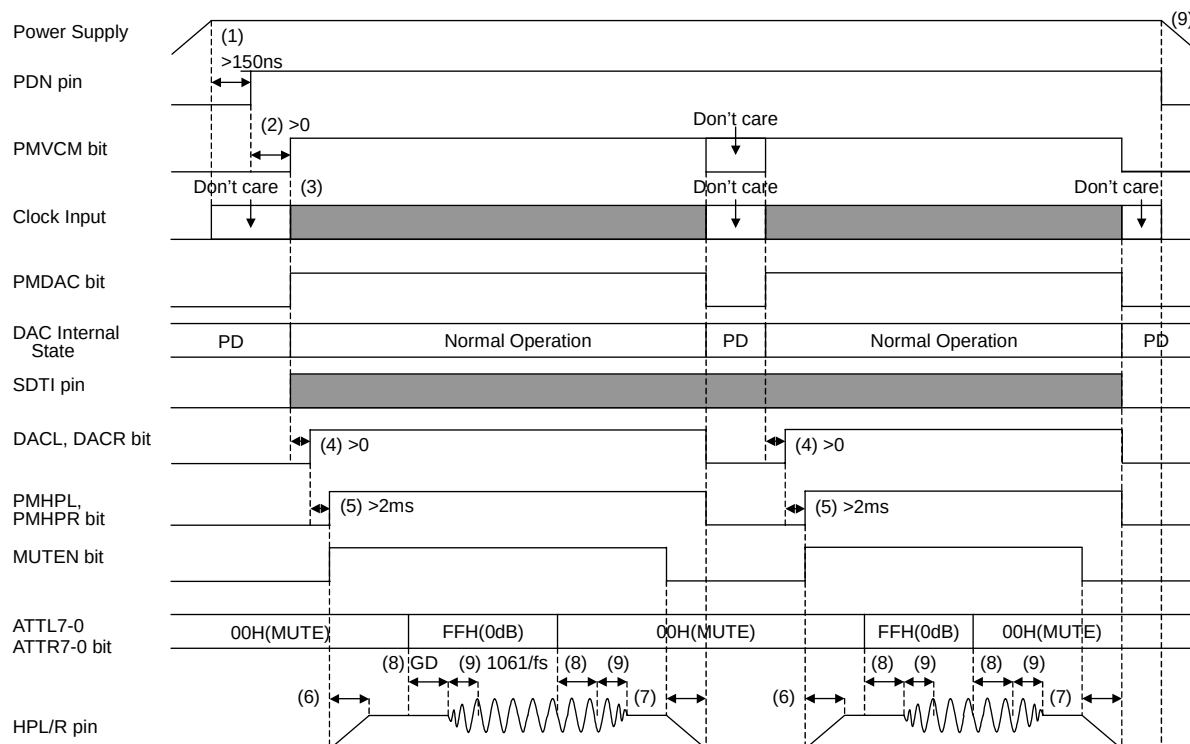


図 17. DACおよびHP-ampのパワーアップ／ダウンシーケンス

- (1) 電源立ち上げ後、150ns以上経ってからPDN pinを“H”にして下さい。
- (2) PDN pinを“H”にしてからPMVCM, PMDAC bitに“1”を書き込んで下さい。
- (3) DACの動作には各クロック(MCLK, BICK, LRCK)が必要です。PMDAC bit = “0”の時は各クロックを止めることができます。ヘッドフォンアンプはクロックが供給されていなくても動作します。
- (4) PMVCM, PMDAC bitに“1”を書き込んでからDACL, DACR bitに“1”を書き込んで下さい。
- (5) DACL, DACR bitに“1”を書き込んで2ms以上(VCOM pinのコンデンサ2.2μFの場合)経ってからPMHPL, PMHPR, MUTEN bitに“1”を書き込んで下さい。
- (6) ヘッドフォンアンプの立ち上がり時間はMUTET pinのコンデンサ(C)で決まり、VCOM/2までの立ち上がり時間( $t_r$ )は $100k \times C(\text{typ})$ です。C=1μFの場合、 $t_r$ は100ms(typ)です。
- (7) ヘッドフォンアンプの立ち下がり時間はMUTET pinのコンデンサ(C)で決まり、0Vまでの立ち下がり時間( $t_f$ )は $200k \times C(\text{typ})$ です。C=1μFの場合、 $t_f$ は200ms(typ)です。  
ヘッドフォンアンプが完全に立ち下がってからPMHPL, PMHPR, DACL, DACR bitに“0”を書き込んで下さい。
- (8) デジタル入力に対するアナログ出力は $20.8/\text{fs}(=472\mu\text{s}@\text{fs}=44.1\text{kHz})$ の群遅延(GD)を持ちます。
- (9) デジタルボリュームの遷移時間はATS bitで設定できます。初期値は $1061/\text{fs}(=24\text{ms}@\text{fs}=44.1\text{kHz})$ です。
- (10) ヘッドフォンアンプが完全に立ち下がってから電源をOFFして下さい。

## 2) DAC → MOUT

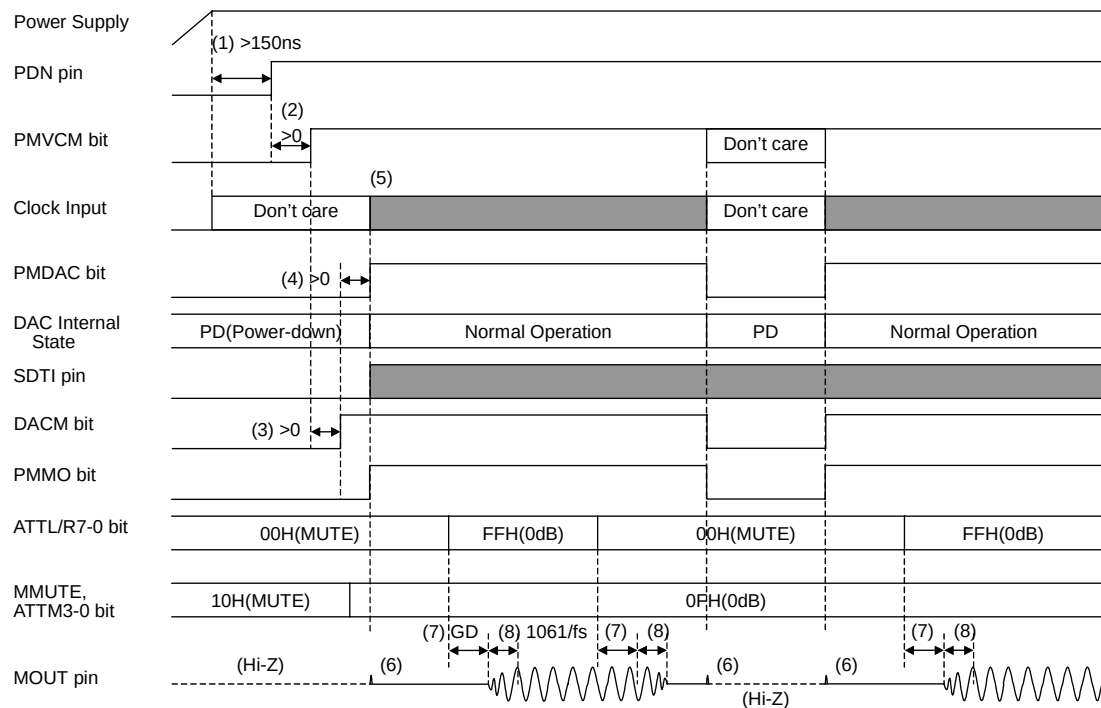


図 18. DACおよびMOUTのパワーアップ/ダウンシーケンス

- (1) 電源立ち上げ後、150ns以上経ってからPDN pinを“H”にして下さい。
- (2) PDN pinを“H”にしてからPMVCM bitに“1”を書き込んで下さい。
- (3) PMVCM bitに“1”を書き込んでからDACM bitに“1”を書き込んで下さい。
- (4) DACM bitに“1”を書き込んでからPMDAC, PMMO bitに“1”を書き込んで下さい。
- (5) DACの動作には各クロック(MCLK, BICK, LRCK)が必要です。PMDAC bit = “0”の時は各クロックを止めることができます。MOUT出力部はクロックが供給されていなくても動作します。
- (6) PMMO bitを切り替えるとMOUT pinにポップノイズが出力されます。
- (7) デジタル入力に対するアナログ出力は $20.8/fs (=472\mu s@fs=44.1kHz)$ の群遅延(GD)を持ちます。
- (8) デジタルボリュームの遷移時間はATS bitで設定できます。初期値は $1061/fs (=24ms@fs=44.1kHz)$ です。

## 3) LIN/RIN/MIN → HP-amp, MOUT

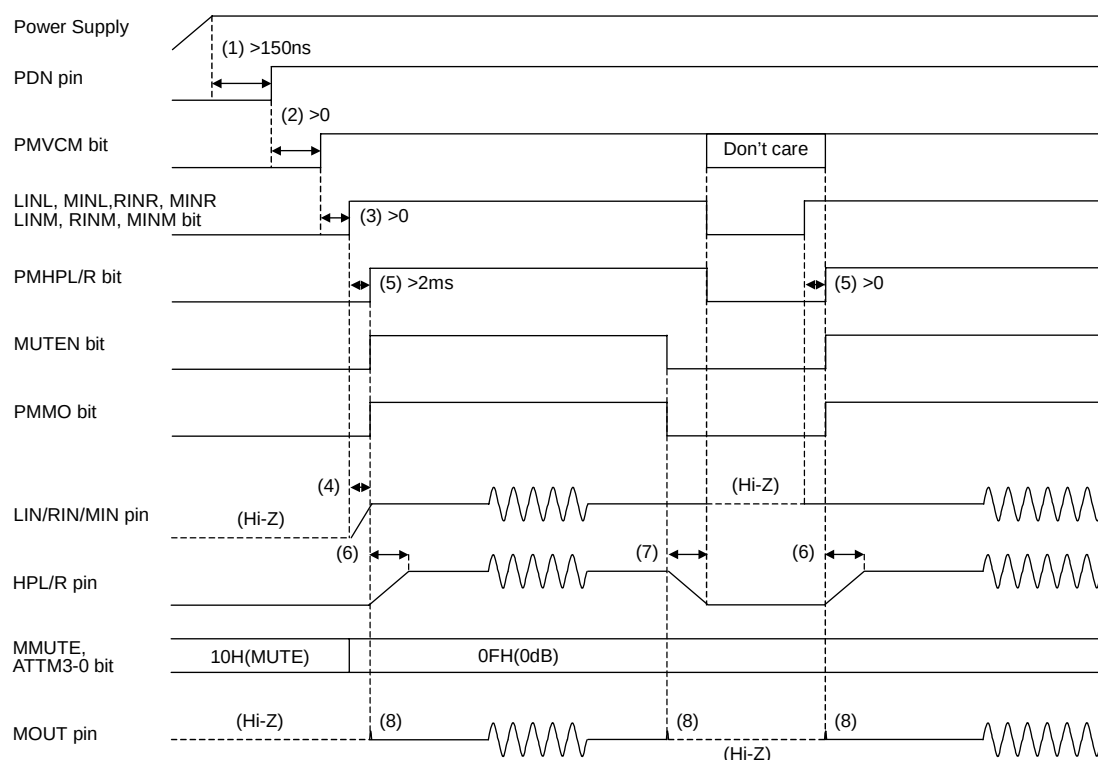


図 19. LIN/RIN/MIN, HP-ampおよびMOUTのパワーアップ/ダウンシーケンス

- (1) 電源立ち上げ後、150ns以上経ってからPDN pinを“H”にして下さい。DACを使用しない場合、各クロック(MCLK, BICK, LRCK)は不要です。
- (2) PDN pinを“H”にしてからPMVCM bitに“1”を書き込んで下さい。
- (3) PMVCM bitに“1”を書き込んでからLINL, MINL, RINR, MINR, LINM, RINM, MINM bitに“1”を書き込んで下さい。
- (4) LINL, MINL, RINR, MINR, LINM, RINM, MINM bitに“1”を書き込むとLIN, RIN, MINの各ピンは $0.45 \times VDD$ にバイアスされます。
- (5) LINL, MINL, RINR, MINR, LINM, RINM, MINM bitに“1”を書き込んでから2ms以上(VCOM pinのコンデンサ $2.2\mu F$ の場合)経ってからPMHPL, PMHPR, MUTEN, PMMO bitに“1”を書き込んで下さい。
- (6) ヘッドフォンアンプの立ち上がり時間はMUTET pinのコンデンサ(C)で決まり、VCOM/2までの立ち上がり時間( $t_r$ )は $100k \times C(\text{typ})$ です。C= $1\mu F$ の場合、 $t_r$ は $100ms(\text{typ})$ です。
- (7) ヘッドフォンアンプの立ち下がり時間はMUTET pinのコンデンサ(C)で決まり、0Vまでの立ち下がり時間( $t_f$ )は $200k \times C(\text{typ})$ です。C= $1\mu F$ の場合、 $t_f$ は $200ms(\text{typ})$ です。  
ヘッドフォンアンプが完全に立ち下がってからPMHPL, PMHPR, LINL, MINL, RINR, MINR, LINM, RINM, MINM bitに“0”を書き込んで下さい。
- (8) PMMO bitを切り替えるとMOUT pinにポップノイズが出力されます。

## ■ シリアルコントロールインタフェース

### (1) 3線シリアルコントロールモード (I2C pin = “L”)

レジスタ設定は3線式シリアルI/Fピン: CSN, CCLK, CDTIで書き込みを行います。I/F上のデータはChip address(2bits, “01”固定), Read/Write(1bit, Fixed to “1”, Write only), Register address(MSB first, 5bits), Control data(MSB first, 8bits)で構成されます。データはCCLKの立ち上がりエッジで取り込みます。データの書き込みはCCLKの16クロック目の立ち上がりエッジで有効になります。CCLKのクロックスピードは5MHz(max)です。PDN pin = “L”でレジスタの値はリセットされます。

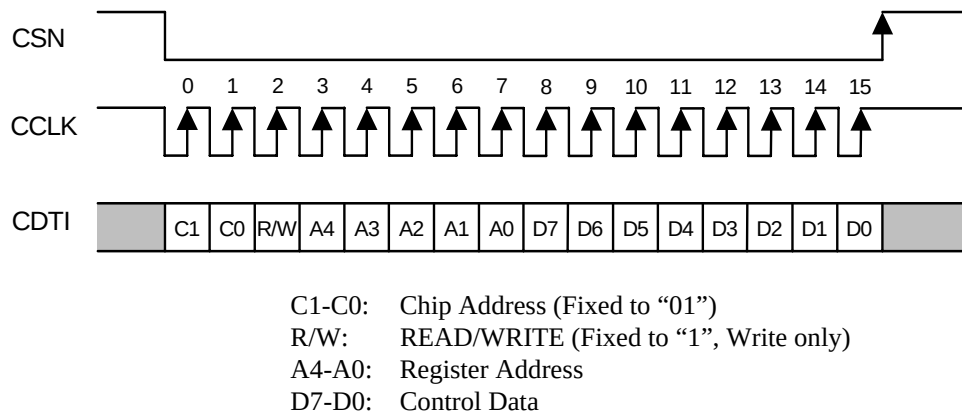


図 20. 3線シリアルコントロールI/Fタイミング



## (2) I<sup>2</sup>Cバスコントロールモード (I2C pin = “H”)

AK4367のI<sup>2</sup>Cバスモードのフォーマットは、標準モード(max:100kHz)です。従って高速モード(max:400kHz)のシステム上では使用できません。

### (2)-1. WRITE命令

I<sup>2</sup>Cバスモードにおけるデータ書き込みシーケンスは図 21に示されます。バス上のICへのアクセスには、最初に開始条件(Start Condition)を入力します。SCLラインが“H”の時にSDAラインを“H”から“L”にすると、開始条件が作られます(図 27)。開始条件の後、スレーブアドレスが送信されます。このアドレスは7ビットから構成され、8ビット目にはデータ方向ビット(R/W)が続きます。上位6ビットは“001000”固定、次の1ビットはアクセスするICを選ぶためのアドレスビットで、CAD0 pinにより設定されます(図 22)。アドレスが一致した場合、AK4367は確認応答(Acknowledge)を生成し、命令が実行されます。マスタは確認応答用のクロックパルスを生成し、SDAラインを解放しなければなりません(図 28)。R/Wビットが“0”の場合はデータ書き込み、R/Wビットが“1”の場合はデータ読み出しを行います。

第2バイトはサブアドレス(レジスタアドレス)です。サブアドレスは8ビット、MSB firstで構成され、上位3ビットは“0”固定です(図 23)。第3バイト以降はコントロールデータです。コントロールデータは8ビット、MSB firstで構成されます(図 24)。AK4367は、各バイトの受信を完了するたびに確認応答を生成します。データ転送は、必ずマスタが生成する停止条件(Stop Condition)によって終了します。SCLラインが“H”の時にSDAラインを“L”から“H”にすると、停止条件が作られます(図 27)。

AK4367は複数のバイトのデータを一度に書き込むことができます。データを1バイト送った後、停止条件を送らず更にデータを送ると、サブアドレスが自動的にインクリメントされ、次のデータは次のサブアドレスに格納されます。アドレス“08H”を越えるデータを送ると、内部レジスタに対応するアドレスカウンタはロールオーバーし、アドレス“00H”から順に格納されます。

クロックが“H”の間は、SDAラインの状態は一定でなければなりません。データラインが“H”と“L”の間で状態を変更できるのは、SCLラインのクロック信号が“L”の時に限られます(図 29)。SCLラインが“H”の時にSDAラインを変更するのは、開始条件、停止条件を入力するときのみです。

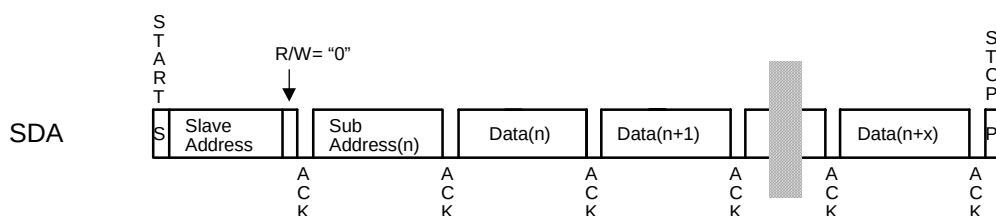


図 21. I<sup>2</sup>Cバスモードのデータ書き込みシーケンス

|   |   |   |   |   |   |      |     |
|---|---|---|---|---|---|------|-----|
| 0 | 0 | 1 | 0 | 0 | 0 | CAD0 | R/W |
|---|---|---|---|---|---|------|-----|

(CAD0はピンにより設定)

図 22. 第1バイトの構成

|   |   |   |    |    |    |    |    |
|---|---|---|----|----|----|----|----|
| 0 | 0 | 0 | A4 | A3 | A2 | A1 | A0 |
|---|---|---|----|----|----|----|----|

図 23. 第2バイトの構成

|    |    |    |    |    |    |    |    |
|----|----|----|----|----|----|----|----|
| D7 | D6 | D5 | D4 | D3 | D2 | D1 | D0 |
|----|----|----|----|----|----|----|----|

図 24. 第3バイト以降の構成

## (2)-2. READ命令

R/Wビットが“1”の場合、AK4367はREAD動作を行います。指定されたアドレスのデータが出力された後、マスタが停止条件を送らず確認応答を生成すると、サブアドレスが自動的にインクリメントされ、次のアドレスのデータを読み出すことができます。アドレス“08H”のデータを読み出した後、さらに次のアドレスを読み出す場合にはアドレス“00H”のデータが読み出されます。

AK4367はカレントアドレスリードとランダムリードの2つのREAD命令を持っています。

## (2)-2-1. カレントアドレスリード

AK4367は内部にアドレスカウンタを持っており、カレントアドレスリードではこのカウンタで指定されたアドレスのデータを読み出します。内部のアドレスカウンタは最後にアクセスしたアドレスの次のアドレス値を保持しています。例えば、最後にアクセス(READでもWRITEでも)したアドレスが“n”であり、その後カレントアドレスリードを行った場合、アドレス“n+1”のデータが読み出されます。カレントアドレスリードでは、AK4367はREAD命令のスレーブアドレス(R/Wビット=“1”)の入力に対して確認応答を生成し、次のクロックから内部のアドレスカウンタで指定されたデータを出力したのち内部カウンタを1つインクリメントします。データが出力された後、マスタが確認応答を生成せず停止条件を送ると、READ動作は終了します。

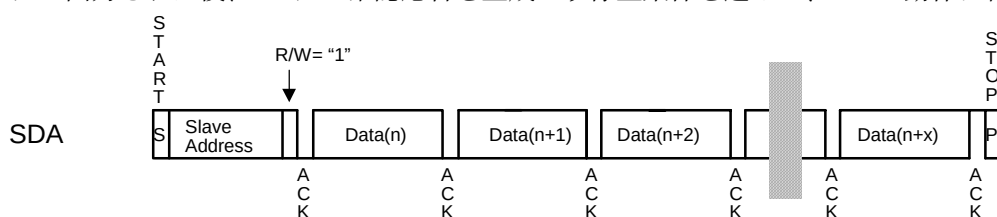


図 25. CURRENT ADDRESS READ 命令

## (2)-3-2. ランダムアドレスリード

ランダムアドレスリードにより任意のアドレスのデータを読み出すことができます。ランダムアドレスリードはREAD命令のスレーブアドレス(R/Wビット=“1”)を入力する前に、ダミーのWRITE命令を入力する必要があります。ランダムアドレスリードでは最初に開始条件を入力し、次にWRITE命令のスレーブアドレス(R/Wビット=“0”)、読み出すアドレスを順次入力します。AK4367がこのアドレス入力に対して確認応答を生成した後、再送条件、READ命令のスレーブアドレス(R/Wビット=“1”)を入力します。AK4367はこのスレーブアドレスの入力に対して確認応答を生成し、指定されたアドレスのデータを出力し、内部アドレスカウンタを1つインクリメントします。データが出力された後、マスタがアクノリッジを生成せず停止条件を送ると、READ動作は終了します。

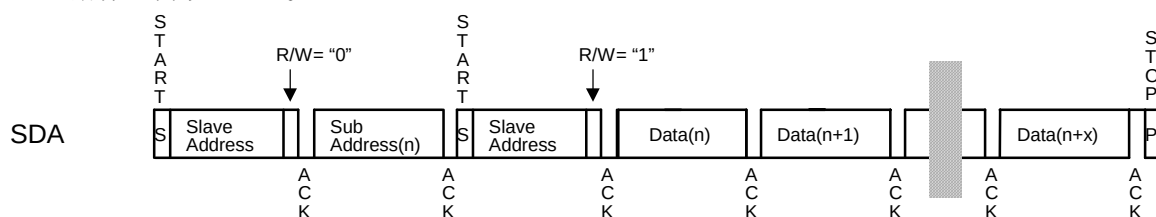


図 26. RANDOM ADDRESS READ 命令

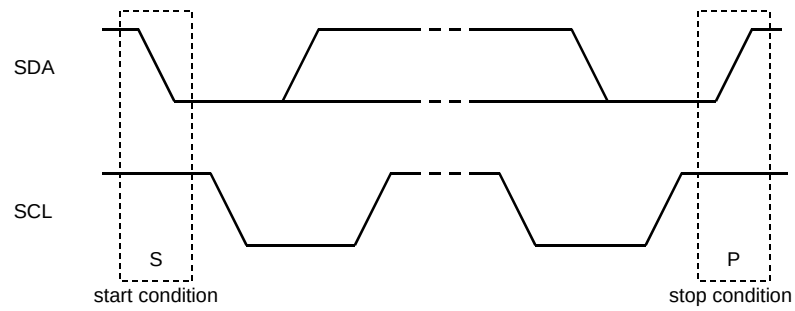


図 27. 開始条件と停止条件

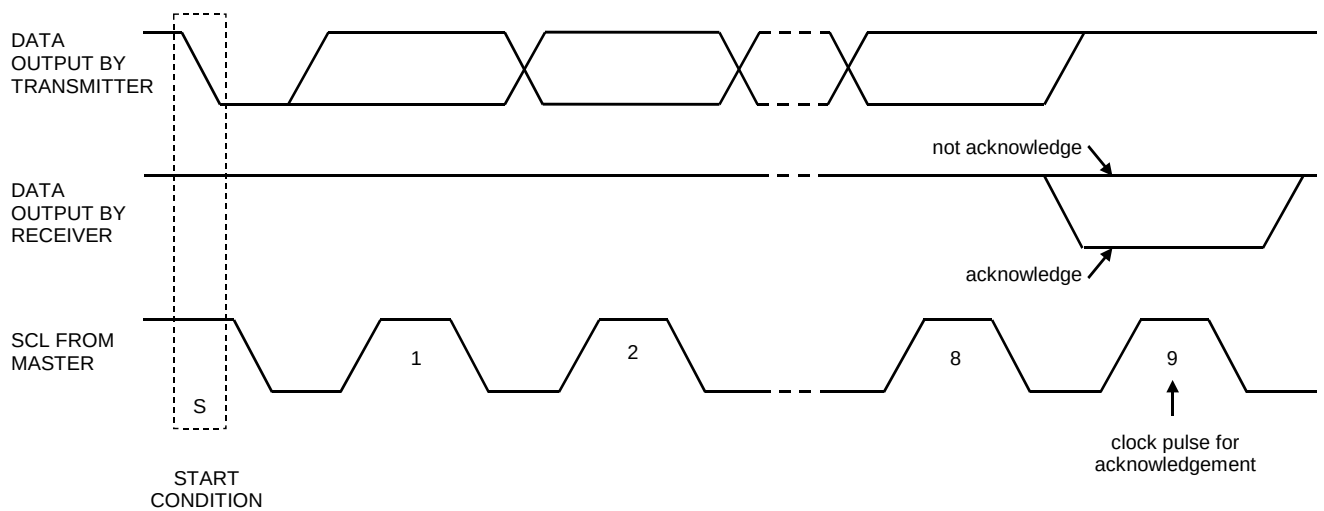


図 28. .I<sup>2</sup>Cバスでの確認応答

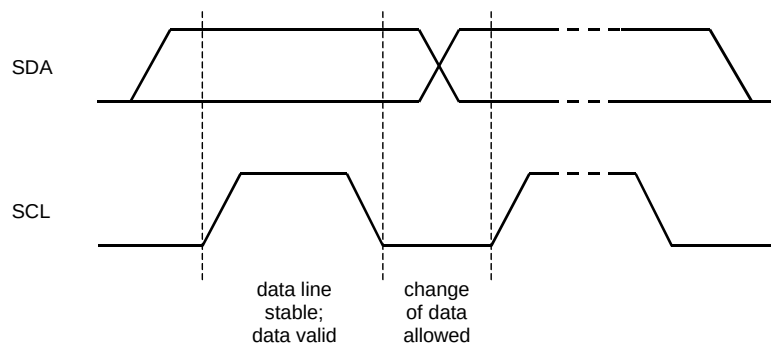


図 29. .I<sup>2</sup>Cバスでのビット転送

## ■ レジスタマップ

| Addr | Register Name    | D7    | D6    | D5    | D4    | D3    | D2    | D1    | D0    |
|------|------------------|-------|-------|-------|-------|-------|-------|-------|-------|
| 00H  | Power Management | 0     | 0     | PMMO  | MUTEN | PMHPR | PMHPL | PMDAC | PMVCM |
| 01H  | Mode Control 0   | 0     | MCKAC | HPM   | DIF2  | DIF1  | DIF0  | DFS1  | DFS0  |
| 02H  | Mode Control 1   | 0     | 0     | MMUTE | SMUTE | BST1  | BST0  | DEM1  | DEM0  |
| 03H  | Mode Control 2   | 0     | 0     | 0     | 0     | ATS   | DATTC | BCKP  | LRP   |
| 04H  | DAC Lch ATT      | ATTL7 | ATTL6 | ATTL5 | ATTL4 | ATTL3 | ATTL2 | ATTL1 | ATTL0 |
| 05H  | DAC Rch ATT      | ATTR7 | ATTR6 | ATTR5 | ATTR4 | ATTR3 | ATTR2 | ATTR1 | ATTR0 |
| 06H  | Output Select 0  | 0     | 0     | MINR  | MINL  | RINR  | LINL  | DACR  | DACL  |
| 07H  | Output Select 1  | 0     | 0     | 0     | 0     | MINM  | RINM  | LINM  | DACM  |
| 08H  | MOUT ATT         | 0     | 0     | 0     | 0     | ATTM3 | ATTM2 | ATTM1 | ATTM0 |

**PDN pin = “L”時、全レジスタは書き込み不可です。**

PDN pinを“L”にすると、レジスタ値は初期化されます。

09Hから1FHまでは書き込み不可です。

## ■ 詳細説明

| Addr | Register Name    | D7 | D6 | D5   | D4    | D3    | D2    | D1    | D0    |
|------|------------------|----|----|------|-------|-------|-------|-------|-------|
| 00H  | Power Management | 0  | 0  | PMMO | MUTEN | PMHPR | PMHPL | PMDAC | PMVCM |
|      | R/W              | RD | RD | R/W  | R/W   | R/W   | R/W   | R/W   | R/W   |
|      | Default          | 0  | 0  | 0    | 0     | 0     | 0     | 0     | 0     |

PMVCM: VCOMのパワーマネジメント

0: Power OFF (Default)

1: Power ON

PMDAC: DACのパワーマネジメント

0: Power OFF (Default)

1: Power ON

OFFからONに変更した場合は設定されたATT値等のレジスタの内容でパワーアップされます。

PMHPL: Lch ヘッドフォンアンプのパワーマネジメント

0: Power OFF (Default)

1: Power ON

PMHPR: Rch ヘッドフォンアンプのパワーマネジメント

0: Power OFF (Default)

1: Power ON

MUTEN: ヘッドフォンアンプのミュートコントロール

0: ミュート (Default)。出力はVSS(0V)になります。

1: 通常動作。出力のDC電圧は $0.45 \times VDD$ になります。

PMMO: モノラルラインアウトのパワーマネジメント

0: Power OFF (Default)。出力はHi-Zになります。

1: Power ON

PDN pinを“L”にするとこれらレジスタ値の設定に関わらず全回路を一度にパワーダウンできます。

また、このアドレスのビットを全て“0”にすることで全回路を一度にパワーダウンできます。但しこの場合、コントロールレジスタの内容は保持されています。

| Addr | Register Name  | D7 | D6    | D5  | D4   | D3   | D2   | D1   | D0   |
|------|----------------|----|-------|-----|------|------|------|------|------|
| 01H  | Mode Control 0 | 0  | MCKAC | HPM | DIF2 | DIF1 | DIF0 | DFS1 | DFS0 |
|      | R/W            | RD | R/W   | R/W | R/W  | R/W  | R/W  | R/W  | R/W  |
|      | Default        | 0  | 0     | 0   | 0    | 1    | 0    | 0    | 0    |

DFS1-0: オーバサンプリングスピードの設定 (表 2)。

Default: “00” (64fs)

DIF2-0: オーディオデータインターフェースフォーマットの設定 (表 3)

Default: “010” (Mode 2)

HPM: ヘッドフォンアンプのモノラル出力設定

0: Normal Operation (Default)

1: DAC出力を(L+R)/2としてHPL, HPR pinに出力します。

MCKAC: MCLK入力モード設定

0: CMOS入力 (Default)

1: ACカップリング入力

| Addr | Register Name  | D7 | D6 | D5    | D4    | D3   | D2   | D1   | D0   |
|------|----------------|----|----|-------|-------|------|------|------|------|
| 02H  | Mode Control 1 | 0  | 0  | MMUTE | SMUTE | BST1 | BST0 | DEM1 | DEM0 |
|      | R/W            | RD | RD | R/W   | R/W   | R/W  | R/W  | R/W  | R/W  |
|      | Default        | 0  | 0  | 0     | 0     | 0    | 0    | 0    | 1    |

DEM1-0: ディエンファシスフィルタの選択 (表 7)

Default: “01” (OFF)

BST1-0: 低域補正回路の制御 (表 8)

Default: “00” (OFF)

SMUTE: DACから出力されるデータをソフトミュートします。

0: 通常動作(Default)

1: DAC出力がソフトミュートされます。

MMUTE: MOUTから出力される信号のミュート (表 6)

0: 通常動作。ATTM3-0で設定された減衰量で出力されます。(Default)

1: Mute。ATTM3-0の設定にかかわらずミュートされます。

| Addr | Register Name  | D7 | D6 | D5 | D4 | D3  | D2    | D1   | D0  |
|------|----------------|----|----|----|----|-----|-------|------|-----|
| 03H  | Mode Control 2 | 0  | 0  | 0  | 0  | ATS | DATTC | BCKP | LRP |
|      | R/W            | RD | RD | RD | RD | R/W | R/W   | R/W  | R/W |
|      | Default        | 0  | 0  | 0  | 0  | 0   | 0     | 0    | 0   |

LRP: LRCK極性設定

0: 通常(Default)

1: 反転

BCKP: BICK極性設定

0: 通常(Default)

1: 反転

DATTC: デジタルボリュームのコントロール

0: Independent (Default)

1: Dependent

“0”でLch, Rchのデジタルボリュームを独立に動作させ、“1”でLchのATTに連動してRchのATTも変化します。但しDATTC bit = “1”の場合、ATTR7-0 bitにはATTL7-0 bitの値は書き込まれません。

ATS: デジタルボリューム遷移時間設定(表 5)

0: 1061/fs (Default)

1: 7424/fs

| Addr | Register Name | D7    | D6    | D5    | D4    | D3    | D2    | D1    | D0    |
|------|---------------|-------|-------|-------|-------|-------|-------|-------|-------|
| 04H  | DAC Lch ATT   | ATTL7 | ATTL6 | ATTL5 | ATTL4 | ATTL3 | ATTL2 | ATTL1 | ATTL0 |
| 05H  | DAC Rch ATT   | ATTR7 | ATTR6 | ATTR5 | ATTR4 | ATTR3 | ATTR2 | ATTR1 | ATTR0 |
|      | R/W           | R/W   | R/W   | R/W   | R/W   | R/W   | R/W   | R/W   | R/W   |
|      | Default       | 0     | 0     | 0     | 0     | 0     | 0     | 0     | 0     |

ATTL7-0: DACLから出力される信号の減衰量の設定 (表 4)

ATTR7-0: DACRから出力される信号の減衰量の設定 (表 4)

Default: “00H” (MUTE)

AK4367はMUTEを含む0.5dBステップ、256レベルのチャネル独立デジタル出力ボリューム(DATT)を内蔵します。このボリュームはDACの前段にあり、入力データを0dBから-127dBまで減衰、またはミュートします。デジタルボリューム機能は、ソフトミュート動作とは独立に動作します。

| Addr | Register Name   | D7 | D6 | D5   | D4   | D3   | D2   | D1   | D0   |
|------|-----------------|----|----|------|------|------|------|------|------|
| 06H  | Output Select 0 | 0  | 0  | MINR | MINL | RINR | LINL | DACR | DACL |
|      | R/W             | RD | RD | R/W  | R/W  | R/W  | R/W  | R/W  | R/W  |
|      | Default         | 0  | 0  | 0    | 0    | 0    | 0    | 0    | 0    |

DACL: DACのLchの出力信号をヘッドフォンのLch側に加算します。

0: OFF (Default)

1: ON

DACR: DACのRchの出力信号をヘッドフォンのRch側に加算します。

0: OFF (Default)

1: ON

LINL: LIN pinから入力された信号をヘッドフォンのLch側に加算します。

0: OFF (Default)

1: ON

RINR: RIN pinから入力された信号をヘッドフォンのRch側に加算します。

0: OFF (Default)

1: ON

MINL: MIN pinから入力された信号をヘッドフォンのLch側に加算します。

0: OFF (Default)

1: ON

MINR: MIN pinから入力された信号をヘッドフォンのRch側に加算します。

0: OFF (Default)

1: ON

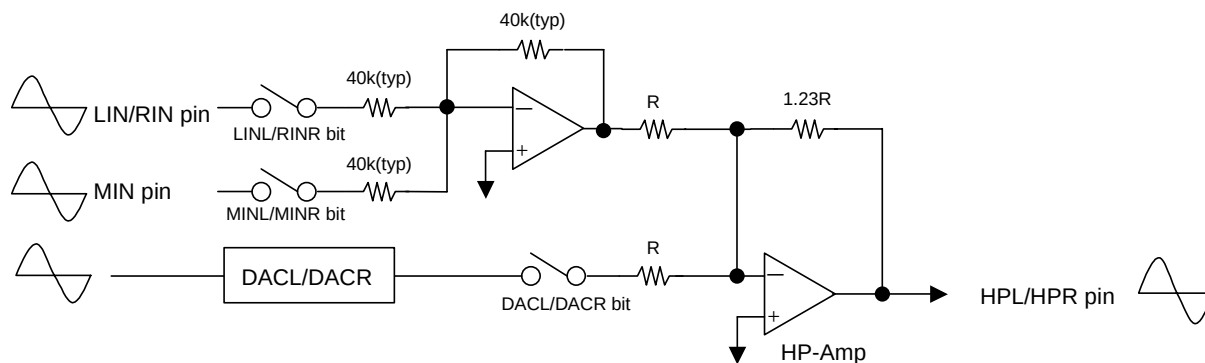


図 30. ヘッドフォン出力の加算回路

加算のゲインはいずれも+1.8dB(typ)です。



| Addr | Register Name   | D7 | D6 | D5 | D4 | D3   | D2   | D1   | D0   |
|------|-----------------|----|----|----|----|------|------|------|------|
| 07H  | Output Select 1 | 0  | 0  | 0  | 0  | MINM | RINM | LINM | DACM |
|      | R/W             | RD | RD | RD | RD | R/W  | R/W  | R/W  | R/W  |
|      | Default         | 0  | 0  | 0  | 0  | 0    | 0    | 0    | 0    |

DACM: DACのL/Rの出力信号をMOUT用バッファアンプに加算します。ゲインはそれぞれ-6dBです。

0: OFF (Default)

1: ON

LINM: LIN pinから入力された信号をMOUT用バッファアンプに加算します。

0: OFF (Default)

1: ON

RINM: RIN pinから入力された信号をMOUT用バッファアンプに加算します。

0: OFF (Default)

1: ON

MINM: MIN pinから入力された信号をMOUT用バッファアンプに加算します。

0: OFF (Default)

1: ON

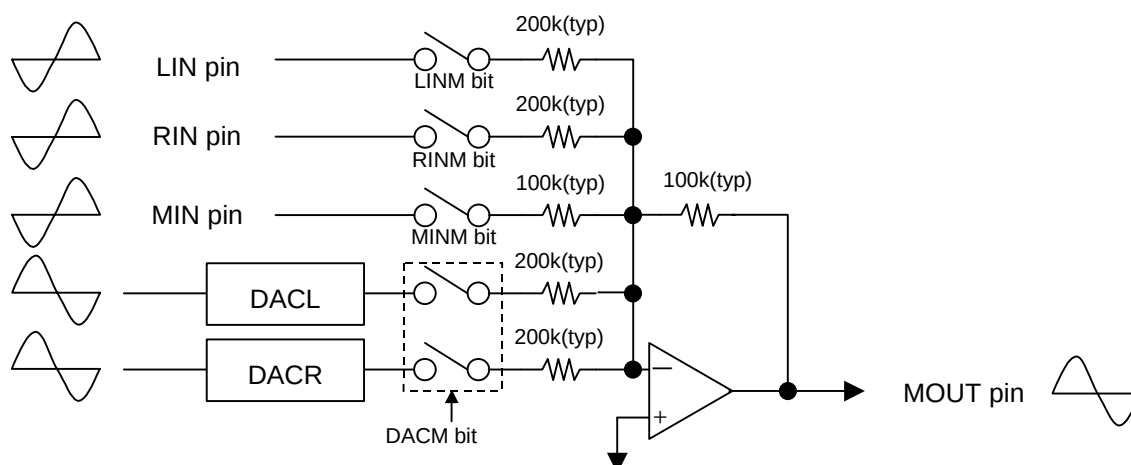


図 31. MOUTの加算回路

加算のゲインはMINは0dB(typ)、LIN, RIN, DACL, DACRは-6dB(typ)です。

| Addr | Register Name | D7 | D6 | D5 | D4 | D3    | D2    | D1    | D0    |
|------|---------------|----|----|----|----|-------|-------|-------|-------|
| 08H  | MOUT ATT      | 0  | 0  | 0  | 0  | ATTM3 | ATTM2 | ATTM1 | ATTM0 |
|      | R/W           | RD | RD | RD | RD | R/W   | R/W   | R/W   | R/W   |
|      | Default       | 0  | 0  | 0  | 0  | 0     | 0     | 0     | 0     |

ATTM3-0: MOUTから出力される信号の減衰量の設定 (表 6)

Default: "0000" (0dB)

ATTM3-0 bitの設定はMMUTE bitが "0" のときに有効になります。

## システム設計

システム接続例を図 32に示します。具体的な回路については評価用ボードを参照して下さい。

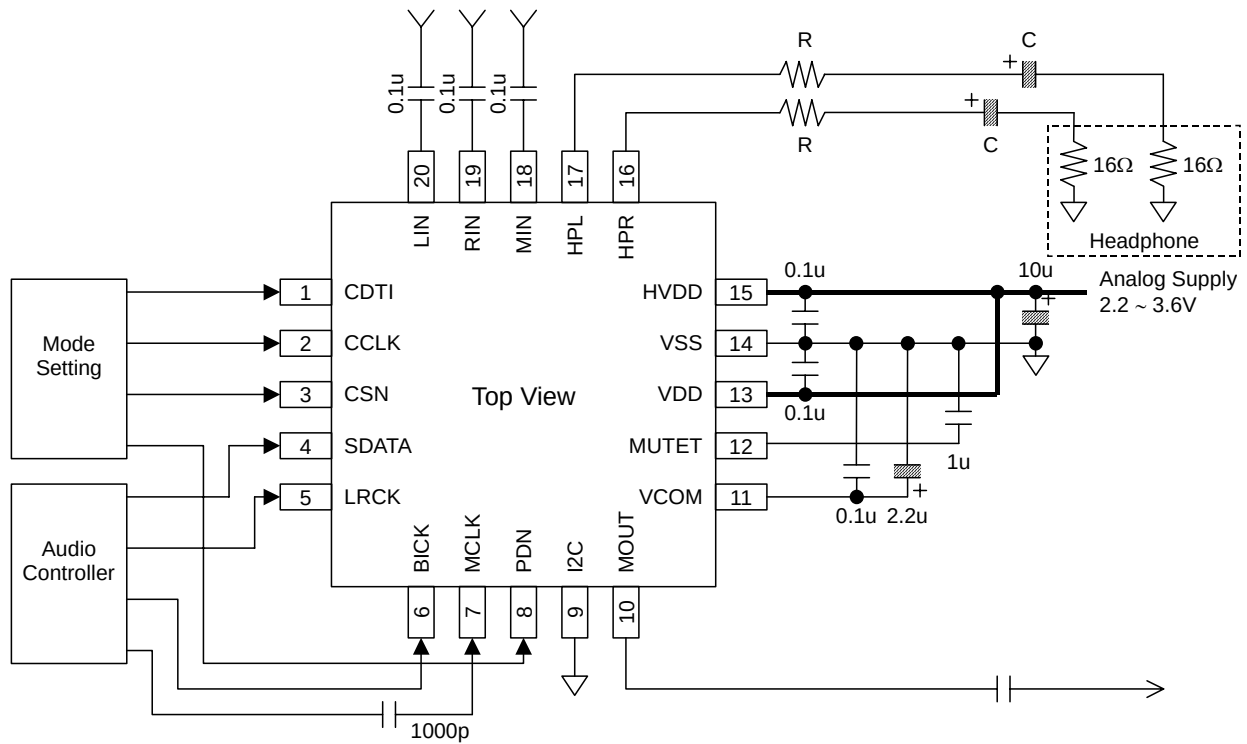


図 32. システム接続図 (MCLKにACカップリングで入力した場合)  
(3線シリアルモード)

## 1. グランドと電源のデカップリング

電源とグランドの取り方には十分注意して下さい。通常、VDDとHVDDはシステムのアナログ電源を供給します。VDDとHVDDを別電源で供給する場合、VDDはHVDDと同時または先に立ち上げて下さい。また、電源OFF時は、HVDDと同時または後に立ち下げて下さい。VSSはシステムのアナロググランドに接続して下さい。システムのグランドはアナログとデジタルで分けて配線し、PCボード上の電源に近いところで接続して下さい。小容量のデカップリングコンデンサはなるべく電源ピンの近くに接続して下さい。

## 2. 基準電圧

VDDに入力される電圧がアナログ出力レンジを設定します。通常VDDはVSSとの間に0.1 $\mu$ Fのセラミックコンデンサを接続します。VCOMは0.45 x VDD電圧を出力しており、アナログ信号のコモン電圧として使われます。このピンには高周波ノイズを除去するために2.2 $\mu$ F程度の電解コンデンサと並列に0.1 $\mu$ FのセラミックコンデンサをVSSとの間に接続して下さい。特にセラミックコンデンサはピンに出来るだけ近づけて接続して下さい。VCOM pinから電流を取ってはいけません。また、デジタル信号、特にクロック信号は変調器へのカップリングを避けるためVDDとVCOM pinからできるだけ離して下さい。

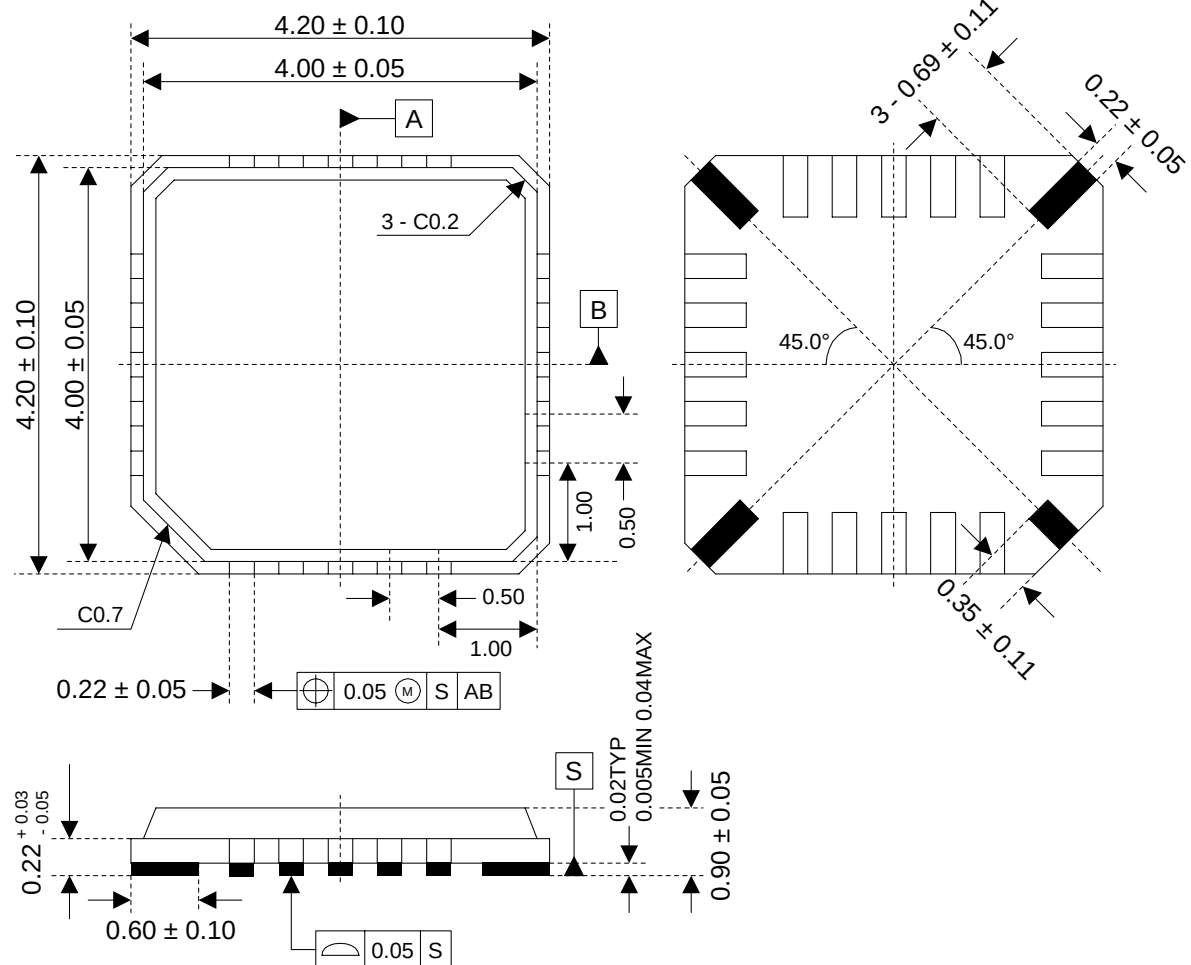
## 3. アナログ出力

DAC出力はシングルエンド出力になっており、ヘッドフォンアンプの出力レンジはVCOM電圧を中心に0.47xVDD Vpp(typ)@-4.8dBFS、MOUTの出力レンジはVCOM電圧を中心に0.66xVDD Vpp(typ)です。入力コードのフォーマットは2'sコンプリメント(2の補数)で、7FFFFFFH(@24bit)に対しては正のフルスケール、800000H(@24bit)に対しては負のフルスケール、000000H(@24bit)での理想値はVCOM電圧が出力されます。

アナログ出力はVCOM+数mV程度のDCオフセットを持つため、通常の使用ではコンデンサでDC成分をカットします。

## パッケージ

20pin QFN (Unit: mm)

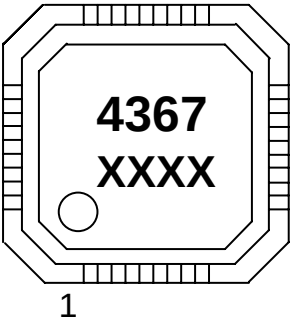


\* パッケージ裏面の四隅の黒塗り部分は、基板とは接続せずオープンにしてください。

### ■ 材質・メッキ仕様

パッケージ材質: エポキシ系樹脂  
 リードフレーム材質: 銅  
 リードフレーム処理: 半田メッキ (無鉛)

マーキング



XXXX : Date code identifier (4桁)

改訂履歴

| Date (YY/MM/DD) | Revision | Reason | Page | Contents                    |
|-----------------|----------|--------|------|-----------------------------|
| 04/04/15        | 00       | 初版     |      |                             |
| 04/11/26        | 01       | 誤記訂正   | 16   | 表6のDefault: MUTE → 0dB      |
|                 |          |        | 30   | MMUTEのDefault: “1” → “0”    |
|                 |          |        | 33   | ATTM3-0のDefault: MUTE → 0dB |

#### 重要な注意事項

- 本書に記載された製品、及び、製品の仕様につきましては、製品改善のために予告なく変更することがあります。従いまして、ご使用を検討の際には、本書に掲載した情報が最新のものであることを弊社営業担当、あるいは弊社特約店営業担当にご確認下さい。
- 本書に掲載された情報・図面の使用に起因した第三者の所有する特許権、工業所有権、その他の権利に対する侵害につきましては、当社はその責任を負うものではありませんので、ご了承下さい。
- 本書記載製品が、外国為替及び、外国貿易管理法に定める戦略物資(役務を含む)に該当する場合、輸出する際に同法に基づく輸出許可が必要です。
- 医療機器、安全装置、航空宇宙用機器、原子力制御用機器など、その装置・機器の故障や動作不良が、直接または間接を問わず、生命、身体、財産等へ重大な損害を及ぼすことが通常予想されるような極めて高い信頼性を要求される用途に弊社製品を使用される場合は、必ず事前に弊社代表取締役の書面による同意をお取り下さい。
- この同意書を得ずにこうした用途に弊社製品を使用された場合、弊社は、その使用から生ずる損害等の責任を一切負うものではありませんのでご了承下さい。
- お客様の転売等によりこの注意事項の存在を知らずに上記用途に弊社製品が使用され、その使用から損害等が生じた場合は全てお客様にてご負担または補償して頂きますのでご了承下さい。