

Document Title

高效能 315/433/868/915MHz FSK/GFSK 无线收发器, 2K ~ 250Kbps 传输能力

Revision History

<u>Rev. No.</u>	<u>History</u>	<u>Issue Date</u>	<u>Remark</u>
0.1	Initial issue	Feb., 2011	Preliminary
0.2	Update technical data and add GFSK modulation.	Apr., 2011	
0.3	Add TX power setting and modify Figure 12.1	July, 2011	
0.4	Modify GRS bit (00h), Figure 12.2 and tape reel information. Add Shenzhen office address.	July, 2011	
0.5	Modify TX matching (L2) to reduce TX current for 868MHz. Add 315MHz RF data and schematic.	Sep., 2011	
0.6	Modify description of Ch 12 and Ch 13. Correct Figure 12.1. Add section 19.5 (MD7108-A50)	Jan., 2012	

AMICCOM CONFIDENTIAL

Important Notice:

AMICCOM reserves the right to make changes to its products or to discontinue any integrated circuit product or service without notice. AMICCOM integrated circuit products are not designed, intended, authorized, or warranted to be suitable for use in life-support applications, devices or systems or other critical applications. Use of AMICCOM products in such applications is understood to be fully at the risk of the customer.

目录

1. 一般描述.....	4
2. 一般应用.....	4
3. 功能.....	4
4. 脚位配置.....	5
5. RF Chip 方块图.....	6
6. 脚位描述.....	6
7. 绝对最大值.....	7
8. 电器特性.....	8
9. 控制缓存器(Control Register).....	11
9.2 控制缓存器描述.....	12
9.2.1 System clock (Address: 00h).....	12
9.2.2 PLL I (Address: 01h).....	12
9.2.3 PLL II (Address: 02h).....	13
9.2.4 PLL III (Address: 03h).....	13
9.2.5 PLL IV (Address: 04h).....	13
9.2.6 Crystal (Address: 05h).....	14
9.2.7 TX I (Address: 06h) Page 0.....	15
9.2.7.1 WOR I (Address: 06h) Page1.....	15
9.2.7.2 WOR II (Address: 06h) Page 2.....	16
9.2.7.3 RF Current (Address: 06h) Page 3.....	16
9.2.7.4 Power Manage (Address: 06h) Page 4.....	17
9.2.7.5 AGC RSSI Threshold (Address: 06h) Page 5.....	17
9.2.7.6 AGC Control(Address: 06h) Page 6.....	17
9.2.7.7 AGC Control II(Address: 06h) Page 7.....	18
9.2.7.8 GPIO (Address: 06h) Page 8.....	18
9.2.7.9 CKO (Address: 06h) Page 9.....	20
9.2.7.10 VCO current (Address: 06h) Page 10.....	21
9.2.7.11 Channel Group (I) (Address: 06h) Page 11.....	21
9.2.7.12 Channel Group (II) (Address: 06h) Page 12.....	21
9.2.8 TX II (Address: 07h).....	21
9.2.9 RX I (Address: 08h).....	22
9.2.10 RX II (Address: 09h).....	23
9.2.11 ADC (Address: 0Ah).....	23
9.2.12 FIFO (Address: 0Bh).....	24
9.2.13 Code (Address: 0Ch).....	24
9.2.14 Pin Control (Address: 0Dh).....	25
9.2.15 Calibration (Address: 0Eh).....	26
9.2.16 Mode control (Address: 0Fh).....	27
10. SPI 界面.....	28
10.1 SPI Format.....	28
10.2 SPI 时序图.....	29
10.3 操作控制缓存器(Control register).....	29
10.4 SPI 时序特性.....	29
10.5 重置命令/Reset Command.....	30
10.6 重置 TX FIFO 指标/Reset TX FIFO Pointer.....	30
10.7 重置 RX FIFO 指标/Reset Rx FIFO Pointer.....	30
10.8 读写 ID 命令.....	30
10.9 读写 FIFO 命令/FIFO R/W Command.....	31
11 石英震荡器(Crystal Oscillator).....	32
11.1 使用外部的石英震荡器.....	32
11.2 使用外部的时钟.....	32
12. 系统频率.....	33
12.1 时钟产生器.....	33
12.2 系统时钟与中频滤波器.....	33
12.3 设定说明-以 12.8MHz 石英震荡器与 10Kbps 传输速度为例.....	34
12.4 设定说明-使用 19.6608MHz 石英震荡器设定特别的传输速度为例.....	35
13. 收发器频率.....	36
14. 状态机.....	37
14.1 Key Strobe Commands.....	37
14.2 FIFO mode.....	37

14.3 Direct mode	39
15. 校正 (Calibration)	41
15.1 IF 校正流程	41
15.2. VCO band 校正流程	41
16. FIFO (First In First Out)	42
16.1 封包格式 (Packet Format)	42
16.2 位串流流程 (Bit Stream Process)	42
16.3 传输时间 (Transmission Time)	43
16.4 Usage of TX and RX FIFO	44
16.4.1 Easy FIFO Mode	44
17. Analog Digital Converter	46
17.1 温度量测	46
17.2 RSSI Measurement	46
17.3 载波侦测 (Carrier detect)	46
18. 电池电压侦测 (Battery Detect)	47
19. 应用线路 (Application Circuit)	48
19.1 MD7108-A90 (915MHz Band)	48
19.2 MD7108-A80 (868MHz Band)	48
19.3 MD7108-A40 (433MHz Band)	49
19.4 MD7108-A30 (315MHz Band)	49
19.5 MD7108-A50 (470MHz ~510MHz Band)	50
20. 缩写	50
21. 订单(料号)信息	51
22. 包装信息	52
23. 正印信息	53
24. 温度曲线 (Reflow)	54
25. 卷带规格	55
26 Product Status	57

1. 一般描述

A7108 是适用于 315/433/470/510/868/ 915MHz ISM bands 的无线应用，并拥有 monolithic 中频架构的 FSK/GFSK 收发器。此外它非常适合 470MHz ~ 510MHz 中国的无线抄表系统与 868MHz 欧洲 Wireless Meter Bus(Wireless M-Bus)。

A7108 是笙科电子高效能 Sub 1GHz 家组芯片中的一员。它是低功耗的解决方案，另外也提供先进的无线功能，例如可程序化功率放大器，其最大功率可到 19dBm，与低噪声高灵敏度的接收器 (-115 dBm @ 10Kbps, -111dBm @50Kbps, 433MHz band)。综合以上的功能，A7108 不需外加 LNA 与 PA 就可适用于长距离应用。

A7108 的传输速度是可程序化的，从 2K 到 250Kbps 可满足不同的系统需求。对于电池供电的系统 A7108 有快速的换频机制(35us @PLL setting time), Xtal setting time(500 us)与内建稳压器 setting time(450 us)。这些功能均可减少平均电源功耗。

A7108 分别在 TX/RX 都有 64-bytes 的 FIFO，可供接收与发射数据。在封包处理的功能上，支持 CRC，可用于错误侦测；FEC 可提供每个 word 的 1-bit 错误更正；RSSI 可用于通道干净评估；内建的温度传感器可用于量测相对温度；WOR(wake on RX) 支持周期性的从休眠状态醒来，并进入接收模式。使用 WOR 功能，MCU 可以继续处于休眠模式，而 A7108 就可以接收到封包；Data whitening 用于资料加密/解密。全部的功能都被整合在 QFN 4X4 20 脚位的小包装内。

附加的功能可以简化系统设计与降低成本，这些功能如内建稳压器，低电压侦测，曼彻斯特编码(Manchester encoding)，载波侦测，preamble 侦测，FIFO mode 的框架同步，自动频率捕偿(Auto Frequency compensation)，自动校正(VCO, IF Filter)，可程序化 IF 过滤器，支持多种 Xtal 频率，内建 Xtal 补偿电容，与 MCU 共享频率。使用像 A7108 这样的高效能与高度整合芯片，在 ISM bands 的产品可以降低整体的成本。

2. 一般应用

- ISM band 无线数据通讯
- 智能遥控器
- RKE (Remote Keyless Entry)
- Wireless M-Bus
- 家庭自动化
- 自动抄表系统 (AMR/Auto Meter Reading)

3. 功能

- 小封装 (QFN 4X4, 20 pins).
- 可使用的频率: 315/433/470/868/915 MHz.
- FSK 与 GFSK 调变
- 支持 3 线式或 4 线式 SPI
- 深度休眠电流 (0.2uA).
- 休眠电流 (2 uA).
- TX 电流 433MHz: 30mA @ 10dBm, 70mA @ 17dBm.
- TX 电流 868MHz: 38mA @ 9dBm, 55mA @ 13dBm.
- RX 电流 (AGC Off) 434MHz: 13.5 mA 与 868MHz: 14.5 mA.
- 内建电压稳压器，输入电压 2.0 ~ 3.6 V.
- 可程序化传输速度，可从 2Kbps 到 250Kbps.
- 分别在 TX/RX 有实体的 64 bytes FIFO
- 使用 FIFO 延伸功能最多可到 256 bytes.
- 高接收灵敏度 (以 433.92MHz 为例)
 - ◆ -117dBm 当传输速度为 2Kbps
 - ◆ -114dBm 当传输速度为 10Kbps
 - ◆ -110dBm 当传输速度为 50Kbps
 - ◆ -107dBm 当传输速度为 100Kbps
 - ◆ -106dBm 当传输速度为 150Kbps
 - ◆ -103dBm 当传输速度为 250Kbps
- 快速换频设计 (35 us @ PLL settling time).

- 内建宽范围的 VCO 与 Fractional-N PLL 合成器.
- 内建低功耗 RC 震荡器, 用于 WOR (Wake on RX) 功能, 可降低功耗
- 内建频率自动补偿 (AFC / Auto Frequency Compensation), 可补偿因温度所造成频率的飘移
- 支持多种频率的石英震荡器 (12,8 / 16 / 18 MHz).
- 内建 9-bit ADC 与 接收讯号强度指针 (RSSI / Received Signal Strength Indicator).
- 可程序化的中频滤波器频宽 (50K / 100K / 150KHz / 250KHz)
- 可程序化的载波灵敏指标
- 可输出框架同步讯号
- FEC / Manchester / data whitening/封包错误过滤器 CRC-16 (CRC-CCITT).

4. 脚位配置

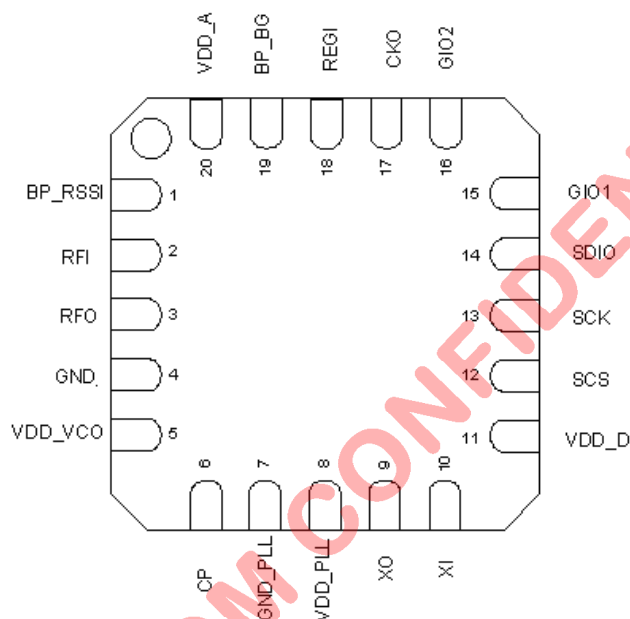


图 4.1 QFN4x4 包装上视图

5. RF Chip 方块图

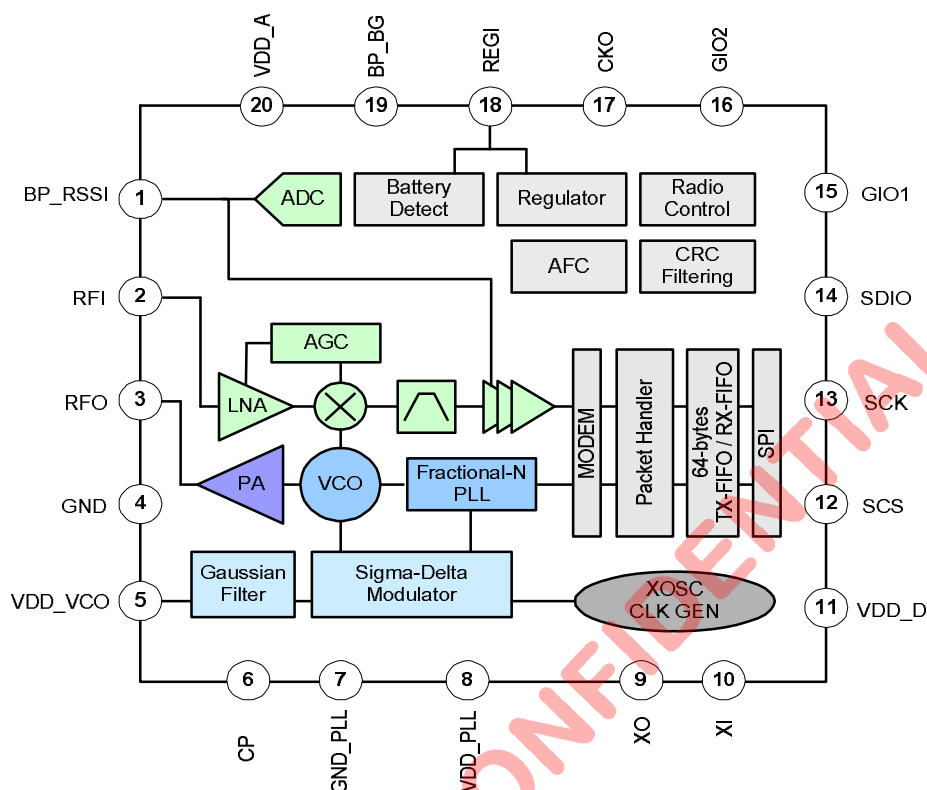


图 5.1 系统方块图

6. 脚位描述

Note: I (input), O(output), G(Ground).

Pin No.	Symbol	I/O	Function Description
1	BP_RSSI	I/O	I: ADC 输入。 O: RSSI . 连接旁路电容。
2	RFI	I	RF 输入, 连接匹配电路。
3	RFO	O	RF 输出, 连接匹配电路 (建议由 VDD 直接供电)。
4	GND	G	接地。
5	VDD_VCO	I	VCO 电源输入。
6	CP	O	Charge-pump 输出, 连接到 loop filter。
7	GND_PLL	I	PLL 接地电源输入。
8	VDD_PLL	I	PLL 电源输入。
9	XO	O	Xtal 输出, 连接 tank 电容。
10	XI	I	Xtal 输入, 连接 tank 电容。
11	VDD_D	O	数字电源输出, 须连接旁路电容。
12	SCS	DI	SPI 致能选择。
13	SCK	DI	SPI 频率输入。
14	SDIO	DI/O	SPI 资料脚位。
15	GIO1	DI/O	多功能 IO 1 或 4 线式 SPI 数据输出。
16	GIO2	DI/O	多功能 IO 2 或 4 线式 SPI 数据输出。
17	CKO	DO	多功能频率输出。
18	REGI	I	内建稳压器电源输入, 连接到外部电源。
19	BP_BG	O	Band-gap 旁路输出, 连接到旁路电容。

20	VDD_A	O	模拟电源输出，须连接到旁路电容。
	Back side plate	G	接地。IC 背面须连接到 PCB 的地，会影响 RF 效能。

7. 绝对最大值

Parameter	With respect to	Rating	Unit
供应电源范围 (VDD)	GND	-0.3 ~ 3.6	V
数字 IO 脚位电压范围	GND	-0.3 ~ VDD+0.3	V
模拟较位电压范围	GND	-0.3 ~ 2.1	V
最大可输入 RF 准位		10	dBm
储存温度范围		-55 ~ 125	°C
静电保护等级	HBM	± 2K	V
	MM*	± 100	V

*Stresses above those listed under "Absolute Maximum Rating" may cause permanent damage to the device. These are stress ratings only; functional operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied. Exposure to absolute-maximum-rated conditions for extended periods may affect device reliability.

*Device is ESD sensitive. Use appropriate ESD precautions. HBM (Human Body Mode) is tested under MIL-STD-883F Method 3015.7. MM (Machine Mode) is tested under JEDEC EIA/JESD22-A115-A.

*Device is Moisture Sensitivity Level III (MSL 3).

* RFI pin is MM ± 75V.



AMICCOM CONFIDENTIAL

8. 电器特性

(Ta=25℃, VDD=3.3V, F_{XTAL} =12.8MHz, FSK modulation with Matching circuit and low/high pass filter, On Chip Regulator = 1.8V, RFO is powered by VDD = 3.3V, unless otherwise noted.)

Parameter	Description	Min.	Typ.	Max.	Unit
General					
Operating Temperature		-40		85	°C
Supply Voltage		2.0	3.3	3.6	V
Current Consumption	Deep Sleep Mode (no register retention) ¹		0.2		uA
	Sleep Mode ¹		2		uA
	Idle Mode(Xtal off)		0.25		mA
	Standby Mode(Xtal on)		1.5		mA
Current Consumption 433MHz band	PLL mode		8.5		mA
	RX mode (AGC Off)		13.5		mA
	RX mode (AGC On)		14.5		mA
	TX -12dBm (TBG=0, TDC=0, PAC=0)		16		mA
	TX 1dBm (TBG=1, TDC=0, PAC=0)		20		mA
	TX 5dBm (TBG=2, TDC=0, PAC=0)		22		mA
	TX 10dBm (TBG=3, TDC=0, PAC=0)		30		mA
	TX 13dBm (TBG=4, TDC=0, PAC=0)		39		mA
	TX 15dBm (TBG=5, TDC=0, PAC=0)		48		mA
	TX 16dBm (TBG=6, TDC=0, PAC=0)		55		mA
	TX 17dBm (TBG=7, TDC=2, PAC=1)		70		mA
	TX 17.5dBm (TBG=7, TDC=3, PAC=3)		78		mA
Current Consumption 315MHz band	TX 20dBm (TBG=7, TDC=2, PAC=1) Without LPF and HPF.		70		mA
Current Consumption 868MHz band	PLL mode		8.5		mA
	RX mode (AGC Off)		14		mA
	RX mode (AGC On)		15.5		mA
	TX -16dBm (TBG=0, TDC=0, PAC=0)		16		mA
	TX -2dBm (TBG=3, TDC=0, PAC=0)		20		mA
	TX 2dBm (TBG=4, TDC=0, PAC=0)		23		mA
	TX 6dBm (TBG=5, TDC=0, PAC=0)		29		mA
	TX 10dBm (TBG=6, TDC=0, PAC=0)		37		mA
	TX 12dBm (TBG=7, TDC=0, PAC=0)		45		mA
	TX 13dBm (TBG=6, TDC=1, PAC=0)		52		mA
	TX 15dBm (TBG=7, TDC=1, PAC=0)		60		mA
	TX 16dBm (TBG=7, TDC=2, PAC=0)		70		mA
	TX 17dBm (TBG=7, TDC=3, PAC=0)		75		mA
	TX 18dBm (TBG=7, TDC=2, PAC=3)		93		mA
Phase Locked Loop					
X'TAL Settling Time ²	Idle to standby, 49US type		0.5		ms
X'TAL frequency	General case	12.8/16			MHz
	Data rate = 250Kbps	16			MHz
	Data rate = 32.768K or 16.384Kbps	12.582912			MHz
	Data rate = 38.4Kbps	19.6608			MHz
X'TAL ESR				100	Ohm

X'TAL Capacitor Load (Cload)	Recommended		20		pF
433MHz PLL Phase noise (loop component: R1=820,C1=33nF,C2=2.2nF)	PN @100k offset		90		dBc/Hz
	PN @1M offset		110		dBc/Hz
	PN @10M offset		130		dBc/Hz
868MHz PLL Phase noise (loop component: R1=560,C1=47nF,C2=3.3nF)	PN @100k offset		85		dBc/Hz
	PN @1M offset		105		dBc/Hz
	PN @10M offset		125		dBc/Hz
PLL Settling Time @settle to 25kHz	Standby to PLL		35		us
Reference spur			80		dBc
Transmitter					
TX Power Range	433MHz (excluding LPF and HPF)	-12	13	20	dB
	868MHz (excluding LPF and HPF)	-16	12	20	dB
TX Settling Time	PLL to TX		30		μs
TX Spurious Emission 1. Pout = 12 dBm 2. With LPF and HPF	f < 1GHz (RBW =100kHz)			-36	dBm
	47MHz< f <74MHz			-54	dBm
	87.5MHz< f <118MHz				
	174MHz< f <230MHz				
	470MHz< f <862MHz (RBW =100kHz)				
	Above 1GHz (RBW = 1MHz)			-30	dBm
	2 nd Harmonic			-30	dBm
	3 rd Harmonic			-30	dBm
Receiver					
IF Frequency	50K Mode		100		KHz
	100K Mode		200		
	150K Mode		300		
	250K Mode		500		
IF Filter Bandwidth	50K Mode (10 ppm Xtal needed)		50		KHz
	100K Mode		100		
	150K Mode		150		
	250K Mode		250		
315MHz RX Sensitivity ³ @BER=0.1% high gain mode	50kbps (Fdev = 18.75KHz)		-111		dBm
	100kbps (Fdev = 37.5KHz)		-108		
	150kbps (Fdev = 56.25KHz)		-107		
	250kbps (Fdev = 93.75KHz),16MHz Xtal		-104		
480MHz RX Sensitivity ³ @BER=0.1% high gain mode	10kbps (FSK) (IFBW = 50KHz, Fdev = 25KHz)		-115		dBm
	10kbps (GFSK) (IFBW = 50KHz, Fdev = 25KHz)		-114		
433MHz RX Sensitivity ³ @BER=0.1% high gain mode	2kbps (IFBW = 50KHz, Fdev = 8KHz)		-117		dBm
	2kbps (IFBW = 100KHz, Fdev = 8KHz)		-114		dBm
	10kbps (IFBW = 50KHz, Fdev = 18.75KHz)		-114		dBm
	10kbps (IFBW = 100KHz, Fdev = 37.5KHz)		-112		dBm
	50kbps (Fdev = 18.75KHz)		-110		dBm
	100kbps (Fdev = 37.5KHz)		-107		
	150kbps (Fdev = 56.25KHz)		-106		
	250kbps (Fdev = 93.75KHz),16MHz Xtal		-103		
868MHz RX Sensitivity ³ @BER=0.1% high gain mode	2kbps (IFBW = 50KHz, Fdev = 8KHz)		-114		dBm
	2kbps (IFBW = 100KHz, Fdev = 8KHz)		-109		dBm
	10kbps (IFBW = 50KHz, Fdev = 18.75KHz)		-110		dBm
	10kbps (IFBW = 100KHz, Fdev = 37.5KHz)		-111		dBm
	50kbps (Fdev = 18.75KHz)		-106		dBm
	100kbps (Fdev = 37.5KHz)		-103		

	150kbps (Fdev = 56.25KHz)		-102		
	250kbps (Fdev = 93.75KHz), 16MHz Xtal		-100		
915MHz RX Sensitivity ³ @BER=0.1% high gain mode	50kbps (Fdev = 18.75KHz)		-105		dBm
	100kbps (Fdev = 37.5KHz)		-101		
	150kbps (Fdev = 56.25KHz)		-100		
	250kbps (Fdev = 93.75KHz), 16MHz Xtal		-97		
Image rejection			20		dB
Interference (868.3MHz, 100Kbps)	Co-channel		-14		dB
	ACR1 (C/I _{ch1})		21		dB
	ACR2 (C/I _{ch2})		37		dB
	Offset $\pm$ 10MHz		50		dB
RX Spurious	25MHz ~ 1GHz			-57	dBm
	Above 1GHz			-47	dBm
RSSI Range	AGC on	-110		-30	dBm
Max Operation Input Power	@ RF input (BER = 0.1%)			10	dBm
RX Settling Time	PLL to RX		30		us
	Standby to RX		250		us
Regulator					
Regulator settling time	Pin 19 connected to 1nF		450		μ S
Band-gap reference voltage			1.2		V
Regulator output voltage		1.8	1.8	2.1	V
Digital IO DC characteristics					
High Level Input Voltage (V _{IH})		0.8*VDD		VDD	V
Low Level Input Voltage (V _{IL})		0		0.2*VDD	V
High Level Output Voltage (V _{OH})	@I _{OH} = -0.5mA	VDD-0.4		VDD	V
Low Level Output Voltage (V _{OL})	@I _{OL} = 0.5mA	0		0.4	V

Note 1: When digital I/O pins are configured as input, those pins shall NOT be floating but pull either high or low (SCS shall be pulled high only); otherwise, leakage current will be induced.

Note 2: Xtal settling time is depend on Xtal package type, Xtal ESR and Xtal Cm.

Note 3: Max Data rate= 50kbps @50K Mode, Max Data rate= 150kbps @150K Mode.

9. 控制缓存器(Control Register)

A7108总共有28 x16 bits的控制缓存器，可以经由3线或4线式的SPI来读/写这些缓存器。全部的控制缓存器都列在下表。

9.1 控制缓存器列表

Add/Name	R/W	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
00h Systemclock	W	SDR6	SDR5	SDR4	SDR3	SDR2	SDR1	SDR0	GRS	GRC4	GRC3	GRC2	GRC1	GRC0	CSC2	CSC1	CSC0
	R	SDR6	SDR5	SDR4	SDR3	SDR2	SDR1	SDR0	GRS	GRC4	GRC3	GRC2	GRC1	GRC0	CSC2	CSC1	CSC0
01h PLL I	W	RXCC	RXCP1	RXCP0	MDIV	RRC3	RRC2	RRC1	RRC0	IP7	IP6	IP5	IP4	IP3	IP2	IP1	IP0
02h PLL II	W	FP15	FP14	FP13	FP12	FP11	FP10	FP9	FP8	FP7	FP6	FP5	FP4	FP3	FP2	FP1	FP0
03h PLL III	W	AFC	MC14	MC13	MC12	MC11	MC10	MC9	MC8	MC7	MC6	MC5	MC4	MC3	MC2	MC1	MC0
	R	AFC	MC14	MC13	MC12	MC11	MC10	MC9	MC8	MC7	MC6	MC5	MC4	MC3	MC2	MC1	MC0
04h PLL IV	W	ROSCS	RSIS	CKX2	MD1	PDL2	PDL1	PDL0	MD0	VCS1	VCS0	CPS	CPC1	CPC0	SDPW	NSDO	EDI
05h Crystal	W	PGAS3	PGAS2	PGAS1	PGAS0	--	CRCINV	RTOE	RTCI	RTC1	RTC0	RTCE	XCC	XCP1	XCP0	CGS	XS
06h PA0(TX I)	W	--	LODV1	LODV0	TME	GS	FDP2	FDP1	FDP0	FD7	FD6	FD5	FD4	FD3	FD2	FD1	FD0
06h PA1(WORI)	W	WOR_ AC5	WOR_ AC4	WOR_ AC3	WOR_ AC2	WOR_ AC1	WOR_ AC0	WOR_ SL9	WOR_ SL8	WOR_ SL7	WOR_ SL6	WOR_ SL5	WOR_ SL4	WOR_ SL3	WOR_ SL2	WOR_ SL1	WOR_ SL0
	R	--	--	--	--	--	--	--	--	VBD	RCO6	RCO5	RCO4	RCO3	RCO2	RCO1	RCO0
06h PA2(WOR2)	W	RSSC D1	RSSC D0	RS DLY2	RS DLY1	RS DLY0	HWCKS	WN3	WN2	WN1	WN0	CALWR	RCOSE	TSEL	TWSOE	RCOT1	RCOT0
	R	--	--	--	--	--	--	--	--	--	--	CALWR	--	--	--	--	--
06h PA3(RFI)	W	QCLIM	RF23D1	RF23D0	PRRC1	PRRC0	PRIC1	PRIC0	RMP1	RMP0	TRT2	TRT1	TRT0	ASMV2	ASMV1	ASMV0	AMVS
	R	RHM7	RHM6	RHM5	RHM4	RHM3	RHM2	RHM1	RHM0	RLM7	RLM6	RLM5	RLM4	RLM3	RLM2	RLM1	RLM0
06h PA4(PM)	W	CST	POWRS	CELS	STS	LVR	RGS	RGC1	RGC0	SPSS	RGV1	RGV0	QDS	BVT2	BVT1	BVT0	BDS
06h PA5(RTH)	W	IRTH7	IRTH6	IRTH5	IRTH4	IRTH3	IRTH2	IRTH1	IRTH0	IRTL7	IRTL6	IRTL5	IRTL4	IRTL3	IRTL2	IRTL1	IRTL0
06h PA6(AGC)	W	--	VRSEL	MS	MSCL4	MSCL3	MSCL2	MSCL1	MSCL0	HDM	AGCE	MXD	EXRSI	LGM1	LGM0	MGM1	MGM0
	R	--	--	--	--	--	--	--	--	--	--	--	--	LGC1	LGC0	MGC1	MGC0
06h PA7(AGC2)	W	--	--	--	--	--	--	--	--	--	--	--	--	TXIB1	TXIB0	RSA1	RSA0
06h PA8(GPIO)	W	WRCKS	MCNT1	MCNT0	DDPC	GIO2S3	GIO2S2	GIO2S1	GIO2S0	G2I	G2OE	GIO1S3	GIO1S2	GIO1S1	GIO1S0	G1I	G1OE
06h PA9(CKO)	W	INTXC	XCL4	XCL3	XCL2	XCL1	XCL0	WSEL2	WSEL1	WSEL0	CKOS3	CKOS2	CKOS1	CKOS0	CKOI	CKOE	SCT
06h PA10(VCB)	W	--	--	--	--	--	--	--	--	--	--	--	VCOC3	VCOC2	VCOC1	VCOC0	MVCS
	R	--	--	--	--	--	--	--	--	--	--	--	VCCF	VCB3	VCB2	VCB1	VCB0
06h PA11(CHG1)	W	--	--	--	--	FPL3	FPL2	FPL1	FPL0	IPL7	IPL6	IPL5	IPL4	IPL3	IPL2	IPL1	IPL0
	R	--	--	--	--	FPL3	FPL2	FPL1	FPL0	IPL7	IPL6	IPL5	IPL4	IPL3	IPL2	IPL1	IPL0
06h PA12(CHG2)	W	--	--	--	--	FPH3	FPH2	FPH1	FPH0	IPH7	IPH6	IPH5	IPH4	IPH3	IPH2	IPH1	IPH0
	R	--	--	--	--	FPH3	FPH2	FPH1	FPH0	IPH7	IPH6	IPH5	IPH4	IPH3	IPH2	IPH1	IPH0
07h TX II	W	MCNTR	DPR2	DPR1	DPR0	BT1	BT0	TDL1	TDL0	TXDI	PAC1	PAC0	TDC1	TDC0	TBG2	TBG1	TBG0
	R	ID15	ID14	ID13	ID12	ID11	ID10	ID09	ID8	ID7	ID6	ID5	ID4	ID3	ID2	ID1	ID0
08h RX I	W	ETH2	DMT	MPL1	MPL0	SLF2	SLF1	SLF0	ETH1	ETH0	DMOS	DMG1	DMG0	IFBW1	IFBW0	ULS	HGM
09h RX II	W	RXDI	PMD1	PMD0	DCV7	DCV6	DCV5	DCV4	DCV3	DCV2	DCV1	DCV0	DCL2	DCL1	DCL0	DCM1	DCM0
	R	--	--	--	--	--	--	--	ADC08	ADC07	ADC06	ADC05	ADC04	ADC03	ADC02	ADC01	ADC00
0Ah ADC	W	ARSSI	RADC	AVSEL1	AVSEL0	MVSEL1	MVSEL0	XADS	CDM	RTH7	RTH6	RTH5	RTH4	RTH3	RTH2	RTH1	RTH0
	R	PWR	XEM	PLLEM	TRSM	TREM	--	--	--	ADC7	ADC6	ADC5	ADC4	ADC3	ADC2	ADC1	ADC0
0Bh FIFO	W	FPM1	FPM0	PSA5	PSA4	PSA3	PSA2	PSA1	PSA0	FEP7	FEP6	FEP5	FEP4	FEP3	FEP2	FEP1	FEP0
0Ch Code	W	ERSSM	IDL1	WS6	WS5	WS4	WS3	WS2	WS1	WS0	MCS	WHTS	FECS	CRCS	IDL0	PML1	PML0
0Dh Pin control	W	RFT2	RFT1	RFT0	PRS	SCMDS	PCS1	PCS0	IRQI	IRQ1	IRQ0	IRQE	CKOI	CKO1	CKO0	CKOE	SCKI
0Eh Calibration	W	MSCRC	VTL2	VTL1	VTL0	VTH2	VTH1	VTH0	MVBS	MVB2	MVB1	MVB0	MFBS	MFB3	MFB2	MFB1	MFB0
	R	FCD4	FCD3	FCD2	FCD1	FCD0	DVT1	DVT0	VBCF	VB2	VB1	VB0	FBCF	FB3	FB2	FB1	FB0

0Fh Modecontrol	W	DFCD	VBS	SWT	RSSC	VCC	--	WORE	FMT	FMS	CER	PLLE	TRSR	TRER	VBC	FBC	ADCM
	R	--	--	--	RSSC	VCC	FECE	CRCF	FMT	FMS	CER	PLLE	TRSR	TRER	VBC	FBC	ADCM

Legend: -- = unimplemented

9.2 控制缓存器描述

9.2.1 System clock (Address: 00h)

Address/Name	R/W	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
00h System clock	W	SDR6	SDR5	SDR4	SDR3	SDR2	SDR1	SDR0	GRS	GRC4	GRC3	GRC2	GRC1	GRC0	CSC2	CSC1	CSC0
	R	SDR6	SDR5	SDR4	SDR3	SDR2	SDR1	SDR0	GRS	GRC4	GRC3	GRC2	GRC1	GRC0	CSC2	CSC1	CSC0
Reset		0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0

SDR[6:0]: 传输速度除频器

如果 DMOS (08h) 设定为 0, $Rate = \frac{1}{128} \cdot \frac{f_{system}}{SDR[6:0] + 1}$ (建议使用)

如果 DMOS (08h) 设定为 1, $Rate = \frac{1}{64} \cdot \frac{f_{CSC}}{SDR[6:0] + 1}$

GRS: Reference Clock Selection for the internal PLL CLK Generator.

[0]: PLL CLK Gen. = $F_{CGRF} \times 48$

[1]: PLL CLK Gen. = $F_{CGRF} \times 32$

F_{CGRF} 是从以下的 GRC 除法器得到。

GRC[4:0]: Generation Reference Clock Divider.

从内部的 CLK 产生器中, 设定 GRC [4:0] 可将石英震荡器除频以得到 PFD。

$$f_{CGRF} = \frac{f_{xtal}}{GRC[4:0] + 1} = 800\text{kHz or } 1.2\text{MHz}$$

CSC[2:0]: System Clock Divider setting.

CSC is the clock divider of F_{MSCK} to generate the wanted data clock and IF calibration clock where F_{MSCK} is either from Xtal itself (CGS = 0) or from the internal CLK Generator (CGS = 1).

CSC 是 F_{MSCK} 的除频器, 可用于产生传输速度与 IF 校正时钟。当 CGS 设定为 0, F_{MSCK} 就可从 Xtal 得到, 若 CGS 设定为 1, 就可从内部 CLK 产生。

$$f_{CSC} = \frac{f_{MSCK}}{CSC[2:0] + 1}$$

F_{CSC} 应该设定越精准越好, 否则 IF Filter 校正就会失败。

可参考第 12 章有更详细的说明。

9.2.2 PLL I (Address: 01h)

Address/Name	R/W	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
01h PLL I	W	RXCC	RXCP1	RXCP0	MDIV	RRC3	RRC2	RRC1	RRC0	IP7	IP6	IP5	IP4	IP3	IP2	IP1	IP0
Reset		0	0	0	1	0	0	0	0	1	0	0	0	0	0	0	0

RXCC: 内部使用, 建议 RXCC 设定为 [0]。

RXCP[1:0]: 内部使用, 建议 RXCP 设定为 [00]。

MDIV: RF 除法器范围设定。

[0]: IP[7:0] 的范围为 32~67.

[1]: IP[7:0] 的范围为 68 ~ 255.

RRC[3:0]: RF PLL 参考计数器

RRC [3:0]可用于将石英振荡器除频以得到比较频率(f_{PFD})。

$$f_{PFD} = \frac{f_{xtal}}{RRC[3:0]+1}, \text{ 可参考第 13 章有更详细的说明。}$$

IP[7:0]: LO 频率整数部分设定。

可参考第 13 章有更详细的说明。

9.2.3 PLL II (Address: 02h)

Address/Name	R/W	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
02h PLL II	W	FP15	FP14	FP13	FP12	FP11	FP10	FP9	FP8	FP7	FP6	FP5	FP4	FP3	FP2	FP1	FP0
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

FP[15:0]: LO 频率小数部分设定。

$$f_{RF} = \frac{1}{n} f_{PFD} \cdot (IP[7:0] + \frac{FP[15:0]}{2^{16}}) \quad (\text{unit: Hz})$$

公式中的 f_{RF} 是 RF 频率, n 是 VCO 除法器。

公式中 $f_{PFD} = f_{xtal} \div (RRC[3:0]+1)$, 是 RF_PLL 的比较频率。

设定 MD = [01], 则 $n=2$, 是使用 868M / 915MHz band

设定 MD = [10], 则 $n=4$, 是使用 433M / 510MHz band

设定 MD = [11], 则 $n=6$, 315MHz band

注意 1: MD[1:0] 位于地址 04h [Bit12, Bit8].

注意 2: 请参考参考第 13 章有更详细的说明。

9.2.4 PLL III (Address: 03h)

Address/Name	R/W	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
03h PLL III	W	AFC	MC14	MC13	MC12	MC11	MC10	MC9	MC8	MC7	MC6	MC5	MC4	MC34	MC24	MC1	MC0
	R	AFC	MC14	MC13	MC12	MC11	MC10	MC9	MC8	MC7	MC6	MC5	MC4	MC34	MC24	MC1	MC0
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

AFC: 自动频率补偿设定。建议 AFC 设定为 [1].

[0]: 手动

[1]: 自动

MC[14:0]: PLL 小数部份补偿值。

[Write]: 当 AFC 为[0]时, 手动设定 LO 小数的补偿值。

[Read]: 当 AFC 为[1]时, 频率的位移。

9.2.5 PLL IV (Address: 04h)

Address/Name	R/W	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
04h PLL IV	W	ROSCS	RSIS	CKX2	MD1	PDL2	PDL1	PDL0	MD0	VCS1	VCS0	CPS	CPC1	CPC0	SDPW	NSDO	EDI
Reset		0	0	0	0	0	1	1	0	0	0	1	0	1	0	0	0

ROSCS: WOR (Wake-On-RX) 功能的 RC 振荡器设定。

[0]: 单一模式

[1]: differential 模式

RSIS: 保留内部使用。RSIS 应该设定为 [0].

CKX2: 保留内部使用。CKX2 应该设定为 [0].

MD[1:0]: [MD1, MD0] = [Bit12, Bit8]。

收发器传输频段设定

[00]: 将 RF 设定在 800MHz 与 915MHz。

[01]: 将 RF 设定在 800MHz 与 915MHz。

[10]: 将 RF 设定在 433MHz Band 与 510MHz。

[11]: 将 RF 设定在 315MHz Band。

注意: MD[1:0] 是被用于缓存器(02h)的公式与(06h, page0)的 Fdev.

PDL[2:0]: PLL Settling Delay Time 设定。建议 PDL [2:0] 设定为 [011], 则为 80 us。

PDL [2:0]	PLL Delay Timer	Note
000	20 us	
001	40 us	
010	60 us	
011	80 us	建议值
100	100 us	
101	120 us	
110	140 us	
111	160 us	

VCS[1:0]: VCO Current setting. 建议 VCS [1:0] 设定为 [01]。

CPS: Charge Pump tri-state setting. 建议 CPS 设定为 [1]。

[0]: Tri-state。

[1]: Normal operation。

CPC[1:0]: Charge Pump Current setting. 建议 CPC 设定为 [01]。

[00]: 0.5mA. [01]: 1mA. [10]: 1.5mA. [11]: 2mA.

SDPW: Pulse Width of sigma-delta modulator。SDPW 必须设定为 [1]。

NSDO: Mash sigma delta order setting. 建议 NSDO 设定为 [0]。

[0]: order 2. [1]: order 3.

EDI: Dither Noise setting。建议 EDI 设定为 [0]。

[0]: 关闭. [1]: 启动。

9.2.6Crystal (Address: 05h)

Address/Name	R/W	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
05h Crystal	W	PGAS3	PGAS2	PGAS1	PGAS0	—	CRCINV	RTOE	RTCI	RTC1	RTC0	RTCE	XCC	XCP1	XCP0	CGS	XS
Reset		0	0	0	0	0	0	0	0	0	0	0	1	1	0	0	0

PGAS[3:0]: 为(0x06)缓存器设定页面。

CRCE: CRC Mode 设定。

[0]: CRC-CCITT ($X^{16} + X^{12} + X^5 + 1$). [1]: 保留给内部使用。

CRCINV: CRC Inverted Select.

[0]: 关闭. [1]: 启动

RTOE: 保留给内部使用。必须设定为 [0].

RTCI: 保留给内部使用。必须设定为[0].

RTC[1:0]: 保留给内部使用。必须设定为[00].

RTCE: 保留给内部使用。必须设定为[0].

XCC: Crystal Current setting. 建议 XCC 设定为[0].

[0]: 低电流 [1]: 高电流

XCP[1:0]: Crystal Regulating Couple setting. 建议 XCP 设定为[00].

CGS: Clock Generation Selection.

[0]: 关闭, 主要的时钟与 F_{msck} 是从 Xtal 得到。

[1]: 启动, 主要的时钟与 F_{msck} 是从内部时钟产生器得到, 请参考参考第 12 章有更详细的说明。

XS: Crystal Oscillator Selection. 建议 XS 设定为 [1].

[0]: 关闭, 从 XI 脚位获得外部的时钟。

[1]: 启动，从 XI 与 XO 获的 Xtal。

9.2.7 TX I (Address: 06h) Page 0

Address/Name	R/W	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
06h TX I	W		LODV1	LODV0	TME	GS	FDP2	FDP1	FDP0	FD7	FD6	FD5	FD4	FD3	FD2	FD1	FD0
Reset			0	0	1	0	1	0	1	0	1	0	0	0	0	0	0

LODV [1:0]: 保留给内部使用。必须设定为 [01]。

TME: TX Modulation 设定。

[0]: 关闭 (Test Mode).

[1]: 启动 (Normal Mode).

不论在 FIFO mode 或 Direct mode, TME 都必须设定为[1], 则 TX 的调变就会在 PDL 与 TDL 的延迟后自动地启动。

GS: Gaussian Filter Selection.

[0]: 关闭. [1]: 启动.

FDP[2:0]: Frequency Deviation Exponential Coefficient setting.

FD[7:0]: Frequency Deviation setting.

不论高斯滤波器启动与否 (GS =1 或 0) :

$$f_{dev} = \frac{1}{n} \cdot f_{PFD} \cdot FD[7:0] \cdot \frac{2^{FDP[2:0]}}{2^{19}} \quad (\text{unit: Hz})$$

公式中 $f_{PFD} = f_{Xtal} \div (RRC[3:0] + 1)$, 是 RF_PLL 比较频率。

当 868 / 915MHz 时, MD 设定为 [01], n 为 2

当 433M / 510MHz 时, MD 设定为 [10], n 为 4

当 315MHz 时, MD 设定为 [11], n 为 6

注意 1: MD[1:0] 在地址 04h 的缓冲器的[Bit12, Bit8].

注意 2: 请参考第 13 章, 有更详细的说明。

9.2.7.1 WOR I (Address: 06h) Page1

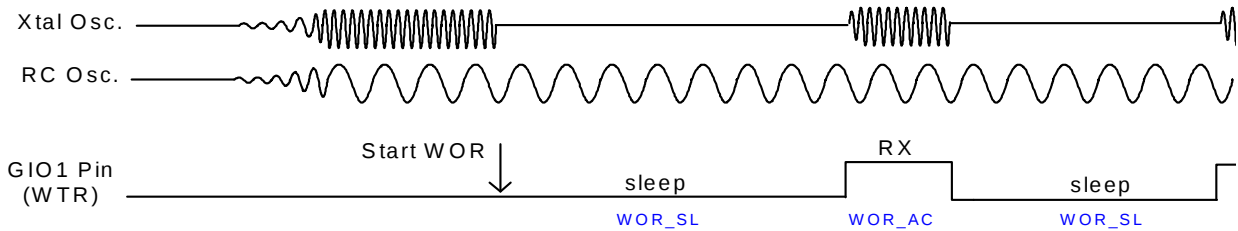
Address/Name	R/W	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit 9	Bit 8
06h WOR I	W	WOR_AC5	WOR_AC4	WOR_AC3	WOR_AC2	WOR_AC1	WOR_AC0	WOR_SL9	WOR_SL8
	R								
Reset		0	0	0	0	0	0	0	0
Address/Name	R/W	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit 1	Bit 0
06h WOR I	W	WOR_SL7	WOR_SL6	WOR_SL5	WOR_SL4	WOR_SL3	WOR_SL2	WOR_SL1	WOR_SL0
	R	VBD	RCOC6	RCOC5	RCOC4	RCOC3	RCOC2	RCOC1	RCOC0
Reset		0	0	0	0	0	0	0	0

WAC [5:0]: 6-bits WOR Active Period.

WSL [9:0]: 10-bits WOR Sleep Period.

WOR Active Period = (WAC[5:0]+1) x (1/4092), (244us ~ 15.6ms).

WOR Sleep Period = (WSL[9:0]+1) x (1/4092), (7.8ms ~ 7.99s).



VBD: 电池侦测旗标 (只读)。

[0]: 电力即将用尽。

[1]: 电池仍有电。

RCOC[6:0]: RC Oscillator Calibration value (只读)。

9.2.7.2 WOR II (Address: 06h) Page 2

Address/Name	R/W	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
06h WOR II	W	RSSC D1	RSSC D0	RSDLY2	RSDLY1	RSDLY0	HWCKS	WN3	WN2	WN1	WN0	CALWR	RCOSE	TSEL	TWSOE	RCOT1	RCOT0
Reset		0	0	0	0	1	0	0	0	0	0	0	1	0	1	0	0

RSSC_D [1:0]: RSSI calibration Delay setting. 建议 **RSSC_D** 设定为 [00].

[00]: 10us. [01]: 20us. [10]: 30us. [11]: 40us.

RS_DLY [2:0]: RSSI Measurement Delay while in RX mode. 建议 **RS_DLY** 设定为 [000].

[000]: 10us. [001]: 20us. [010]: 30us. [011]: 40us. [100]: 50us. [101]: 60us. [110]: 70us. [111]: 80us.

HWCKS: WOR Clock Select.

[0]: 4.096KHz [1]: 2.048KHz.

WN[3:0]: The number of RX wake up times.

Wake up times = (WN[3:0] + 1).

CALWR: WOR Calibration Flag.

[0]: pass. [1]: fail.

RCOSC_E: RC Oscillator for WOR.

[0]: 关闭. [1]: 启动.

TSEL: TWOR Duty select.

[0]: Use WOR_AC [5:0]. (WOR_AC 在地址 06h 缓存器的 page 1)

[1]: Use WOR_SL [9:0]. (WOR_SL 在地址 06h 缓存器的 page 1)

TWSOE: Wake up MCU Mode select.

[0]: WOR mode. 当收到 ID code word 时唤醒 MCU。

[1]: TWOR mode. 使用 TWOR timer 唤醒 MCU。

RCOT [1:0]: RC Oscillator current setting. 建议 **RCOT** 设定为 [00].

9.2.7.3 RF Current (Address: 06h) Page 3

Address/Name	R/W	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
06h RFI	W	QCLIM	RF23D1	RF23D0	PRRC1	PRRC0	PRIC1	PRIC0	RAMP1	RAMP0	TRT2	TRT1	TRT0	ASMV2	ASMV1	ASMV0	AMVS
Reset	R	RHM7	RHM6	RHM5	RHM4	RHM3	RHM2	RHM1	RHM0	RLM7	RLM6	RLM5	RLM4	RLM3	RLM2	RLM1	RLM0

QCLIM: 保留给内部使用。必须设定为 [0].

RF23D [1:0]: 保留给内部使用。必须设定为 [00].

PRIC [1:0]: 保留给内部使用。必须设定为 [00].

PRRC [1:0]: 保留给内部使用。RF divider by 2/3 current setting. 建议 **PRRC** 设定为 [00].

RMP [1:0]: PA Ramp up/down Timing Scale setting. 建议 **RMP** 设定为 [00].

[00]: 1. [01]: 2. [10]: 4. [11]: 8.

TRT [2:0]: TX Ramp down discharge current select. 建议 **TRT** 设定为 [000].

AMSV [2:0]: TX Ramp up Timing Select. 建议 AMSV 设定为[111].

[000]: 2us, [001]: 4us. [010]: 6us. [011]: 8us. [100]: 10us, [101]: 12us. [110]: 14us. [111]: 16us.

Actual TX ramp up time = ASMV [2:0] x RMP[1:0]

AMVS : PA Ramp Up 设定. 建议 AMVS 设定为 [1].

[0]: 关闭. [1]: 启动.

RHM [7:0]: RSSI calibration high threshold level (只读).

RLM [7:0]: RSSI calibration low threshold (只读).

9.2.7.4 Power Manage (Address: 06h) Page 4

Address/Name	R/W	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
06h PM	W	CST	POWRS	CELS	STS	LVR	RGS	RGC1	RGC0	SPSS	RGV1	RGV0	QDS	BVT2	BVT1	BVT0	BDS
Reset		-	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

CST: DC average length selection. 必须设定为 [0].

[0]: DC average length unchanged. [1]: DC average length halves.

POWRS: 保留给内部使用. 必须设定为 [0].

CELS: 保留给内部使用. 必须设定为 [0].

STS: 保留给内部使用. 必须设定为 [0].

LVR: 保留给内部使用. 必须设定为 [1].

RGS: Low power Regulator Voltage select. 建议 RGS 设定为 [01].

[00]:0. [01]:1. [10]:2. [11]:3.

SPSS: 如果 WOR 是启动的, WOR 后回到模式选择. 建议 SPSS 设定为 [0].

[0]: Standby mode. [1]: PLL mode.

RGV [1:0]: Regulator Voltage select. 建议 RGV 设定为 [11].

[00]: 2.1V. [01]: 2.0V. [10]: 1.9V. [11]: 1.8V.

QDS: VDD_A Quick Discharge select. 建议 QDS 设定为 [1].

[0]: Normal. [1]: Quick discharge.

BVT [2:0]: Battery Voltage Threshold select.

[000]: 2.0V. [001]: 2.1V. [010]: 2.2V. [011]: 2.3V. [100]: 2.4V. [101]: 2.5V. [110]: 2.6V. [111]: 2.7V.

BDS: Battery Detection selection.

[0]: 关闭. [1]: 启动.

9.2.7.5 AGC RSSI Threshold (Address: 06h) Page 5

Address/Name	R/W	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
06h RTH	W	IRTH7	IRTH6	IRTH5	IRTH4	IRTH3	IRTH2	IRTH1	IRTH0	IRTL7	IRTL6	IRTL5	IRTL4	IRTL3	IRTL2	IRTL1	IRTL0
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

IRTH[7:0]: AGC high Threshold. 建议 IRTTH 设定为 [0x07].

IRTL[7:0]: AGC low Threshold. 建议 IRTL 设定为 [0x04].

If $ADC \leq IRTL$. VT[1:0] = 11.

If $ADC \geq IRTTH$. VT[1:0] = 00.

If $IRTL \leq ADC \leq IRTTH$. VT[1:0] = 01.

9.2.7.6 AGC Control(Address: 06h) Page 6

Address/Name	R/W	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
06h AGC	W	--	VRSEL	MS	MSCL4	MSCL3	MSCL2	MSCL1	MSCL0	HDM	AGCE	MXD	EXRSI	LGM1	LGM0	MGM1	MGM0
	R	--	--	--	--	--	--	--	--	--	--	--	--	LGC1	LGC0	MGC1	MGC0
Reset		--	--	0	0	0	0	0	0	0	0	0	0	1	1	1	1

VRSEL: AGC Function select. 建议 **VRSEL** 设定为 [0].

[0]: RSSI AGC. [1]: wideband AGC.

MS: AGC Manual Scale select. 建议 **MS** 设定为 [0].

[0]: 自动 (RL-RH).

[1]: 手动 (MSCL[4:0], 06h, page 6)。

MSCL[4:0]: AGC Manual Scale setting. 保留内部使用, 建议 **MSCL** 设定为 [00000].

HDM: AGC HOLD select. 建议 **HDM** 设定为 [0].

[0]: No hold.

[1]: Hold Gain Switching when ID is sync.

AGCE: Auto Gain Control enable 启动.

[0]: 关闭. [1]: 启动.

MXD: Mixer Bias Select enable. 建议 **MXD** 设定为 [1].

[0]: 关闭. [1]: 启动.

EXRSI: 保留给内部使用。必须设定为 [0].

LGM [1:0]: LNA Gain 衰减设定. 建议 **LGM** 设定为 [11].

[00]: 0dB. [01]: -6dB. [10]: -12dB. [11]: -18dB.

MGM [1:0]: Mixer Gain 衰减设定. 建议 **MGM** 设定为 [11].

[00]: 0dB. [01]: -6dB. [10]: -12dB. [11]: -18dB.

LGC[1:0]: LNA Gain Check (只读).

MGC[1:0]: Mixer Gain Check (只读).

9.2.7.7 AGC Control II(Address: 06h) Page 7

Address/Name	R/W	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
06h	W	--	--	--	--	--	--	--	--	--	--	--	--	TXIB1	TXIB0	RSAGC1	RSAGC0
AGC2	R	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--
Reset		--	--	--	--	--	--	--	--	--	--	--	--	0	0	0	0

TXIB[1:0]: 保留给内部使用。必须设定为 [00].

RSAGC[1:0]: 保留给内部使用。必须设定为 [00].

9.2.7.8 GPIO (Address: 06h) Page 8

Address/Name	R/W	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
06h	W	WRCKS	MCNT1	MCNT0	DDPC	GIO2S3	GIO2S2	GIO2S1	GIO2S0	G2I	G2OE	GIO1S3	GIO1S2	GIO1S1	GIO1S0	G1I	G1OE
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

WRCKS: WOR参考频率设定。

[0]: WOR 参考频率, 当 PF8M 等于或接近 6.4MHz.

[1]: WOR 参考频率, 当 PF8M 等于或接近 8MHz.

MCNT[1:0]: Main Clock Divider.

[00]: $f_{MCNT} = f_{MSCK}$

[01]: $f_{MCNT} = f_{MSCK} / 2$

[10]: $f_{MCNT} = f_{MSCK} / 3$

[11]: $f_{MCNT} = f_{MSCK} / 4$

请参考第 12 章有更详细的说明。

DDPC (Direct mode data pin control): Direct mode modem data can be accessed via SDIO pin.

[0]: 关闭. [1]: 启动.

GIO2S [3:0]: GIO2 脚位功能设定。

GIO2S [3:0]	TX state	RX state
[0000]	WTR (Wait until TX or RX finished)	
[0001]	EOAC (end of access code)	FSYNC(frame sync)
[0010]	TMEO(TX modulation 启动)	CD(carrier detect)
[0011]	Preamble Detect Output (PMDO)	
[0100]	MCU wakeup signal (TWOR)	
[0101]	In phase demodulator input(DMI) or VT[0](AGC)	
[0110]	SDO (4 wires SPI data out)	
[0111]	TRXD In/Out (Direct mode)	
[1000]	RXD (Direct mode)	
[1001]	TXD (Direct mode)	
[1010]	PDN_RX	
[1011]	External FSYNC input in RX direct mode *	
[1100]	In phase demodulator output (DMOI)	
[1101]	FPF	
[1110]	PDN_TX	
[1111]	FMTDO (FIFO mode TX Data Output testing)	

如果使用 direct mode 并且将 GIO2S 设定为 [1011], 内部的框架同步讯号将会被关闭。在这条件下, MCU 可以发出同步讯号, 经由 GIO2 发给 A7108, 如此可以提供给解调器 DC 的参考电压。

G2I: GIO2 pin output signal invert.

[0]: 非反相输出。 [1]: 反相输出。

G2OE: GIO2 pin output enable.

[0]: High Z. [1]: 启动。

GIO1S [3:0]: GIO1 pin function select.

GIO1S [3:0]	TX state	RX state
[0000]	WTR (Wait until TX or RX finished)	
[0001]	EOAC (end of access code)	FSYNC(frame sync)
[0010]	TMEO(TX modulation enable)	CD(carrier detect)
[0011]	External sync input(for direct mode)(only in SCT=0) Preamble Detect Output (PMDO)(only in SCT=1)	
[0100]	MCU wakeup signal (TWOR)	
[0101]	Quadrature phase demodulator input (DMIQ).or VT[1](AGC)	
[0110]	SDO (4 wires SPI data out)	
[0111]	TRXD In/Out (Direct mode)	
[1000]	RXD (Direct mode)	
[1001]	TXD (Direct mode)	
[1010]	PDN_TX	
[1011]	External FSYNC input in RX direct mode *	
[1100]	Quadrature phase demodulator input (DMOQ).	
[1101]	FPF	
[1110]	Battery Detect flag.(BDF)	
[1111]	FMRDI. (FIFO mode RX input for internal test)	

如果使用 direct mode 并且将 GIO1S 设定为 [1011], 内部的框架同步讯号将会被关闭。在这条件下, MCU 可以发出同步讯号, 经由 GIO1 发给 A7108, 如此可以提供给解调器 DC 的参考电压。

G1I: GIO1 pin output signal invert.

[0]: 非反相输出。 [1]: 反相输出。

G2OE: GIO1pin output enable.

[0]: High Z. [1]: 启动。

9.2.7.9 CKO (Address: 06h) Page 9

Address/Name	R/W	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
06h CKO	W	INTXC	XCL4	XCL3	XCL2	XCL1	XCL0	WSEL2	WSEL1	WSEL0	CKS3	CKS2	CKS1	CKS0	CKOI	CKOE	SCT
Reset		0	1	0	0	0	0	0	1	0	0	0	0	0	0	0	0

INTXC: Internal Crystal Load selection. 建议 INTXC 设定为 [1].

[0]: 使用外部电容 [1]: 使用内建电容

XCL[4:0]: On-chip Crystal Capacitor Load setting. 如果 Xtal Load 是 20pF, 建议 XCL 设定为 [10000].

当 INTXC 设定为 1 时, XCL 便会启动, 并且每个阶段差 1.68 pF

XCL 是芯片内见的电容, 主要是设计来微调 RF 载波的频率飘移

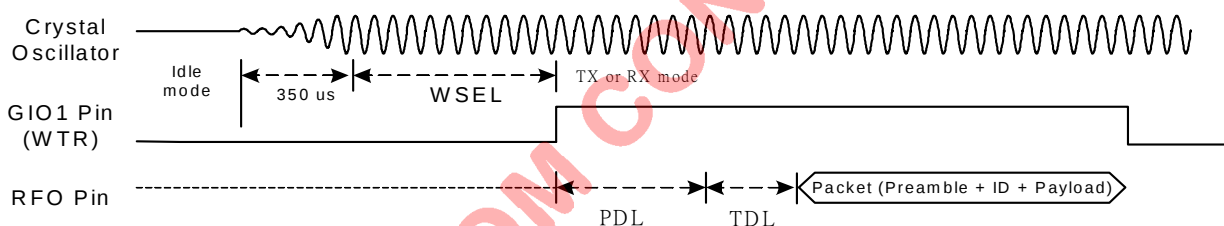
如要更详细的说明, 请参考第 11 章或联系笔科的 FAE。

XCL[4:0]	Xtal C-load (pF)
00000	0
00001	1.68
00010	3.36
...	
11110	50.4
11111	52.08

WSEL[2:0]: Crystal Settling Delay setting (200us ~ 2.5ms). 建议 WSEL 设定为 [001].

[000]: 200us. [001]: 400us. [010]: 800us. [011]: 600us.

[100]: 1ms. [101]: 1.5ms. [110]: 2ms. [111]: 2.5ms.



CKOS [3:0]: CKO pin output select.

[0000]: DCK (TX data clock).

[0001]: RCK (RX recovery clock).

[0010]: FPF (FIFO pointer flag for FIFO extension).

[0011]: Logic OR gate by EOP, EOVCB, EOFBC, EOVC, EOVC and RSSC_OK. (Internal usage only).

[0100]: BBCK.

[0101]: BBCK.

[0110]: BBCK.

[0111]: RTCIN (RTC timer input).

[1000]: WCK.

[1001]: PF8M (F_{SYCK}).

[1010]: ROSC.

[1011]: EOADC.

[1100]: OKADCN.

[1101]: 0.

[1110]: RTCO (RTC timer output).

[1111]: Reserved

CKOI: CKO pin Output signal invert.

[0]: 非反相输出。 [1]: 反相输出。

CKOE: CKO pin Output 启动.

[0]: High Z. [1]: 启动。

SCT: 保留给内部使用。必须设定为 [1].

9.2.7.10 VCO current (Address: 06h) Page 10

Address/Name	R/W	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
06h	W	-	-	-	-	-	-	-	-	-	-	-	VCOC3	VCOC2	VCOC1	VCOC0	MVCS
VCB	R	-	-	-	-	-	-	-	-	-	-	-	VCCF	VCB3	VCB2	VCB1	VCB0
Reset		-	-	-	-	-	-	-	-	-	-	-	0	0	0	0	0

VCOC [3:0]: VCO Current Bank Calibration result.

如果 SWT 设定为 [0]: VCOC= [1000].

如果 SWT 设定为 [1]: 手动设定 VCOC[3:0]. 建议 VCOC 设定为 [0000].

注意: SWT 是为于地址 0Fh 的缓存器, 建议 SWT 设定为[1].

MVCS: VCO current calibration select. 建议 MVCS 设定为 [0].

[0]: 自动。 [1]: 手动。

VCO band 校正结果可由 VCB[2:0]获得。

VCCF : VCO Current Auto Calibration Flag (只读).

[0]: Pass. [1]: Fail.

VCB [2:0]: VCO Current Bank Calibration Value (只读).

MVCS= 0: 自动校正。

MVCS= 1: 手动校正。

9.2.7.11 Channel Group (I) (Address: 06h) Page 11

Address/Name	R/W	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
06h	W					FPL3	FPL2	FPL1	FPL0	IPL7	IPL6	IPL5	IPL4	IPL3	IPL2	IPL1	IPL0
CHG1	R					FPL3	FPL2	FPL1	FPL0	IPL7	IPL6	IPL5	IPL4	IPL3	IPL2	IPL1	IPL0
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

FPL [7:0]: VCO Calibration Fractional Part Setting for Low Boundary Channel Group.

请参考 A7108 的 reference code 设定所要的频率。

IPL [7:0]: VCO Calibration Integer Part Setting for Low Boundary Channel Group.

请参考 A7108 的 reference code 设定所要的频率。

9.2.7.12 Channel Group (II) (Address: 06h) Page 12

Address/Name	R/W	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
07h	W					FPH3	FPH2	FPH1	FPH0	IPH7	IPH6	IPH5	IPH4	IPH3	IPH2	IPH1	IPH0
CHG1	R					FPH3	FPH2	FPH1	FPH0	IPH7	IPH6	IPH5	IPH4	IPH3	IPH2	IPH1	IPH0
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

FPH [7:0]: VCO Calibration Fractional Part Setting for High Boundary Channel Group.

请参考 A7108 的 reference code 设定所要的频率。

IPL [7:0]: VCO Calibration Integer Part Setting for High Boundary Channel Group.

请参考 A7108 的 reference code 设定所要的频率。

9.2.8 TX II (Address: 07h)

Address/Name	R/W	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
07h	W	MCNTR	DPR2	DPR1	DPR0	BT1	BT0	TDL1	TDL0	TXDI	PAC1	PAC0	TDC1	TDC0	TBG2	TBG1	TBG0
TX II	R	ID15	ID14	ID13	ID12	ID11	ID10	ID9	ID8	ID7	ID6	ID5	ID4	ID3	ID2	ID1	ID0
Reset		0	0	0	0	0	0	0	0	0	0	1	1	0	1	1	1

MCNTR: Divided by 2 select.

[0]: $PF8M = f_{MCNT} \div 2$ 公式中的 PF8M 是 base band 的时钟来源之 1。

[1]: $PF8M = f_{MCNT}$

公式中的 $f_{MCNT} = f_{MCK} \div (MCNT[1:0])$, 位于地址 0x06 寄存器 page 8.

请参考第 12 章，有更详细的说明。

DPR [2:0]: Scaling setting for PDL[2:0] and TDL[1:0]. 建议 DPR 设定为 [000].

BT [1:0]: Moving average for non-filter select.

If GS = [0] 高斯滤波器关闭, BT = [00]: not average. [01]: 2 bit average. [10]: 4 bit average. [11]: 8 bit average

If GS = [1] 高斯滤波器开启, BT = [00]: 2.0. [01]: 1.0. [10]: 0.5. [11]: 0.5

TDL[1:0]:TX Settling Delay select.

TDL [1:0]	TX Delay Timer	Note
00	20 us	Recommend
01	40 us	
10	60 us	
11	80 us	

TXDI: TX data inverted. 建议 TXDI 设定为 [0].

[0]: normal. [1]: invert

PAC[1:0]: PA current setting.

请参考第 8 章与 A7108 的 App. Note, 设定可程序化的 TX power。

TDC[1:0]: TX Driver current setting.

请参考第 8 章与 A7108 的 App. Note, 设定可程序化的 TX power。

TBG[2:0]: TX Buffer Gain setting.

请参考第 8 章与 A7108 的 App. Note, 设定可程序化的 TX power。

ID [15:0]: device ID data. Read the IC ID code in this register (只读).

9.2.9 RX I (Address: 08h)

Address/Name	R/W	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
08h RX I	W	ETH2	DMT	MPL1	MPL0	SLF2	SLF1	SLF0	ETH1	ETH0	DMOS	DMG1	DMG0	BW1	BW0	ULS	HGM
Reset		0	0	0	1	1	0	0	0	1	0	0	1	0	0	0	0

DMT: Demodulator test bit. DMT 必须设定为[0].

[0]: Normal (建议值)。

[1]: test mode.

MPL [1:0]: Symbol recovery loop filter setting after ID SYNC. MPL 必须设定为 [01].

SLF [2:0]: Symbol recovery loop filter setting. SLF 必须设定为 [100].

ETH [2:0]: ID code error bit tolerance [Bit15, Bit8, Bit7]. 建议 ETH 设定为 [001].

[000]: 0 bit. [001]: 1bit. [010]: 2 bits. [011]: 3 bits. [100]: 4 bits. [101]: 5 bits. [110]: 6 bits. [111]: 7 bits.

当 ID 同步时, ETH 是用于设定有可容许的错误位数。

DMOS: Demodulator over-sample select. 建议 DMOS 设定为 [0].

[0]: x64. [1]: x32.

DMG [1:0]: Demodulator Gain select. 建议 DMG 设定为 [01].

[00]: x1. [01]: x3. [1x]: x5.

BW [1:0]: IF Band Pass Filter select.

[00]: 50KHz. data rate $\leq$ 50Kbps. (Xtal shall be chosen ± 10 ppm stability in case of RX sensitivity degradation.)

[01]: 100KHz. 50K < data rate $\leq$ 100Kbps.

[10]: 150KHz. 100K < data rate $\leq$ 150Kbps.

[11]: 250KHz. 150K < data rate $\leq$ 250Kbps.

因 A7108 是低中频的收发器, 所以内建的中频率波器有 4 个可选择的频宽(IFBW)。

在开机重启后, 中频滤波器必须重新校正。以效能的观点还看, 较窄的中频频宽(IFBW)有比较好的接受感度。因此, 为了获得好的 IFBW 的校正, 时钟的校正的设定是必需的。

请参考第 12 章与 A7108 的参考程序, 有更详细的说明。

ULS: RX Up/Low side band select. 建议 ULS 设定为 [0].

[0]: Up side band, TX A-terminal frequency – IF = RX B-terminal frequency

[1]: Low side band, TX A-terminal frequency + IF = RX B-terminal frequency

HGM: LNA Gain mode select. 建议 HGM 设定为 [1].

[0]: 低增益。 [1]:高增益。

9.2.10 RX II (Address: 09h)

Address/Name	R/W	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
09h RX II	W	RXDI	PMD1	PMD0	DCV7	DCV6	DCV5	DCV4	DCV3	DCV2	DCV1	DCV0	DCL2	DCL1	DCL0	DCM1	DCM0
	R								ADCO 8	ADCO 7	ADCO 6	ADCO 5	ADCO 4	ADCO 3	ADCO 2	ADCO 1	ADCO 0
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

RXDI: RX Data Invert. 建议 RXDI 设定为 [0].

[0]: 正常。 [1]: 反相。

PMD[1:0]: Preamble pattern detection. 建议 PMD 设定为 [11].

[00]: 0 bit [01]: 4 bits [10]: 8 bits [11]: 16 bits

当 DCM[1:0] 设定为 01, 10, 11, PMD 的设定是有效的。

DCV[7:0]: Data DC average value setting.

DCM (09h)设定为 [00]时, 这个设定才会有效。

DCL[2:0]: Data Length of Peak Detect average setting. 建议 DCL 设定为 [010].

DCL[2:0] is used to let A7108 detects n times “0” or n times “1” to result DC estimation voltage of demodulator.

DCL[2:0]	DC average		Note
	Before ID Sync (preamble detect)	After ID Sync	
000	4	32	
001	8	32	
010	16	32	Recommend
011	32	32	
100	4	64	
101	8	64	
110	16	64	
111	32	64	

举例说明,

如果 DCL[2:0] 设定为 010,

在 ID 同步之前, 每 16 次的“0”与 16 次的“1”会更新 DC 的值。

在 ID 同步之后, 每 32 次的“0”与 32 次的“1”会更新 DC 的值。

DCM [1:0]: Demodulator DC estimation mode. 建议 DCM 设定为 [01].

[00]: DC average set by DCV[7:0],(09h).

[01]: DC holds after preamble detected.

[10]: DC holds after ID detected.

[11]: DC value when chip receive specific data length (set by DCL[:2:0])..

ADCO[8:0]: ADC output of AGC_RSSI (只读).

9.2.11 ADC (Address: 0Ah)

Address/Name	R/W	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0Ah ADC	W	ARSSI	RADC	AVS1	AVS0	MVS1	MVS0	XADS	CDM	RTH7	RTH6	RTH5	RTH4	RTH3	RTH2	RTH1	RTH0
	R	PWR	XEM	PLLEM	TRSM	TREM		VBD1	VBD0	ADC7	ADC6	ADC5	ADC4	ADC3	ADC2	ADC1	ADC0
Reset		0	0	0	0	0	0	0	0	0	0	01	0	0	0	0	0

ARSSI: Auto RSSI measurement 设定.

[0]: 关闭. [1]: 启动.

如在 MCU 发出 RX strobe command 之前, 要自动量测 RSSI, 则 ARSSI 必须设定为 [1] 。

RADC: ADC Read Out Average Mode.

[0]: 1, 2, 4, 8 average mode. 如果 RADC 设定为 0, ADC 的平均值就会由 AVSEL[1:0] (0Ah) 设定。
[1]: 8, 16, 32, 64 average mode. 如果 RADC 设定为 1, ADC 的平均值就会由 MVSEL[1:0] (0Ah) 设定。

AVSEL [1:0]: ADC average mode. 建议 AVSEL 设定为 [00].

[00]: No average. [01]: 2. [10]: 4. [11]: 8.

MVSEL [1:0]: ADC average mode for VCO calibration and RSSI. 建议 MVSEL 设定为 [11].

[00]: 8. [01]: 16. [10]: 32. [11]: 64.

XADS: ADC input signal source select.

[0]: internal temperature sensor or RSSI signal.
[1]: external signal source.

CDM: Carrier Detect 启动

[0]: RSSI/温度量测。
[1]: 载波侦测。

RTH[7:0]: Threshold value of Carrier Detect (Active in RX mode only).

CD (Carrier Detect) =1 when RSSI $\geq$ RTH.
CD (Carrier Detect) =0 when RSSI < RTL.

PWR: Power Status (只读).

[0]: Power off. [1]: Power on.

XEM: Crystal Status (只读).

[0]: 关闭. [1]: 启动.

PLLER: PLL Status (只读).

[0]: 关闭. [1]: 启动.

TRSM: TRX Mode Status (只读).

[0]: RX mode. [1]: TX mode.

TREM: TRX Status (只读).

[0]: 关闭. [1]: 启动.

VBD[1:0]: VCO bias detect (只读).

ADC[7:0]: ADC value (只读).

9.2.12 FIFO (Address: 0Bh)

Address/Name	R/W	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0Bh FIFO	W	FPM1	FPM0	PSA5	PSA4	PSA3	PSA2	PSA1	PSA0	FEP7	FEP6	FEP5	FEP4	FEP3	FEP2	FEP1	FEP0
Reset		0	1	0	0	0	0	0	0	0	0	1	1	0	1	1	1

FPM [1:0]: FIFO Pointer Margin.

Used in FIFO extension mode.

FPM[1:0]	Bytes in TX FIFO	Bytes in RX FIFO
[00]	4	60
[01]	8	56
[10]	12	52
[11]	16	48

PSA [5:0]: Used for Segment FIFO.

Used in FIFO segment mode.

FEP [7:0]: FIFO End Pointer for TX FIFO and Rx FIFO.

FIFO Length Setting = FEP [7:0] +1.

9.2.13 Code (Address: 0Ch)

Address/Name	R/W	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0Ch Code	W	ERSSM	IDL1	WS6	WS5	WS4	WS3	WS2	WS1	WS0	MCS	WHTS	FECS	CRCS	IDL0	PML1	PML0

Reset		0	0	0	1	0	1	0	1	0	0	0	0	0	1	0	1
-------	--	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---

ERSSM : Ending mode for RSSI measurement. 建议 **ERSSM** 设定为 [0].
 [0]: RSSI value frozen before leaving RX.
 [1]: RSSI value frozen when valid frame sync (ID and header check ok).

IDL[1:0]: ID code length setting. 建议 IDL 设定为[01].
 IDL [1:0] = [Bit14, Bit2].
 [00]: 2 bytes. [01]: 4 bytes. [10]: 6 bytes. [11]: 8 bytes.

WS [6:0]: Data Whitening Seed (data encryption key).

MCS: Manchester Code enable.
 [0]: 关闭. [1]: 启动.

WHTS: Data Whitening (Data Encryption) Select.
 [0]: 关闭. [1]: 启动 (The data is whitened by multiplying with PN7).

FECS: FEC Select.
 [0]: 关闭. [1]: 启动 (The FEC is (7, 4) Hamming code).

CRCS: CRC Select.
 [0]: 关闭. [1]: 启动.

PML [1:0]: Preamble Length Select. 建议 PML= [11].
 [00]: 1 byte. [01]: 2 bytes. [10]: 3 bytes. [11]: 4 bytes.

9.2.14 Pin Control (Address: 0Dh)

Address/Name	R/W	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0Dh Pin control	W	RFT2	RFT1	RFT0	PRS	SCMDS	PCS1	PCS	IRQ1	IRQ1	IRQ0	IRQE	CKOI	CKO1	CKO0	CKOE	SCKI
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0

RFT [2:0]: RF Analog Pin Configuration. 建议 RFT 设定为 [000].

{XADS, RFT[2:0]}	BP_BG (Pin 30)	RSSI (Pin 1)
[0000]	Band-gap voltage	RSSI voltage
[0001]	Analog temperature voltage	RSSI voltage
[0010]	Band-gap voltage	No connection
[0011]	Analog temperature voltage	No connection
[0100]	BPF positive in phase output	BPF negative in phase output
[0101]	BPF positive quadrature phase output	BPF negative quadrature phase output
[0110]	RSSI voltage	No connection
[0111]	RSSI voltage	No connection
[1000]	Band-gap voltage	External ADC input source
[1001]	Analog temperature voltage	External ADC input source
[1010]	Band-gap voltage	External ADC input source
[1011]	Analog temperature voltage	External ADC input source
[1100]	No connection	External ADC input source
[1101]	No connection	External ADC input source
[1110]	No connection	External ADC input source
[1111]	No connection	External ADC input source

PRS: Read frequency mode when AFC=1. 建议 PRS 设定为 [0].
 [0]: no frequency compensation.
 [1]: frequency offset in AFC mode

SCMDS: Strobe Command select. 建议 SCMDS 设定为 [1].
 [0]: register control. [1]: strobe control.

PCS1: PWR Setting. 必须设定为[1].
 [1]: PWR is controlled by register or strobe command.
 [0]: PWR is controlled by Pin 25 (PWR_ON).

PCS: TRE and TRS pin control. 必须设定为[1].
 [1]: TRE and TRS are controlled by register or strobe command.
 [0]: TRE and TRS are controlled by Pin 24 (TRE) and Pin 23 (TRS).

IRQI: IRQ Pin Output invert. 必须设定为[0].

[0]: 正常。 [1]: 反相。

IRQ[1:0]: 保留给内部使用。使用 GPIO 取代。必须设定为[00].

IRQE: 保留给内部使用。使用 GPIO 取代。必须设定为[0].

CKOI: CKO pin output invert. 必须设定为[0].

[0]: 正常。 [1]: 反相。

CKO[1:0]: CKO Pin Output select. 必须设定为[00].

[00]: BCK (Bit Clock).

[01]: MRCK (Modulation Rate).

[10]: FPF (FIFO Pointer Flag for FIFO extension).

[11]: reserved.

CKOE: CKO Pin Output 启动. 必须设定为[0].

[0]: High Z. [1]: 启动。

SCKI: 3-wire SPI - Clock Inverted. 建议 SCKI 设定为 [0].

[0]: 正常。 [1]: 反相。

9.2.15 Calibration (Address: 0Eh)

Address/Name	R/W	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0Eh Calibration	W	MSCRC	VTL2	VTL1	VTL0	VTH2	VTH1	VTH0	MVBS	MVB2	MVB1	MVB0	MIFS	MIF3	MIF2	MIF1	MIF0
	R	FCD4	FCD3	FCD2	FCD1	FCD0	DVT1	DVT0	VBCF	VB2	VB1	VB0	FBCF	FB3	FB2	FB1	FB0
Reset		0	0	0	0	0	0	0	0	1	0	0	0	0	1	1	0

MSCRC: CRC Filtering 启动. 建议 MSCRC 设定为 [1].

[0]: 关闭。 [1]: 启动。

VTL[2:0]: VT low threshold setting for VCO calibration. 建议 VTL 设定为 [100].

[000]: VTL=0.1V. [001]: VTL=0.2V. [010]: VTL=0.3V. [011]: VTL=0.4V. [100]: VTL=0.5V. [101]: VTL=0.6V.

[110]: VTL=0.7V. [111]: VTL=0.8V.

VTH[2:0]: VT high threshold setting for VCO calibration. 建议 VTH 设定为 [111].

[000]: VTH=Vdd-0.1V. [001]: VTH=Vdd-0.2V. [010]: VTH=Vdd-0.3V. [011]: VTH=Vdd-0.4V. [100]: VTH=Vdd-0.5V.

[101]: VTH=Vdd-0.6V. [110]: VTH=Vdd-0.7V. [111]: VTH=Vdd-0.8V.

Remark: Vdd =VDD_A (Pin 31).

MVBS: VCO band calibration select.

[0]: Auto. [1]: Manual.

MVB[2:0]: VCO bank 手动 setting. VCO 频率会随着 MVB 减少而递增。

MIFS: IF Filter Calibration Select.

[0]: Auto. [1]: Manual.

MIF[3:0]: IF filter Manual Setting.

FCD [4:0]: IF Filter Auto Calibration Deviation from Goal (只读).

DVT[1:0]: VT output (只读).

[00]: VT< VTL< VTH.

[01]: VTL< VT< VTH.

[10]: No used.

[11]: VTL< VTH< VT.

VBCF: VCO Band Auto Calibration Flag (只读).

[0]: Pass. [1]: Fail.

VB[2:0]: VCO Bank Auto Calibration Result (只读).

FBCF: IF Filter Auto Calibration Flag (只读).

[0]: Pass. [1]: Fail.

FB[3:0]: IF Filter Auto Calibration Result (只读).

9.2.16 Mode control (Address: 0Fh)

Address/Name	R/W	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0Fh	W	DFCD	VBS	SWT	RSSC	VCC	--	WORE	FMT	FMS	CER	PLLE	TRSR	TRER	VBC	FBC	ADCM
Mode control	R	--	--	--	RSSC	--	FECF	CRCF	FMT	FMS	CER	PLLE	TRSR	TRER	VBC	FBC	ADCM
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

DFCD: Data Filter by CD : The received packet is filtered if the input power level is below RTH (0Ah).

[0]: 关闭. [1]: 启动.

VBS: VCO Band adjustment for 433MHz and 868MHz.

[0]: For 315MHz / 470MHz / 915MHz band

[1]: For 433MHz / 868MHz band

SWT: 保留给内部使用。 Shall be 设定为 [0]。

RSSC: RSSI Calibration.

[0]: 关闭. [1]: 启动.

FMT: 保留给内部使用。 必须设定为 [0]。

FMS: Direct/FIFO mode select.

[0]: Direct mode. [1]: FIFO mode.

CER: Chip enable by register.

[0]: chip turn-off. [1]: chip turn-on.

PLLE: PLL enable by register.

[0]: PLL off. [1]: PLL on.

TRSR: TRX Mode select by register.

[0]: RX mode. [1]: TX mode.

When bit TRER=1, the chip will enter TX or RX mode by TRSR register.

TRER: TRX mode 藉由 Register 启动.

[0]: Reserved.

[1]: By register control (CER and TRSR). In FIFO mode, this bit will be cleared after end of packet encountered.

VBC: VCO Bank calibration enable (Auto clear when done).

[0]: 关闭. [1]: 启动.

FBC: IF Filter Bank calibration enable (Auto clear when done).

[0]: 关闭. [1]: 启动.

ADCM: ADC measurement (Auto clear when done).

[0]: 关闭. [1]: 启动.

	Non-Rx mode	RX mode
[0]	None	None
[1]	Temperature measurement	RSSI, carrier detect or external signal source conversion

FECF: FEC flag. (FECF is read clear.)

[0]: FEC pass. [1]: FEC error.

CRCF: CRC flag. (CRCF is read clear.)

[0]: CRC pass. [1]: CRC error.

10. SPI 界面

A7108 可使用 3 线式(SCS, SCK, SDIO)或 4 线式的(SCS, SCK, SDI 与 SDO (可设定由 GIO1 或 GIO2 输出))SPI 与 MCU 沟通, 并且速度最快可达 10Mbps。一个完整的 SPI 传输是 24-bits 的序列, 其中包含 8-bits 的地址与 16-bits 的数据。NCU 可以藉由将 A7108 的 SCS(SPI chip select)脚位设定为 Low, 用以启动 A7108 SPI 电路。藉由 SPI, 使用者可以读写**控制缓存器(control registers)**并发出**Strobe commands**。当 MCU 执行 SPI 数据写入时, 在 SCK 的上升缘时 SDIO 的数据会被栓锁进入 A7108。反之, 当 MCU 执行 SPI 数据读出时, 当地址写入后, 数据输出会对齐 SCK 的下降缘。因此, MCU 可以利用 SCK 上升缘将资料读取出来。

10.1 SPI Format

Address Byte(8 bits)								Data words(16 bits)																
R/W	Command				Address				Data															
A7	A6	A5	A4	A3	A2	A1	A0	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	

SPI format

Address Byte (8 bits):

Bit A7: R/W bit

[0]: 写入的程序。

[1]: 读出的程序。

Bit A6~A4: Command

[00x]: 读/写 缓存器。

[01x]: 读/写 ID code。

[10x]: 读/写 FIFO缓存器。

[110]: 重置 TX/RX FIFO指标。

[111]: 重置 A7108 RF(只重置 RF 缓存器)。

Bit A3~A0: Address of control register

Strobe Command table:

Address Byte (8 bits)								description
A7	A6	A5	A4	A3	A2	A1	A0	
0	0	0	0	A3	A2	A1	A0	写入控制缓存器
1	0	0	x	A3	A2	A1	A0	读取控制缓存器
0	0	1	x	x	x	x	x	写入 ID code
1	0	1	x	x	x	x	x	读取 ID code
0	1	0	x	x	x	x	x	写入 TX FIFO
1	1	0	x	x	x	x	x	读取 RX FIFO
x	1	1	1	x	x	x	x	软件重置/Software Reset
0	1	1	0	x	x	x	x	重置 TX FIFO 地址指针
1	1	1	0	x	x	x	x	重置 RX FIFO 地址指针
0	0	0	1	0	0	0	0	Sleep mode
0	0	0	1	0	0	1	0	Idle mode
0	0	0	1	0	1	0	0	Standby mode
0	0	0	1	0	1	1	0	PLL mode
0	0	0	1	1	0	0	0	RX mode
0	0	0	1	1	0	1	0	TX mode
0	0	0	1	1	1	0	0	Deep sleep mode (tri-state)
0	0	0	1	1	1	1	1	Deep sleep mode (pull-high)

说明: X (可忽略)。

控制缓存器的长度为16 bits, 依序是从D15到D0。

10.2 SPI 时序图

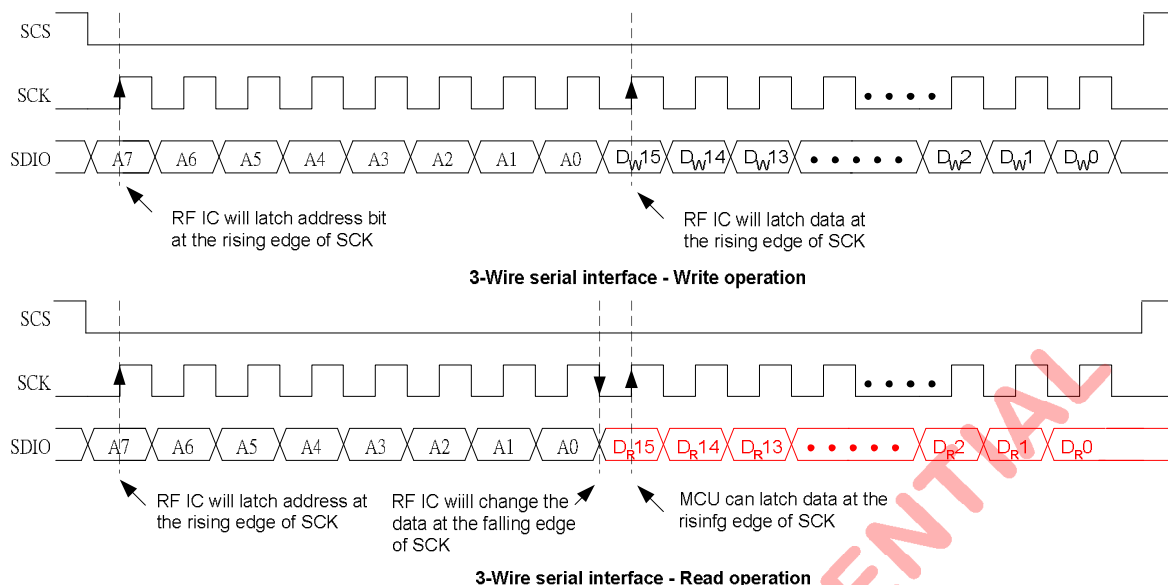


图 10.1. SPI 读/写时序

10.3 操作控制缓存器(Control register)

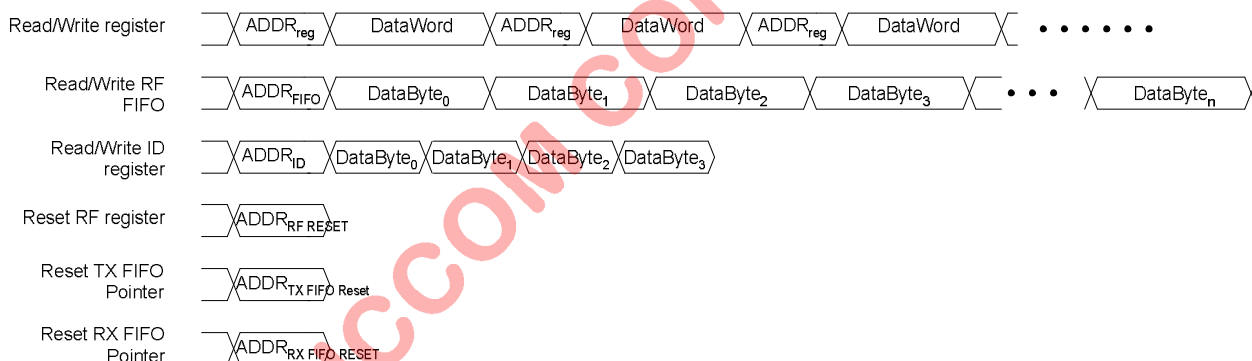


图 10.2. 控制缓存器操作方法

10.4 SPI 时序特性

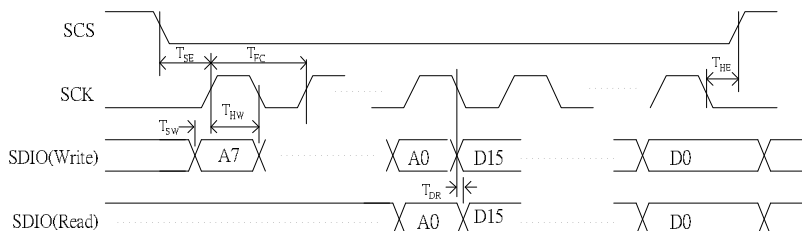


图 10.3 SPI 时序图

Parameter	Description	Min.	Max.	Unit
T_{FC}	Clock frequency.		10	MHz
T_{SE}	SCS setup time.	50		ns
T_{HE}	SCS hold time.	50		ns
T_{SW}	SDIO setup time.	50		ns

T_{HW}	SDIO hold time.	50		ns
T_{DR}	SDIO delay time.	0	100	ns
T_{HR}	SDIO hold time.	0		ns

10.5 重置命令/Reset Command

如下图所示，MCU 可以经由 SPI 发出 Reset Command。这个软件的 reset command 可以重置 A7108。在重置后，A7108 是处于 standby 模式。

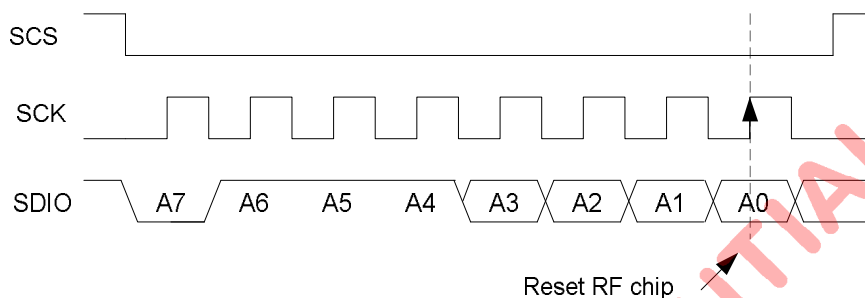


图 10.5 Reset Command 时序图

10.6 重置 TX FIFO 指标/Reset TX FIFO Pointer

如下图所示，重置 TX FIFO 指标的 SPI 时序图。在 bit A0 时的 SCK 的下降缘，TX FIFO 的地址指针会重置为 0x00。

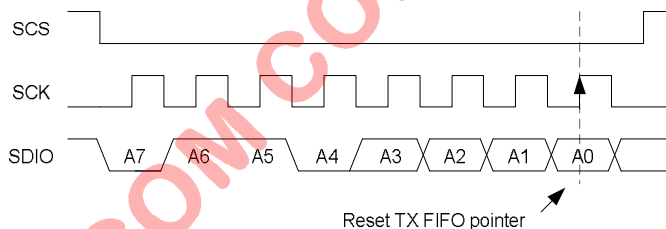


图 10.6 TX FIFO Pointer Reset 时序图

10.7 重置 RX FIFO 指标/Reset Rx FIFO Pointer

如下图所示，重置 RX FIFO 指标的 SPI 时序图。在 bit A0 时的 SCK 的下降缘，RX FIFO 的地址指针会重置为 0x00。

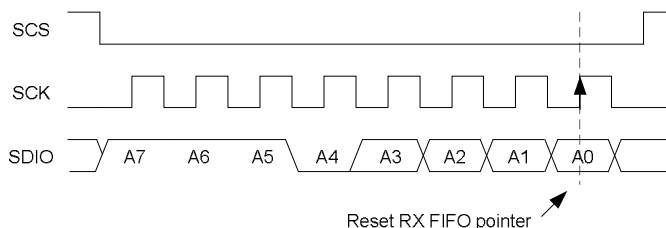


图 10.7 RX FIFO Pointer Reset 时序图

10.8 读写 ID 命令

A7108 内建 32-bits ID 缓存器，可方便客户自订 ID。使用者可以用 SPI 设定这各缓存器。ID 的长度由 IDL 设定，建议设定为 32 bits。时序图如下所示。ID 缓存器一般用于 FIFO Mode，用来比对封包的 ID 是否一致，如果一致，则 A7108 会产生 Frame Sync 讯号，并将 payload 收入 RX FIFO 内。

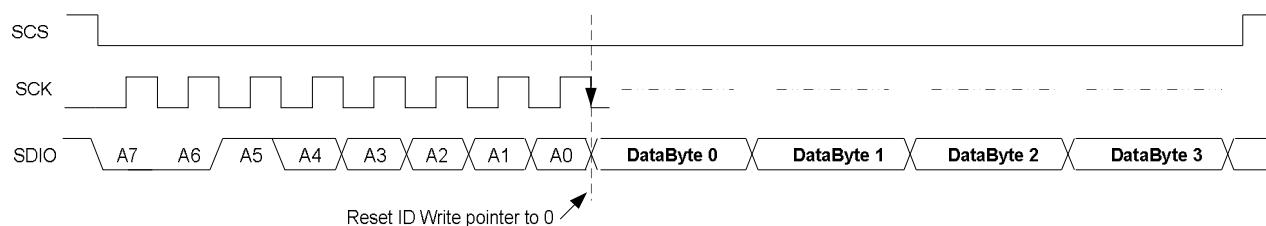


图 10.8 ID Write Command 时序图

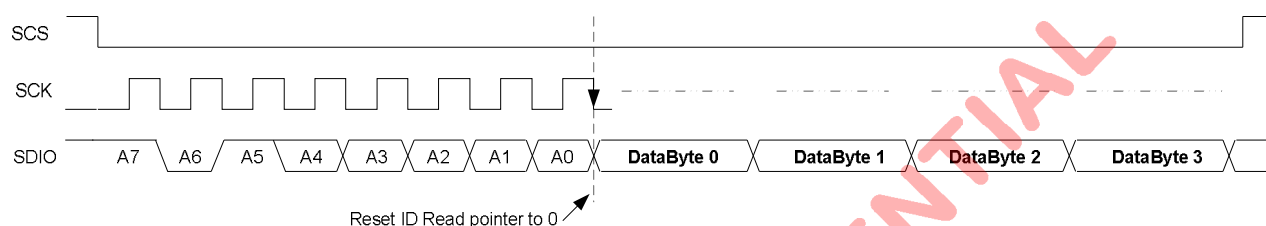


图 10.9 ID Read Command 时序图

10.9 读写 FIFO 命令/FIFO R/W Command

TX FIFO Write Command

依据命令表，为了使用 TX FIFO，使用者并须在 address byte 写入相对应的命令，然后继续将要传送的数据写入 Data Bytes。并在完成全部的写入动作后将 SCS 设定为 1。

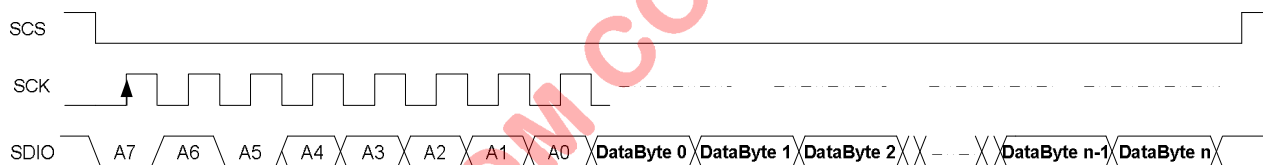


图 10.10 TX FIFO Write Command 时序图

RX FIFO Write Command

依据命令表，为了使用 RX FIFO，使用者并须在 address byte 写入相对应的命令，然后继续读取在 RXFIFO 里的数据。并在完成全部的读取动作后将 SCS 设定为 1。

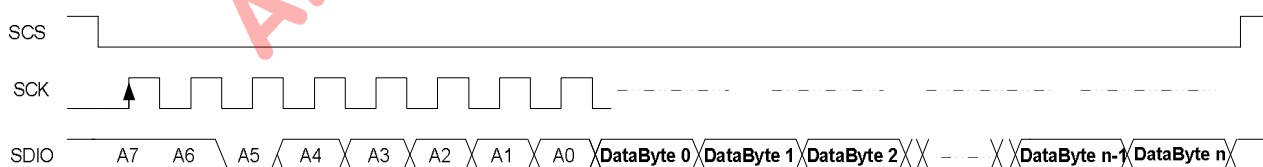


图 10.11 RX FIFO Read Command 时序图

11 石英振荡器(Crystal Oscillator)

为了产生内部所需的频率，A7108 需要使用外部的石英振荡器或是外部时钟。

相关控制缓存器

Crystal (Address: 05h)

Address/Name	R/W	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
05h Crystal	W	PGAS3	PGAS2	PGAS1	PGAS0	CRCE	CRCINV	RTOE	RTCI	RTC1	RTC0	RTCE	XCC	XCP1	XCP0	CGS	XS
Reset		0	0	0	0	0	0	0	0	0	0	0	1	1	0	0	0

11.1 使用外部的石英振荡器

如图 12.1 所示，石英振荡器的网络连接到XI与XO脚位。用于调整石英振荡器的负载电容C1 与 C2 电容已经内建于A7108内部。使用者可设定INTXC [4:0] (06h, 第 9页)以符合负载电容的需求。A7108可使用精确度在 ± 30 ppm的低成本石英振荡器，其中，，石英振荡器精确率包含初始值误差，温度飘移与石英振荡器的负载电容。

CKO (Address: 06h) Page 9

Address/Name	R/W	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
06h CKO	W	INTXC	XCL4	XCL3	XCL2	XCL1	XCL0	WSEL2	WSEL1	WSEL0	CKS3	CKS2	CKS1	CKS0	CKOI	CKOE	SCT
Reset		0	1	0	0	0	0	0	1	0	0	0	0	0	0	0	0

注意：设定 XS 为 1 (05h) 与 INTXC(06h, page 9) 启动外部石英振荡器。

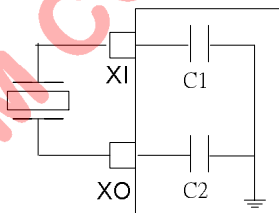
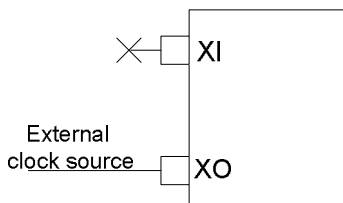


图 11.1 外部石英振荡器线路网络

11.2 使用外部的时钟

为了可以使用外部时钟输入，A7108 内建 AC couple 电容。线路连接的方式如图 11.2 所示，XI 脚位空接。

请注意：设定 XS 为 0 (05h)选则外部时钟 (启动 AC couple 电容)。外部时钟的频率精确度必须控制在 ± 30 ppm 并且 clock swing (峰对峰值) 必须大于 1.0V。



外部时钟的频率精确度必须 ± 30 ppm 并且 V_{pp} (峰对峰值) 必须大于 1.0V。

图 11.2 外部时钟线路线路

12. 系统频率

A7108 的主要系统时钟， F_{MCK} ，是由 Xtal 石英振荡器得来或是由内部的时钟产生器获得。内部的时钟产生器是用于支持多石英振荡器与各种不同的传输速度。

12.1 时钟产生器

因为 F_{MCK} 是各种内部参考时钟的基础，如中频校正时钟，传输速度时钟与基频时钟。所以在内部有许多频率除法器，这些除法器的设定缓存器有 CSC, SDR, DMOS, MCNT 与 MCNTR。表 12.1 列出重要的限制与如何设定这些缓存器。图 12.1 系统时钟区块图。

讯号	Constraints	Note
F_{MCK} (main system clk)	如果 CGS = 0, F_{MCK} 为 Xtal freq. 如果 CGS = 1, F_{MCK} 为 Clk Gen	如果使用 Clk Gen, 则依据 GRC 与 GRS 的设定, F_{MCK} 的范围是 20M ~ 50MHz。
DCK (data rate clock)	$DCK = \frac{1}{128} \cdot \frac{f_{CSC}}{SDR[6:0] + 1}$	DCK 是欲传输的速度。
Demodulator Oversample	$F_{MCK} = F_{IFREF} \times (64)$	DMOS 设定为 1, 使用 64 oversample
IFBW calibration	IF Filter BW = $F_{IFREF} \times (2)$	F_{IFREF} 是从 F_{MCK} 衍生出来
PF8M	等于或接近 6.4MHz	好的 WOR 校正需设定 WRCKS 为 0
	等于或接近 8MHz	好的 WOR 校正需设定 WRCKS 为 1

Table 12.1 主要讯号的限制与用途。

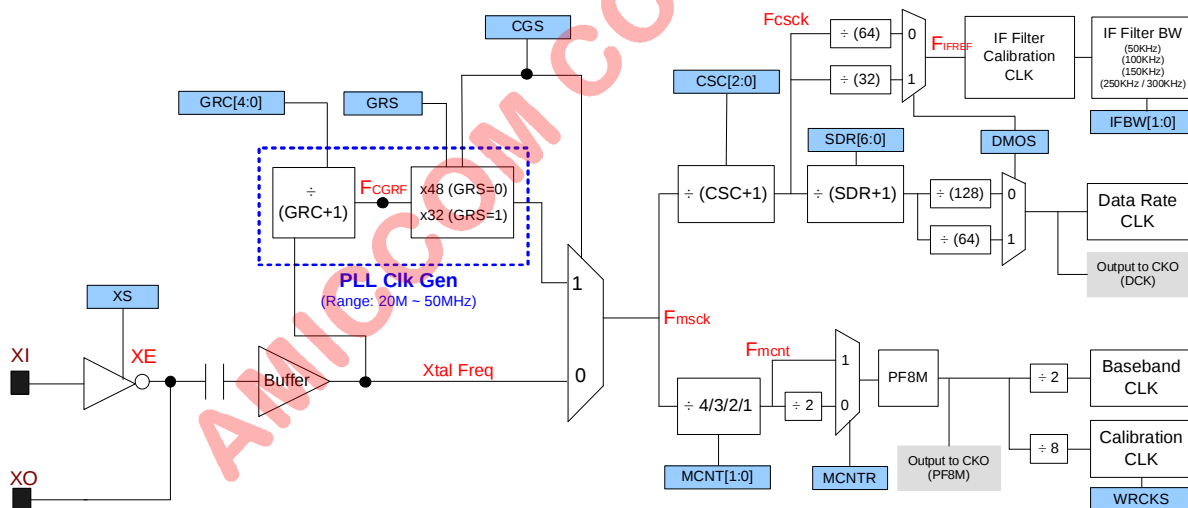


图 12.2 系统时钟区块图

12.2 系统时钟与中频滤波器

一般而言，在开始规划系统时，传输速度是第一个考虑要素。当选定速度后，A7108 提供四个中频频宽(IFBW)选项，分别是 50KHz, 100KHz, 150KHz 与 250KHz，使用者可依据接收灵敏度与频偏做选择。

表 12.2 列出建议的中频频宽与传输速度。以 10Kbps 为例，对应到 50KHz IFBW。在这个例子中，因为窄的 IFBW，如果使用者想要好的接收灵敏度，则必需使用 ± 10 ppm 石英震荡器。然而使用者亦可选择 100KHz IFBW，并使用 ± 20 ppm 的石英震荡器，但会造成接收灵敏度的下降。

Data rate	IFBW	F_{IFREF}	Constraints
2K ~ 50kbps	~ 50kHz	~ 50kHz x 2	The actual IFBW is double of F_{IFREF} which is derived from system clock.
≤ 100 kbps	~ 100kHz	~ 100kHz x 2	

$\leq 150\text{kbps}$	$\sim 150\text{kHz}$	$\sim 150\text{kHz} \times 2$	
$\leq 250\text{kbps}$	$\sim 250\text{kHz}$	$\sim 250\text{kHz} \times 2$	

表 12.2 中频频宽 与传输速度对应表

12.3 设定说明-以 12.8MHz 石英振荡器与 10Kbps 传输速度为例

因为 IFBW 对于接收灵敏度影响很大。所以 A7108 提供 IFBW 校正功能以减少半导体制程造成的漂移。要有好的 IFBW 校正，相关的设定与暂器(F_{MSCK} , F_{IFREF} 与 DCK)就必须设定正确。图 12.2 说明详细的设定。

1. 传输速定 10Kbps
2. 选定石英振荡器 12.8MHz
3. 不使用内部的时钟产生器(clock generator)
4. $\text{BW} = 50\text{kHz}$ ，故 $\text{IFBW}[1:0]$ 设定为[00]

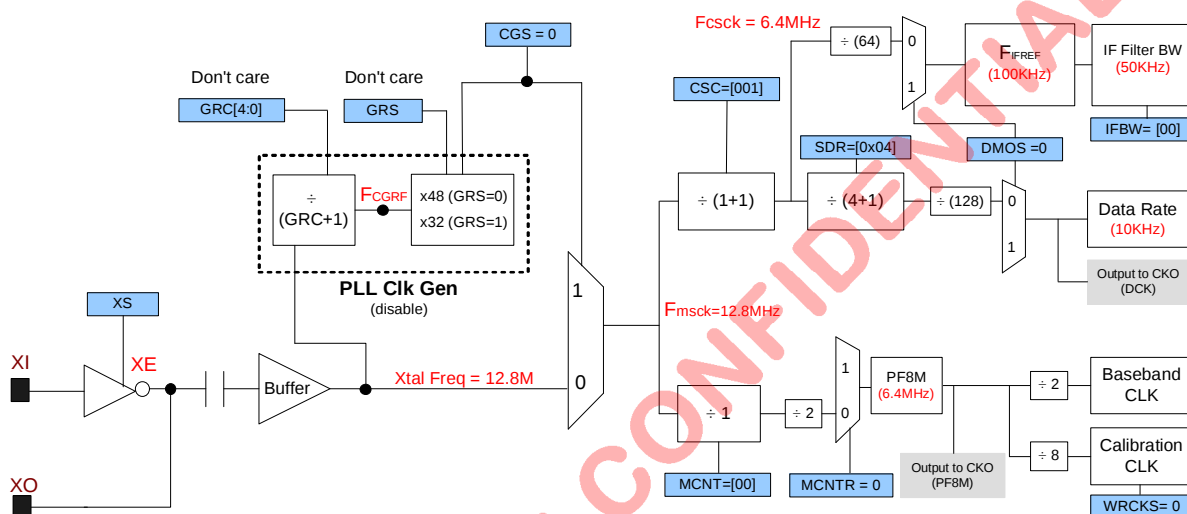


图 12.2 10Kbps 与 IFBW = 50KHz 设定

5. 如果 IFBW 是 100KHz, 请参考图 12.3，并设定不同的 CSC 与 F_{CSCCK} .
6. 传输速定 10Kbps
7. 选定石英振荡器 12.8MHz
8. 不使用内部的时钟产生器(clock generator)
9. $\text{BW} = 100\text{kHz}$ ，故 $\text{IFBW}[1:0]$ 设定为[01]

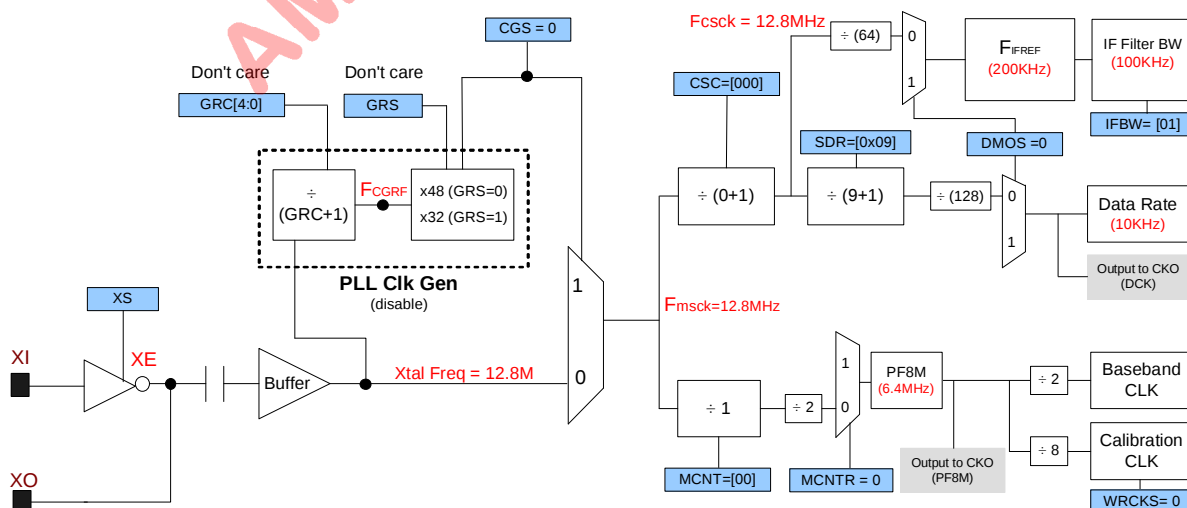


图 12.3 10Kbps 与 IFBW = 100KHz 设定

12.4 设定说明-使用 19.6608MHz 石英振荡器设定特别的传输速度为例

A7108 支持常用的传输速度，如 10K, 50K, 100K, 150K, 250Kbps。但如是特别的速度 38.4Kbps，则必须使用特殊读石英振荡器与内部的时钟产生器。并设定 DCK 与 IFBW。图 12.4 说明这些设定。

1. 传输速定 38.4Kbps
2. 选定石英振荡器 19.6608MHz
3. 不使用内部的时钟产生器(clock generator)
4. BW = 150KHz，故 IFBW[1:0] 设定为[10]

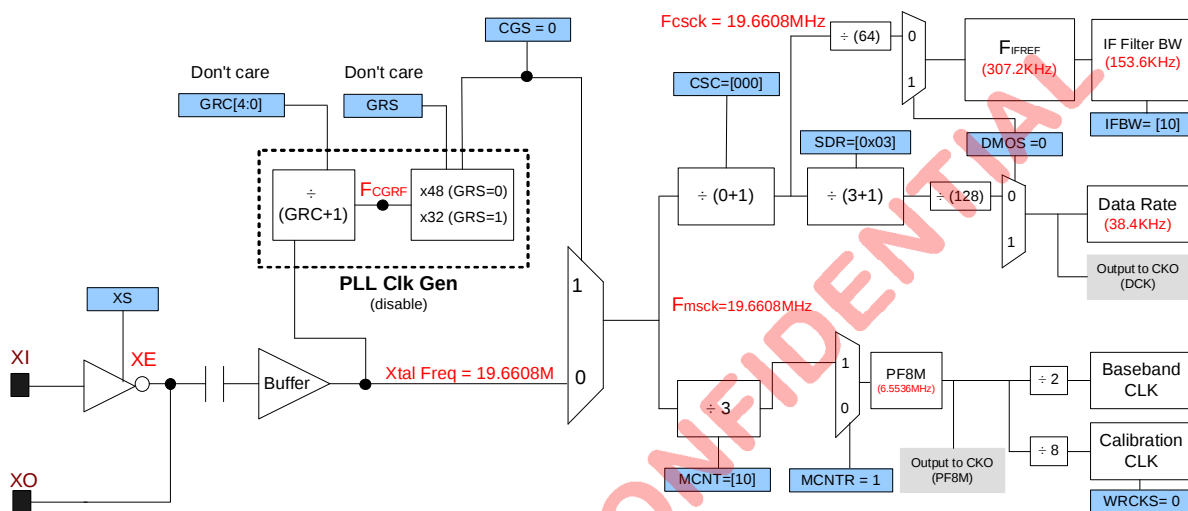


Figure 12.4 Configurations of 38.4Kbps IFBW = 153.6KHz 与 38.4KHz 的说明

5. 如果 IFBW 设定为 [11]。因为 F_{IFREF} ，IFBW 将会从 250KHz 变成 307.2KHz。(如果 IF Filter 校正成功，较高的 F_{IFREF} 会导致较大的 IF 频宽)。请参考图 12.5，并设定不同的 CSC 与 F_{CSCCK} 。
6. 传输速定 38.4Kbps
7. 选定石英振荡器 19.6608MHz
8. 使用内部的时钟产生器(clock generator)
9. IFBW = 307.2KHz

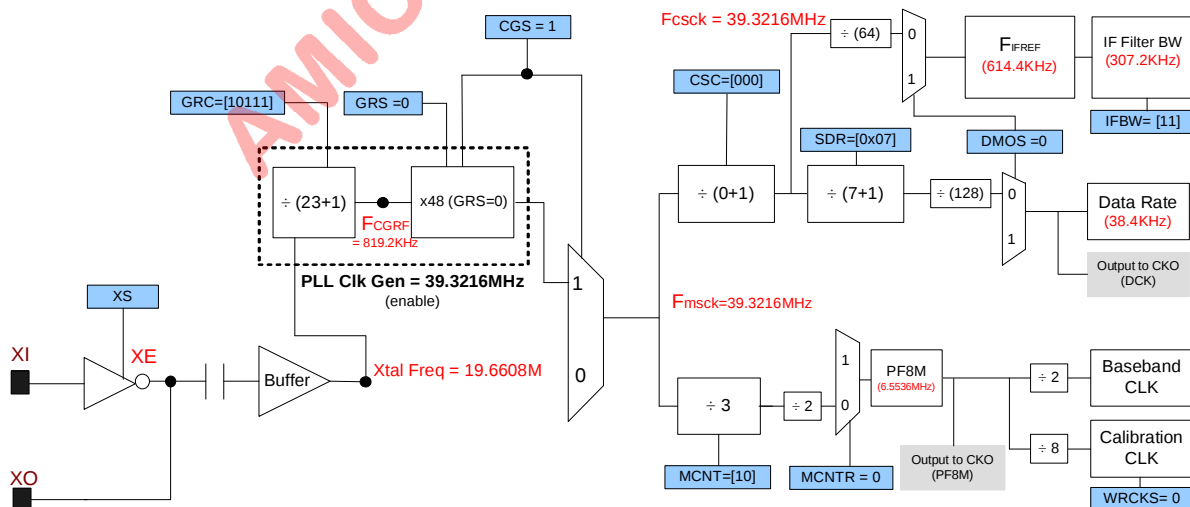


Figure 12.5 Configurations of 38.4Kbps when IFBW = 307.2KHz

13. 收发器频率

A7108 可以操作在 315/433/470/868/915MHz 等频段中的任何频率。由 VCO 的频率(F_{Lo})与相关的 MD 与 VBS 的设定可得到 RF 频率(F_{RF})。依据下列的公式与下图的说明, 只要依 IP[7:0], FP[15:0]与 RRC[3:0]设定 VCO 频率, 并设定 MD[1:0]就可以得到想要的 RF 频率。

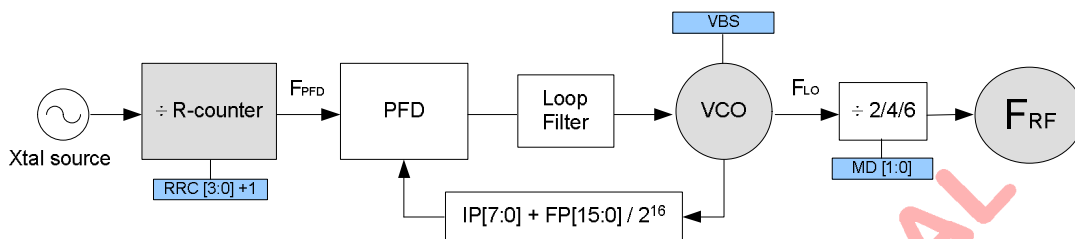


图 13.1 频率合成器的方块图

$$f_{RF} = \frac{1}{n} f_{PFD} \cdot (IP[7:0] + \frac{FP[15:0]}{2^{16}}) \quad (\text{unit: Hz})$$

公式中的 f_{RF} 是 RF 频率, n 是 VCO 除数。

公式中 $f_{PFD} = f_{Xtal} \div (RRC[3:0] + 1)$, 是 RF_PLL 的比较频率。

设定 MD = [01], 则 $n = 2$, 是使用 868M / 915MHz band

设定 MD = [10], 则 $n = 4$, 是使用 433M / 510MHz band

设定 MD = [11], 则 $n = 6$, 315MHz band

注意 1: MD[1:0] 位于地址 04h [Bit12, Bit8].

举例说明, 当Xtal使用12.8MHz并且设定到 433.2MHz。

1. 设定 RRC 为 [000], (F_{PFD}) = Xtal frequency = 12.8MHz.
2. 设定 VBS (0Fh) 为 [1], 433MHz band. 的设定。
3. 设定 MD (04h) 为 [10], 433MHz band 的设定, 并且 n 是 4.
4. 设定整数部份, IP [7:0]。设定 IP[7:0] 为 135, 16 进制为 0x87

基于 IP [7:0] 的范围与下面的公式, MDIV (01h) 需设定为 [1]。

MDIV 为 [0], 当 $32 \leq IP[7:0] \leq 67$.

MDIV 为 [1], 当 $68 \leq IP[7:0] \leq 255$.

5. 设定小数部份, FP [15:0]。设定 FP 为 39342, 16 进制为 0x99AE

6.

$$f_{RF} = \frac{1}{n} f_{PFD} \cdot (IP[7:0] + \frac{FP[15:0]}{2^{16}}) = \frac{1}{4} \times 12.8 \times (135 + \frac{39342}{2^{16}}) = 433.921 \text{ (MHz)}$$

7. 对于 TX 发射频率 (F_{TXRF}) 等于 F_{RF} .

8. 因为 Low-IF 架构, RX LO 频率 (F_{RXLO}) 应该设定偏移一个中频(F_{IF})

当 ULS (08h) 为 0 是使用 up side band, RX LO 频率 $F_{RXLO} = F_{TXRF} - F_{IFREF}$

14. 状态机

A7108 有 7 个主要的操作模式，表 14.1 是依功耗大小所排列。如果 FMS 是 1 (0Fh)，则 A7108 则是 FIFO mode，反之则是在 direct mode。

14.1 Key Strobe Commands

依据耗电排列，A7108有以下7个FIFO操作模式，分别是

- (1) Deep Sleep mode
- (2) Sleep mode
- (3) Idle mode
- (4) Standby mode
- (5) PLL mode
- (6) TX mode
- (7) RX mode

在供电开机，硬件重置，软件重置与Deep sleep mode后，因为全部的设定都是在初始值，使用者必须重做校正流程。A7108的校正流程非常的简单，使用者只要发出Strobe command并设定启动校正缓存器。全部的校正流程会依A7108内部的状态机自动完成。依据不同的strobe command会有不同的电路做动，就如表 14.1所示。

Mode	Register retention	Regulator	Xtal Osc.	VCO	PLL	RX	TX	Strobe Command
Deep Sleep (Tri-state)	No	OFF	OFF	OFF	OFF	OFF	OFF	(0001-1100)b
Deep Sleep (pull-high)	No	OFF	OFF	OFF	OFF	OFF	OFF	(0001-1111)b
Sleep	Yes	ON	OFF	OFF	OFF	OFF	OFF	(0001-0000)b
Idle	Yes	ON	OFF	OFF	OFF	OFF	OFF	(0001-0010)b
Standby	Yes	ON	ON	OFF	OFF	OFF	OFF	(0001-0100)b
PLL	Yes	ON	ON	ON	ON	OFF	OFF	(0001-0110)b
TX	Yes	ON	ON	ON	ON	OFF	ON	(0001-1000)b
RX	Yes	ON	ON	ON	ON	ON	OFF	(0001-1010)b
SW RST								(x111-xxxx)b

说明：“x” 意思为“可忽略”

表 14.1. 操作模式 与 Strobe command

14.2 FIFO mode

当设定 FMS =1 时，A7108 就是在 FIFO mode。这个模式是非常适合一般用途的应用。在校正后，使用者可以发出 Strobe command 并进入 standby mode，可以将数据写入 TX FIFO 或是从 RX FIFO 读出数据。仅要一个 Strobe command，就可以从 standby mode 进入数据传输模式。一旦传输结束，A7108 会自动回到 standby mode。图 14.1 与 图 14.2 分别是 TX 与 RX 时序图。图 14.3 介绍 FIFO mode 的状态图。

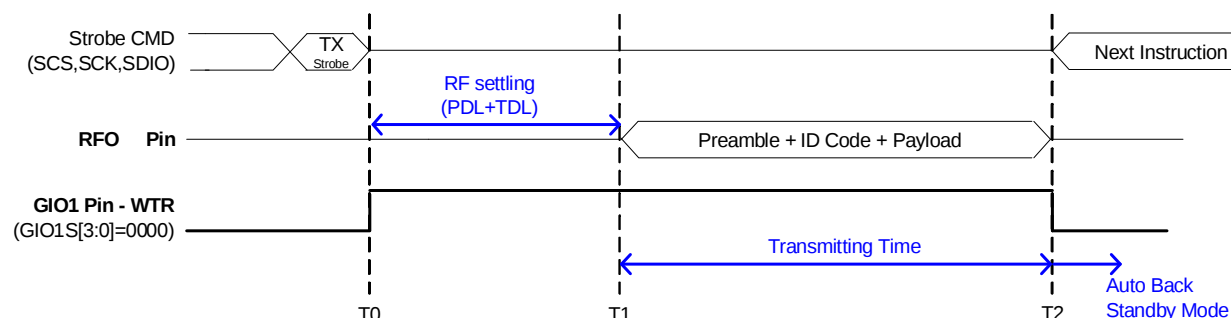


图 14.1 FIFO Mode 的 TX 时序图

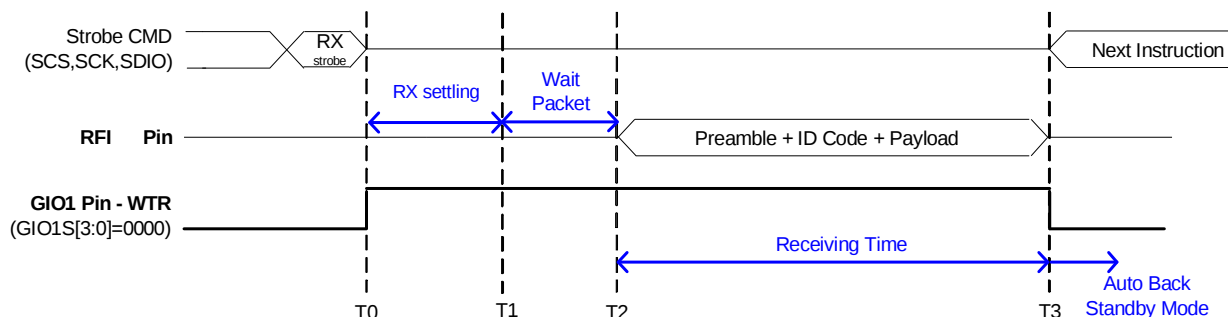


图 14.2 FIFO Mode 的 RX 时序图

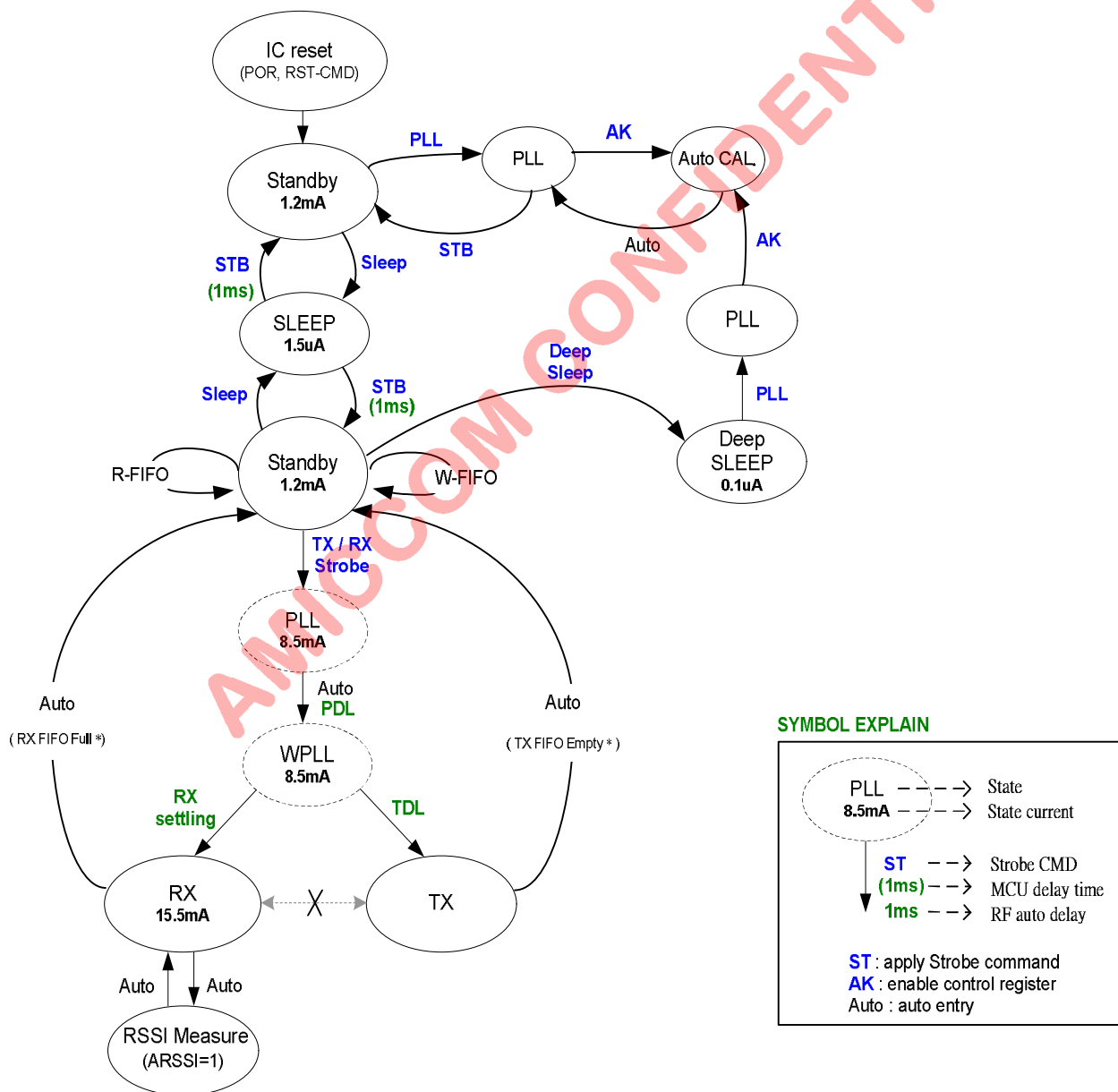


图 14.3 FIFO Mode 状态图

14.3 Direct mode

经由设定 $FMS=0$ ，MCU 可以经由 A7108 送出定制化的封包。在 TX mode，MCU 必须将定制化的封包依序一个 bit 接着一个 bit 传送至 GIO1 或 GIO2。在 RX mode，被接收下来的数据会可以被设定到 GIO1 或 GIO2 输出。但请注意，为了提供 A7108 比较适当的 DC 参考电压，定制化封包的 preamble 要有 32-bit 的长度。在校正程序后 或 每个传输程序后，使用者必须使用 Strobe command 完全的控制 A7108。Direct mode 是适用于各式各样的封包格式。

图 14.4 与 图 14.5 分别是 Direct mode 在 TX 与 RX 时序图。图 14.6 是 direct mode 的状态图。

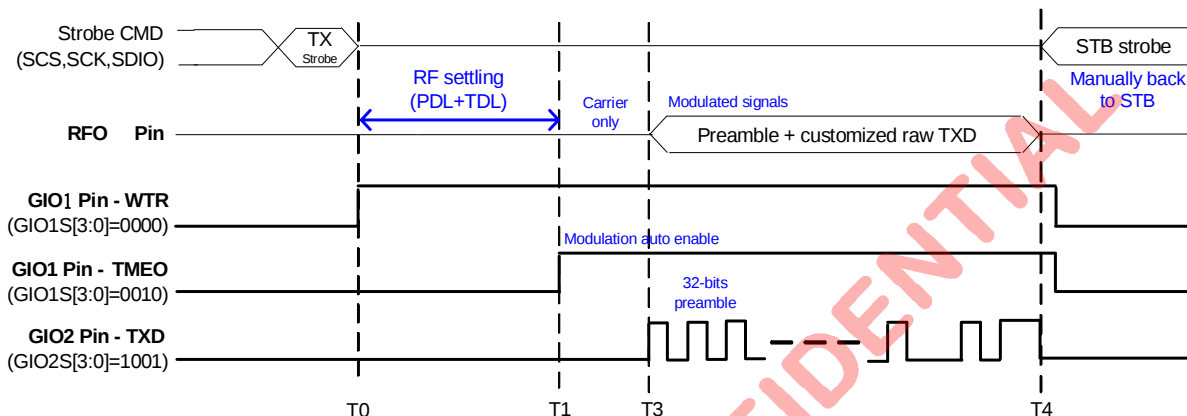


图 14.4 Direct Mode TX 时序图

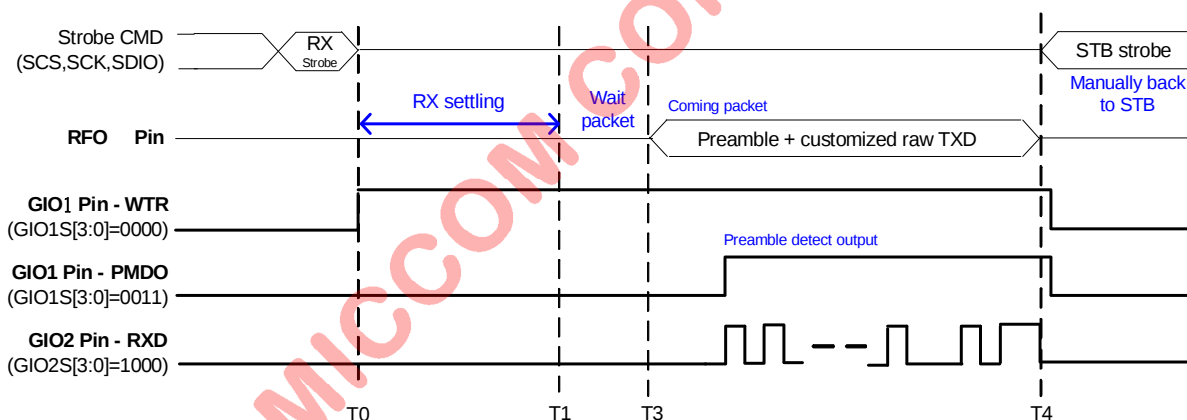


图 14.5 Direct Mode RX 时序图

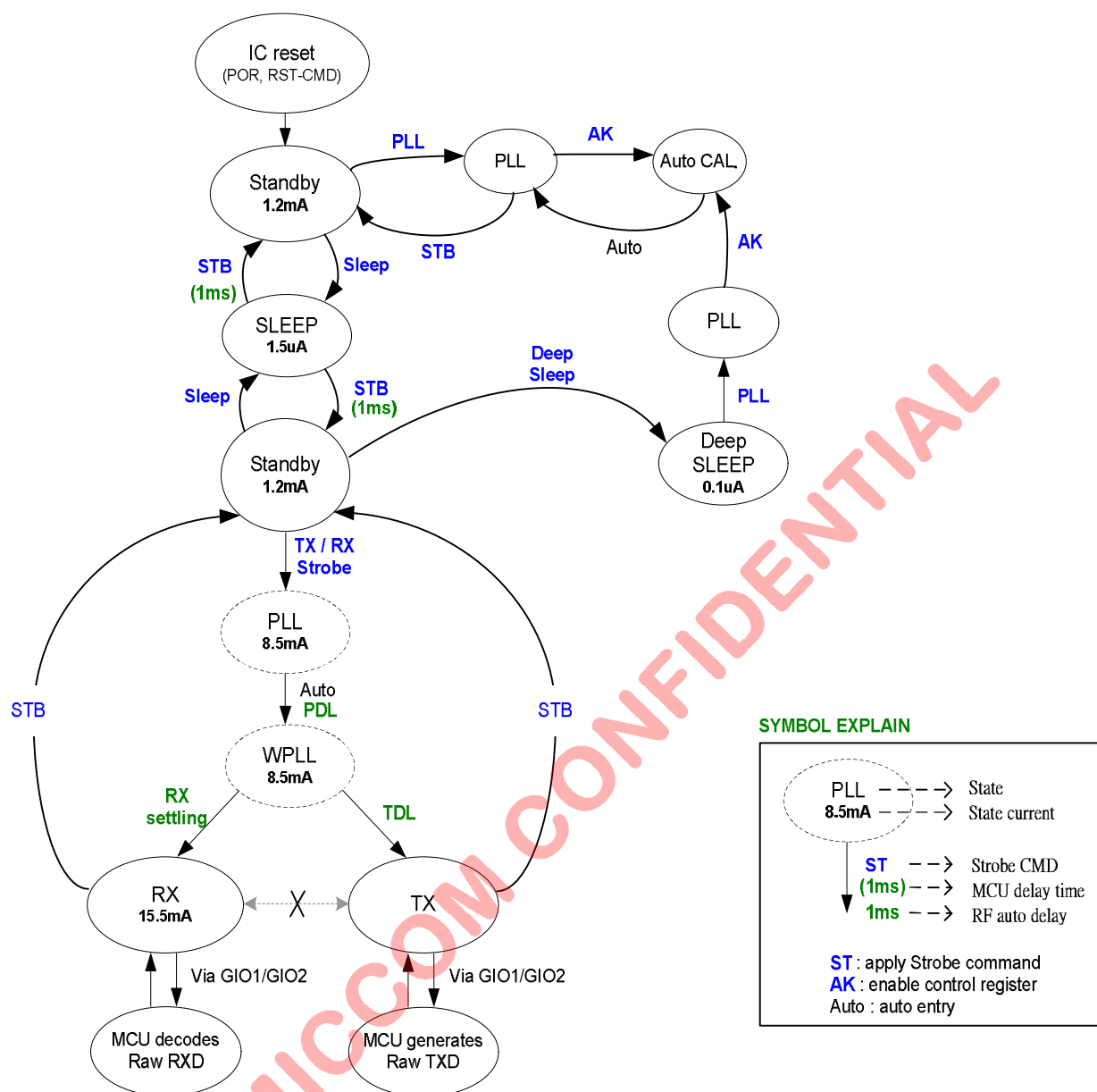


图 14.6 Direct Mode 状态图

15. 校正(Calibration)

在初始化的校正流程中，A7108 须要校正两个项目。分别是 IF CAL (中频滤波器校正 IF Filter calibration) 与 VCO band CAL (VCO band 校正)。

1. VCO Bank 校正项目是在要使用的频率中选择最好的 VCO frequency bank。
2. IF Filter Bank 校正以中心频率校正最好的 IF 滤波器频宽。

请注意，VCO Bank 校正只能在 PLL mode 中使用。IF Filter Bank 则可以在 PLL mode 或是 standby 中使用。

15.1 IF 校正流程

当 A7108 在 Standby mode 时(XOSC 是开启的)，可以设定 MIFS = 0(自动校正)或设定 MIFS=1(手动校正)执行 IF 校正。当设定 FBC=1 时，A7108 会进入 CAL 状态，并且开始校正流程。

如果在设定 FBC 为 1 时，A7108 没有在 standby 状态，则不会开始校正流程。直到回到 Standby 状态时，才会开始校正。当校正完成，FBC 会自动清除为 0，并且 A7108 会离开 CAL 状态回到 Standby 状态。

如果同时设定 TRER=1，FBC=1 或 VBC=1，A7108 会先进入 CAL 状态并在完成 IF 滤波器校正或 VCO band 校正流程后，A7108 会进入 TX/RX 状态。而 A7108 所须要的 IF 校正最大校正时间大约是 $16 * 256 * (1 / \text{系统时钟})$ 。

15.2. VCO band 校正流程

在 VCO band 校正之前，使用者必须先设定 PLL I 与 PLL II 两个寄存器，并且设定操作频率。换言之，VT (VTH[2:0]，VTL[2:0]) 与 VCO 的范围必需先设定好。

当 A7108 在 Standby 状态时(XOSC 是工作的)，如要校正 VCO band，可以有以下两种方法，设定 MVBS 为 0 (自动校正) 或设定 MVBS 为 1 (手动校正)。当设定 VBC 为 1 后，A7108 会进入 CAL 状态，并且开始校正流程。如过在设定 VBC 为 1 时，A7108 没有在 Standby 状态，则不会开始校正流程。直到回到 Standby 状态时，才会开始校正。当校正完成，VBC 会自动清除为 0，并且 A7108 会离开 CAL 状态回到 Standby 状态。

如果同时设定 TRER=1，FBC=1 或 VBC=1，A7108 会先进入 CAL 状态并在完成 IF 滤波器校正或 VCO band 校正流程后，A7108 会进入 TX/RX 状态。而 A7108 所须要的 IF 校正最大校正时间大约是 $16 * 256 * (1 / \text{系统时钟})$ 。

如果同时设定 TRER=1，FBC=1 或 VBC=1，A7108 会先进入 CAL 状态并在完成 IF 滤波器校正或 VCO band 校正流程后，A7108 会进入 TX/RX 状态。而 A7108 所须要的 VCO band 校正最大校正时间大约是 4 倍的 PLL settling time。

Calibration (Address: 0Eh)

Address/Name	R/W	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0Eh	W		VTL2	VTL1	VTL0	VTH2	VTH1	VTH0	MVBS	MVB2	MVB1	MVB0	MIFS	MIF3	MIF2	MIF1	MIF0
Calibration	R	FCD4	FCD3	FCD2	FCD1	FCD0	DVT1	DVT0	VBCF	VB2	VB1	VB0	FBCF	FB3	FB2	FB1	FB0

16. FIFO (First In First Out)

当设定 FMS 为 1 时, A7108 分别在 TX/RX 有 64 bytes 的 FIFO 可以使用。要发射的资料是放在 TX FIFO 内。 换言之, 当 RX 的线路侦测到 ID code 并与之同步时, 被接收进来的数据就被存放在 RX FIFO 内。

16.1 封包格式 (Packet Format)

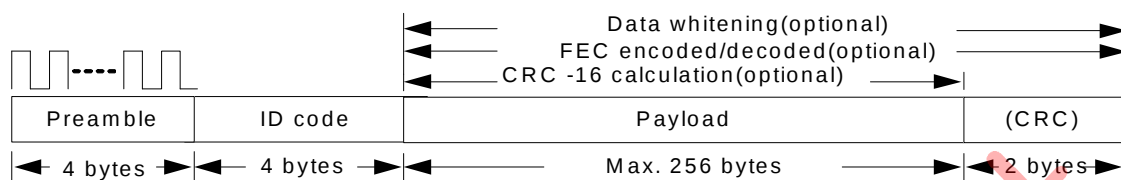


图 16.1 FIFO mode 的封包格式

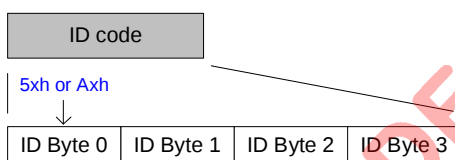


图 16.2 ID code 格式

Preamble:

Preamble 是整个封包的最前头, 是由 0 与 1 交错组合。如果 ID 的第一个 bit 是 0, 则 preamble 应该是 0101...0101。反之, 如果 ID 的第一个 bit 是 1, 则 preamble 应该是 1010...1010。Preamble 的长度可以由 PML [1:0] (0Ch) 设定, 建议长度是 4 bytes。

ID code:

ID code 的建议长度为 4 bytes, 可以设定 IDL 为 1 (0Ch)。ID Code 依序为 Byte 0, 1, 2 与 3 (建议的 ID Byte 0 为 5xh 或 Axh)。如果 RX 线路检查接收进来封包的 ID code 正确, 则封包中的 Payload 会被储存在 RX FIFO。在 A7108 的设计中 ID code 可以设定有容错功能 (0~ 3 bit 的错误), 即 MCU 可设定 ETH [1:0] (08h), 并用来设定 ID 容错功能。

Payload:

Payload 长度是可以调整的, MCU 可使用 FEP [7:0] (0Bh), 并设定 FIFO 长度(1 byte 到 64 bytes)。FIFO 的实体长度为 64 bytes。A7108 亦支持利用逻辑电路扩展至 256 bytes, 可参考 16.4.3 有更详细的说明。

CRC (option):

在 FIFO 模式中, 如果启动 CRC 检查 (CRCS=1, 0Ch), 2-bytes 的 CRC 数值就会自动得加在传送数据的最后面, 相同地, RX 线路也会自动检查 CRC 的数值, 并将 CRC 检查结果写入 CRC Flag (0Fh), MCU 可在读取 RX FIFO 前, 先读取旗标确认数据是否正确。CRC 旗标会在每次接收封包时更新。

16.2 位串流流程(Bit Stream Process)

对于数据传输而言, A7108 有支持 3 种位元串流流程, 这 3 种分别是

- (1) CCITT-16 CRC ($x^{16} + x^{15} + x^2 + 1$).
- (2) (7, 4) Hamming FEC
- (3) Data Whitening by XOR PN7 (7-bits Pseudo Random Sequence).

CRC (Cyclic Redundancy Check):

1. 将设定 CRCS 为 1 (0Ch)，就会启动 CRC。TX 线路会依据 payload 信息 (preamble 与 ID code 不包含在内)计算出 CRC 数值并且在 payload 传送后接着送出 2-bytes 的 CRC。
2. RX 线路会检查 CRC 数值并且将结果写入 CRC 旗标 (0Fh)。如果 CRCF=0，则表示已接收的 payload 是正确的，反之则是有错误的，请注意，CRCF 是只读的，并且会在接收每个封包时更新。

FEC (Forward Error Correction):

1. 将 FECS 设定为 1 (0Ch)，就会启动 FEC，则 Payload 与 CRC 数值 (如果 CRC 有启动的话) 就会透过 (7, 4) Hamming code 进行编码。
2. 每 4-bits (nibble) 的 payload 会被编码成 7-bits code word，并且自动被传送出去。举例说明，64 bytes 的 payload 将会被编成 128 code words，每个 code word 都是 7 bits。
3. RX 线路自动将已收到的 code words 解码，FEC 支持在每一个 code word 里的 1-bit 错误更正，当有发生 1-bit 以上错误时，FEC 旗标就会变成 1 (0Ch)，请注意，FECF 是只读的，每收到一个封包时会自动更

Data Whitening:

1. 将 WHTS 设定为 1 (0Ch)，就会启动 Data whitening。MCU 需先将 PN7 的初始种子存于 WS [6:0] (22h)。Payload 会与 PN7 一起做 bit XOR，并完成加密。如果 CRC 有启动，则 CRC 也会被加密，如果 FEC 有启动，则 FEC 也会被加密。
2. RX 线路会自动将已收到的 payload 与 2-bytes CRC (如果 CRC 有启动)解密。请注意，使用者必须在 TX 与 RX 设定相同的 WS [6:0] (0Ch)。

16.3 传输时间 (Transmission Time)

因为 CRC 与 FEC 都是并非预设选项，因此会使的原本封包传输时间不同。请参考表 16.1 与 16.2 有更详细的说明。

Data Rate = 250 Kbps

Preamble (bits)	ID Code (bits)	Payload (bits)	CRC (bits)	FEC	Transmission Time / Packet
32	32	512	关闭	关闭	576 bit X 4 us = 2.304 ms
32	32	512	16 bits	关闭	592 bit X 4 us = 2.368 ms
32	32	512	关闭	512 x 7 / 4	960 bit X 4 us = 3.840 ms
32	32	512	16 x 7 / 4	512 x 7 / 4	988 bit X 4 us = 3.952 ms

Data Rate = 125 Kbps

Preamble (bits)	ID Code (bits)	Payload (bits)	CRC (bits)	FEC	Transmission Time / Packet
32	32	512	关闭	关闭	576 bit X 8 us = 4.608 ms
32	32	512	16 bits	关闭	592 bit X 8 us = 4.736 ms
32	32	512	关闭	512 x 7 / 4	960 bit X 8 us = 7.580 ms
32	32	512	16 x 7 / 4	512 x 7 / 4	988 bit X 8 us = 7.904 ms

Data Rate = 50 Kbps

Preamble (bits)	ID Code (bits)	Payload (bits)	CRC (bits)	FEC	Transmission Time / Packet
32	32	512	关闭	关闭	576 bit X 20 us = 11.52 ms
32	32	512	16 bits	关闭	592 bit X 20 us = 11.84 ms
32	32	512	关闭	512 x 7 / 4	960 bit X 20 us = 19.20 ms
32	32	512	16 x 7 / 4	512 x 7 / 4	988 bit X 20 us = 19.76 ms

Data Rate = 2 Kbps

Preamble (bits)	ID Code (bits)	Payload (bits)	CRC (bits)	FEC	Transmission Time / Packet
32	32	512	关闭	关闭	576 bit X 0.5 ms = 0.288 s
32	32	512	16 bits	关闭	592 bit X 0.5 ms = 0.296 s
32	32	512	关闭	512 x 7 / 4	960 bit X 0.5 ms = 0.480 s
32	32	512	16 x 7 / 4	512 x 7 / 4	988 bit X 0.5 ms = 0.494 s

表 16.1 传输时间

16.4 Usage of TX and RX FIFO

从应用面的观点来看，A7108 支持 3 种 FIFO 设定。

- (1) Easy FIFO
- (2) Segment FIFO
- (3) FIFO Extension

16.4.1 Easy FIFO Mode

在 Easy FIFO 设定中，FIFO 最大的长度是 64 bytes。FIFO 的长度等于 **(FEP [7:0] +1)**，如下所示，使用者只要控制 FEP [7:0] (03h) 并关闭 PSA and FPM。

缓存器设定

TX	RX	Control Registers		
TX-FIFO (byte)	RX-FIFO (byte)	FEP[7:0]	PSA [5:0]	FPM [1:0]
1	1	0x00	0	0
8	8	0x07	0	0
16	16	0x0F	0	0
32	32	0x1F	0	0
64	64	0x3F	0	0

表 16.2 Easy FIFO 的控制缓存器

Procedure of TX FIFO Transmitting

1. 初始化全部的控制缓存器 (请参考 A7108 reference code)
2. 将设定 FEP [7:0] 为 0x3F，则可使用 64-bytes FIFO
3. 送出 TX FIFO write pointer reset 的 Strobe command
4. MCU 写入 64-bytes 的资料到 TX FIFO
5. 送出 TX Strobe Command
6. 完成

Procedure of RX FIFO Reading

1. 当 RX FIFO 满的时候，WTR (or FSYNC) 会被使用来触发 MCU，告知应该要读取 RX FIFO
2. 送出 RX FIFO read 指标重置的 Strobe command
3. MCU 从 RX FIFO 读出 64-bytes
4. 完成

Definitions

DP : Deliver Pointer
RP : Received Pointer

TX FIFO Empty = DP reaches FEP[7:0]
RX FIFO FULL = RP reaches FEP[7:0]

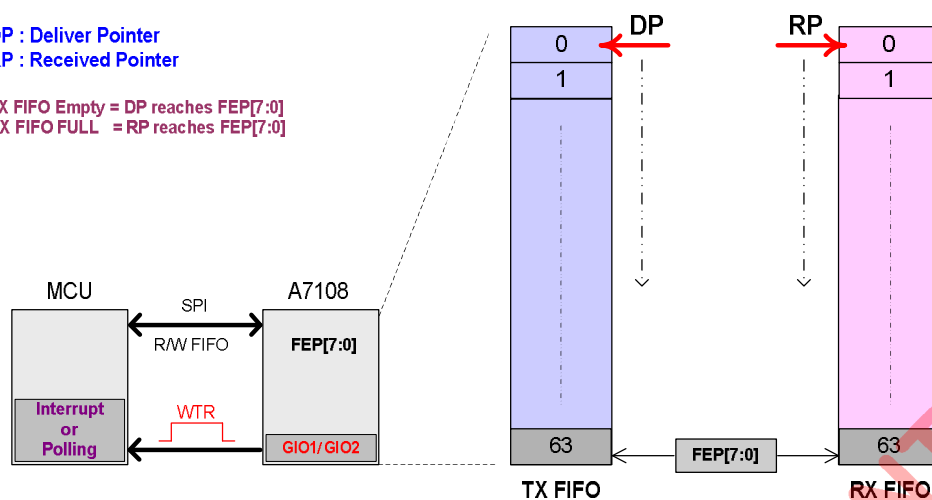


图 16.3 Easy FIFO mode

AMICCOM CONFIDENTIAL

17. Analog Digital Converter

A7108 内建一个 9-bit ADC，可用于内部的相对温度量测与 RSSI 的量测。

XADS	CDM	None Rx state	RX state
0	0	相对温度量测	RSSI 量测
0	1	N/A	Carrier detector

8-bit ADC 的转换时间会取决于数入 ADC 的时钟速度。转换时间需要 20 cycles。输入 ADC 的时钟来源是石英震荡器与 GRC[4:0]的设定，使用者可以选择速度可从 800KHz 到 1.2MHz。

17.1 温度量测

A7108 内建一个简单的温度传感器。首先，在 ADC 的缓存器中设定 CDM=0，然后在控制缓存器中设定 ADCM=1，启动量测温度。当量测结束时，ADCM 会自动清除为 0。使用者可以读取 ADC[7:0]，就可知道目前的温度。

17.2 RSSI Measurement

A7108 内建 RSSI(received signal strength indicator)功能，可以从读取 ADC 的值便可知道目前接收讯号的强度。当量测结束时，可以从 ADC 中读出 RSSI 的值。而 RSSI 的范围从 0~512。越好的讯号强度对对应到比较小的数值，反之亦然。再接收模式时，设定 CDM=0 并且在设定 ADCM=1，就会开始量测 RSSI。一旦量测完毕时，ADCM 便后自动清除为 0。使用者可以从 ADC[8:0]知道 RSSI 的数值。

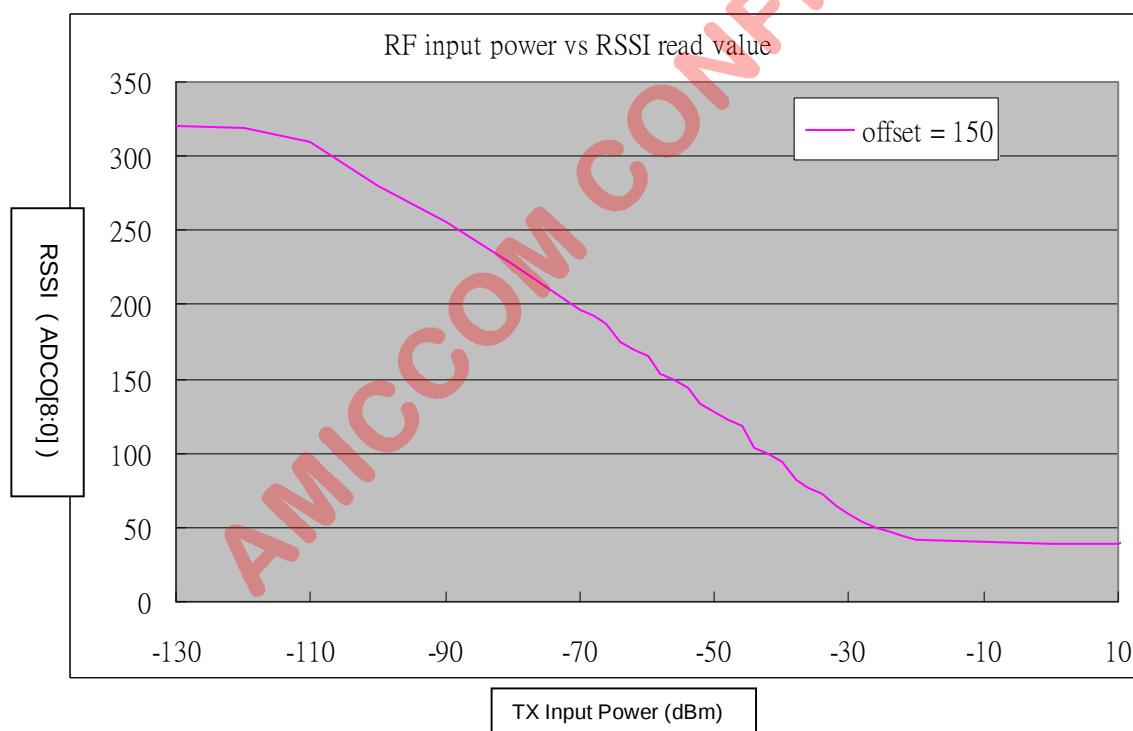


图 17.1 当 AGC 是启动时，RSSI 曲线

17.3 载波侦测(Carrier detect)

A7108 可以量测载波讯号 (可以输出至 GIO1 或 GIO2)，并观测是否有载波出现。如果载波讯号强度大于设定于 RTH[7:0]的值，则会输出高准位的讯号，否则则输出低准位。再接收模式时，设定 CDM =1，并且设定 ADCM = 1，便会开始量测载波讯号。讯号强度会被储存在 ADC[8:0]中，并且会在每次量测完成后更新。

18. 电池电压侦测(Battery Detect)

A7108 内建一个电池电压侦测器，可用于检查输入电压 (从 REG1 脚位)。启动电池侦测功能后，使用者可以读取 VBD 的旗标或是将 VBD 输出到 GIO1 或是 GIO2。侦测范围从 2.0V ~ 2.7V，共 8 个准位。

Address/Name	R/W	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
06h PM	W	-	POWRS	CELS	STS	LVR	RGS	RGC1	RGC0	SPSS	RGV1	RGV0	QDS	BVT2	BVT1	BVT0	BDS
Reset		-	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

BVT [2:0]: Battery Voltage Threshold select(电池侦测准位选择)

[000]: 2.0V. [001]: 2.1V. [010]: 2.2V. [011]: 2.3V. [100]: 2.4V. [101]: 2.5V. [110]: 2.6V. [111]: 2.7V.

BDS: Battery Detection selection(电池侦测开关)

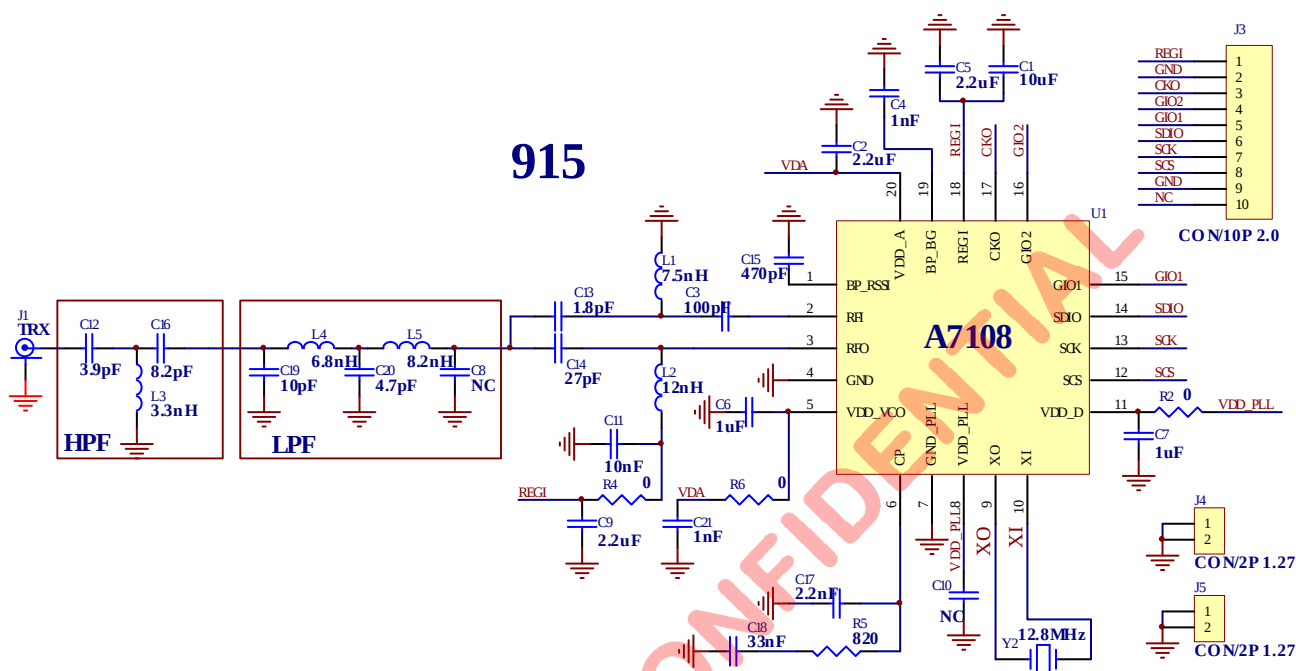
[0]: 关闭. [1]: 启动.

以下使用电池侦测器侦测低电压的流程 (以低于 2.1V 为例子):

1. 让 A7108 进入 standby 或 PLL mode。
2. 设定电压侦测准位 BVT [2:0] = [001] (2.1V) 并且启动，设定 BDS = 1。
3. 在 5 us 之后，BDS 会自动清除。
4. 使用 MCU 确认 VBD 旗标。
如 REG1 pin > 2.1V,
则 VBD = 1。反之，VBD = 0。

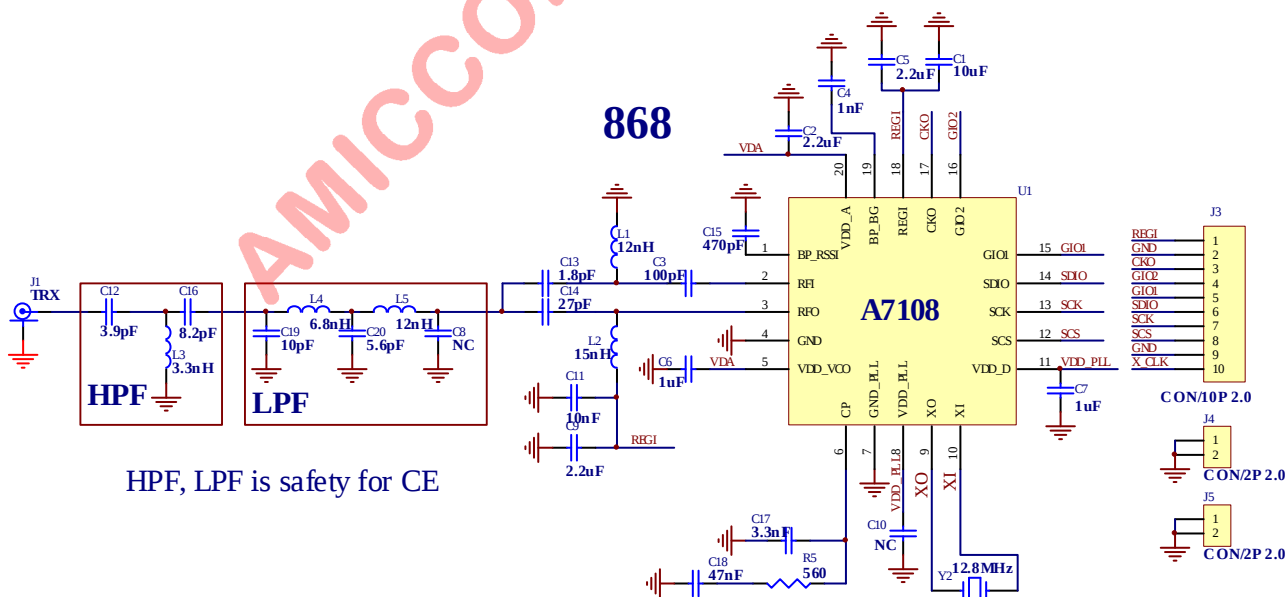
19. 应用线路(Application Circuit)

19.1 MD7108-A90 (915MHz Band)



Xtal Load 建议值 20 pF

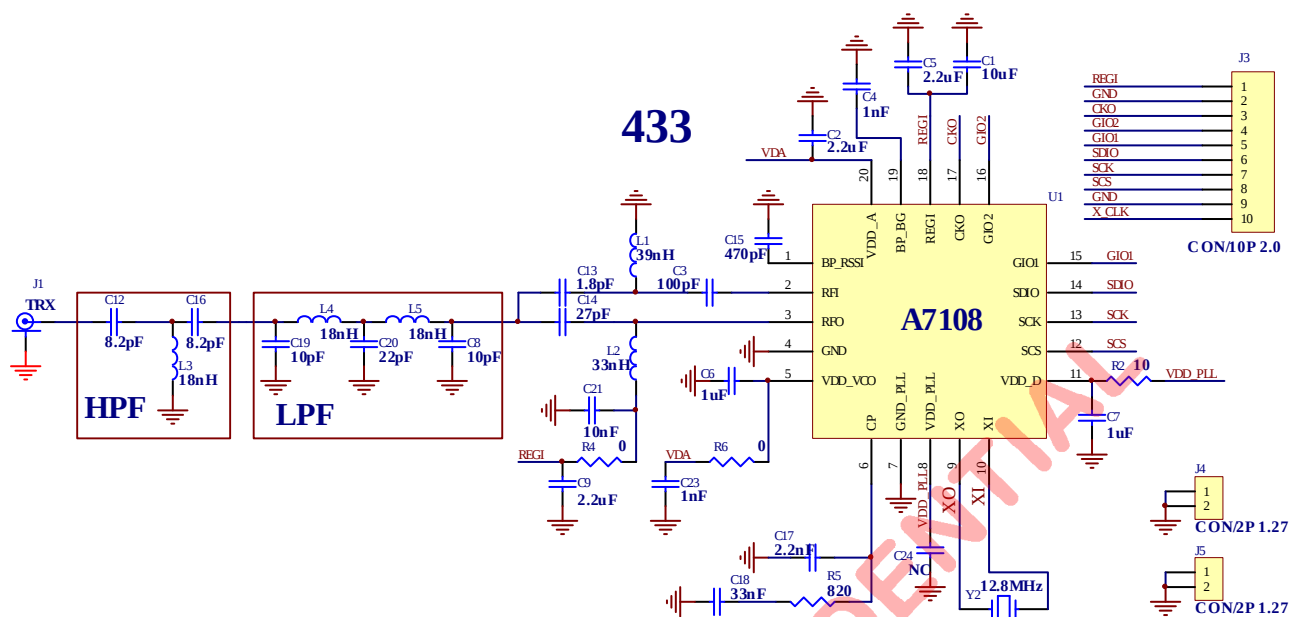
19.2 MD7108-A80 (868MHz Band)



HPF, LPF is safety for CE

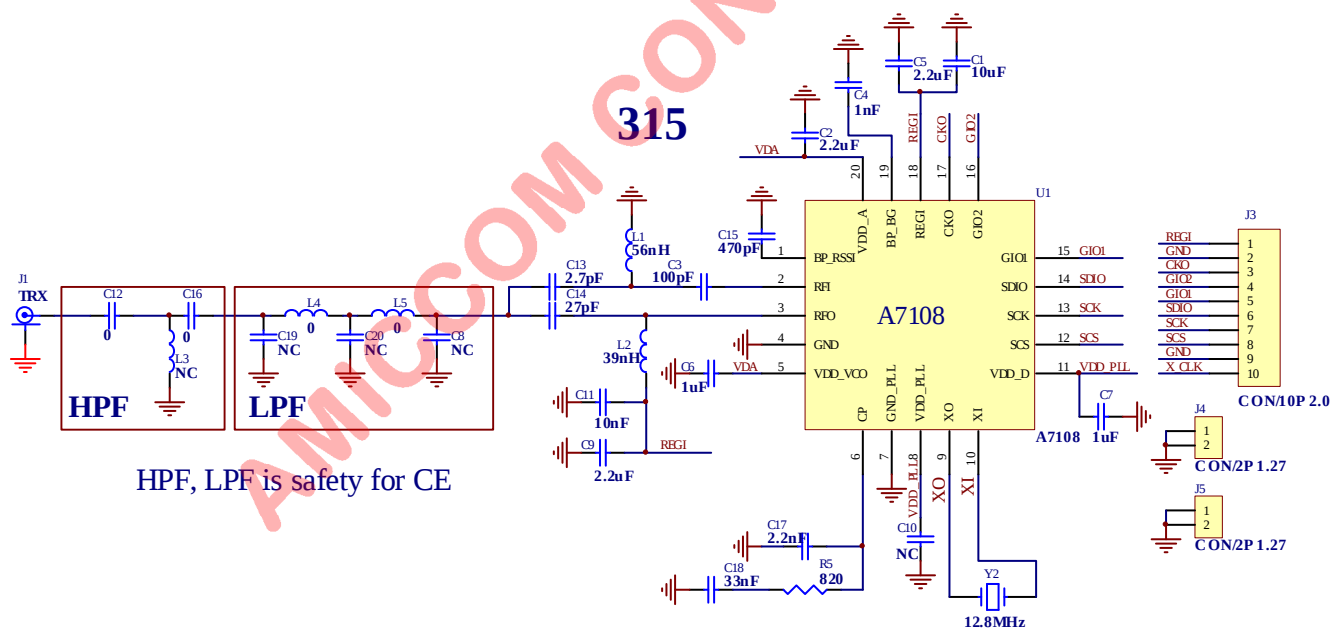
Xtal Load 建议值 20 pF

19.3 MD7108-A40 (433MHz Band)



Xtal Cload 建议值 20 pF

19.4 MD7108-A30 (315MHz Band)

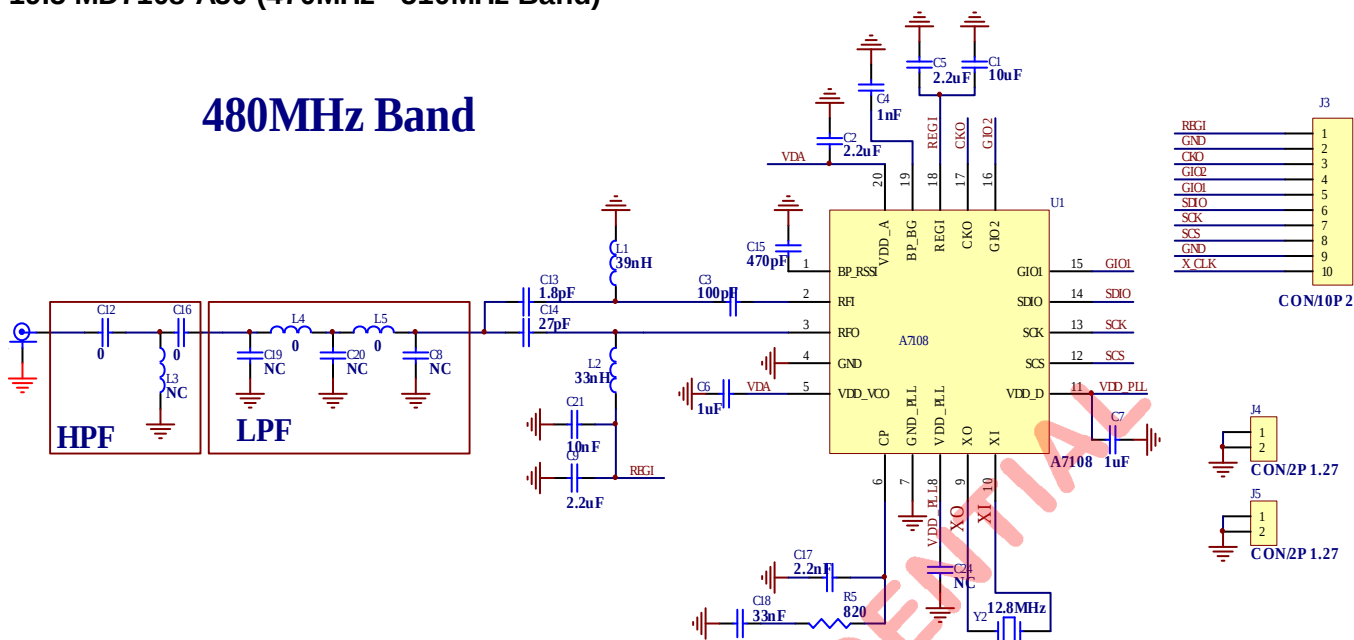


HPF, LPF is safety for CE

Xtal Cload 建议值 20 pF

19.5 MD7108-A50 (470MHz ~510MHz Band)

480MHz Band



Xtal Load 建议值 20 pF

20. 缩写

ADC	Analog to Digital Converter
AFC	Automatic Frequency Compensation
AGC	Automatic Gain Control
BER	Bit Error Rate
BW	Bandwidth
CD	Carrier Detect
CRC	Cyclic Redundancy Check
FEC	Forward Error Correction
FIFO	First in First out
FSK	Frequency Shift Keying
ID	Identifier
IF	Intermediate Frequency
ISM	Industrial, Scientific and Medical
LO	Local Oscillator
MCU	Micro Controller Unit
PFD	Phase Frequency Detector for PLL
PLL	Phase Lock Loop
POR	Power on Reset
RX	Receiver
RXLO	Receiver Local Oscillator
RSSI	Received Signal Strength Indicator
SPI	Serial to Parallel Interface
SYCK	System Clock for digital circuit
TX	Transmitter
TXRF	Transmitter Radio Frequency
VCO	Voltage Controlled Oscillator
XOSC	Crystal Oscillator
XREF	Crystal Reference frequency
XTAL	Crystal

21. 订单(料号)信息

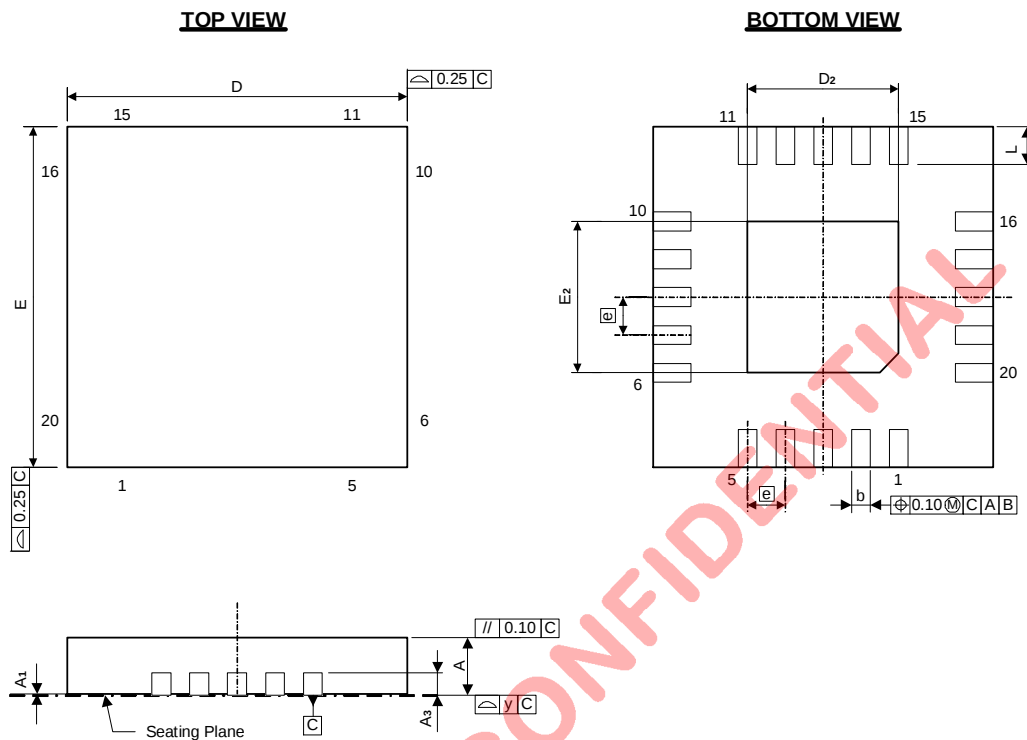
Part No.	Package	Units Per Reel / Tray
A71X08AQFI/Q	QFN20L, Pb Free, Tape & Reel, -40℃～85℃	3K
A71X08AQFI	QFN20L, Pb Free, Tray, -40℃～85℃	490EA
A71X08AH	Die form, -40℃～85℃	250EA

AMICCOM CONFIDENTIAL

22. 包装信息

QFN 20L (4 X 4 X 0.8mm) Outline Dimensions

unit: inches/mm

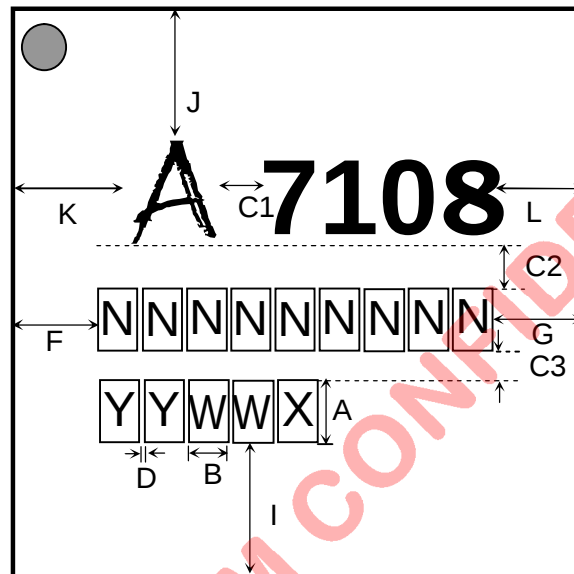


Symbol	Dimensions in inches			Dimensions in mm		
	Min	Nom	Max	Min	Nom	Max
A	0.028	0.030	0.032	0.70	0.75	0.80
A ₁	0.000	0.001	0.002	0.00	0.02	0.05
A ₃	0.008 REF			0.203 REF		
b	0.007	0.010	0.012	0.18	0.25	0.30
D	0.154	0.158	0.161	3.90	4.00	4.10
D ₂	0.075	0.079	0.083	1.90	2.00	2.10
E	0.154	0.158	0.161	3.90	4.00	4.10
E ₂	0.075	0.079	0.083	1.90	2.00	2.10
e	0.020 BSC			0.50 BSC		
L	0.012	0.016	0.020	0.30	0.40	0.50
y	0.003			0.08		

23. 正印信息

A71X08AQFI

- Part No. : A71X08AQFI
- Pin Count : 20
- Package Type : QFN
- Dimension : 4*4 mm
- Mark Method : Laser Mark
- Character Type : Arial



❖ CHARACTER SIZE : (Unit in mm)

A : 0.55
 B : 0.36
 C1 : 0.25 C2 : 0.3 C3 : 0.2
 D : 0.03

F=G
 I=J
 K=L

YYWW

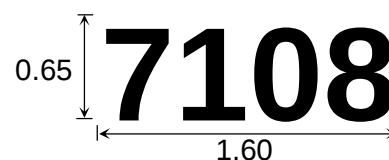
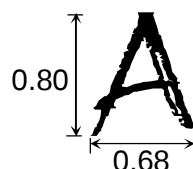
: DATECODE

X

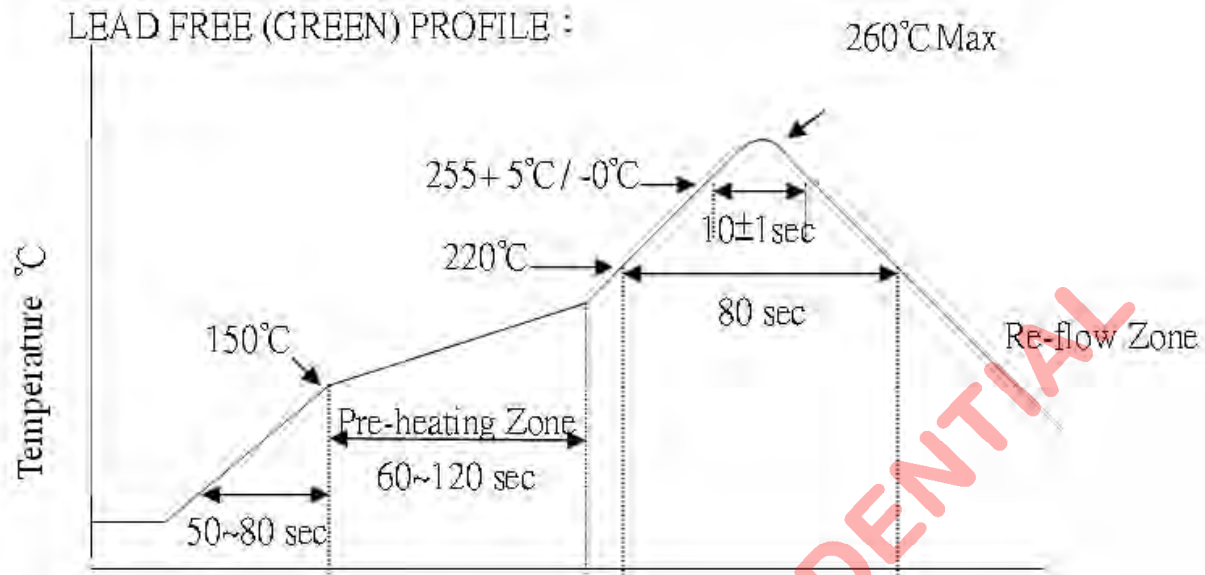
: PKG HOUSE ID

NNNNNNNNN

: LOT NO.
(max. 9 characters)

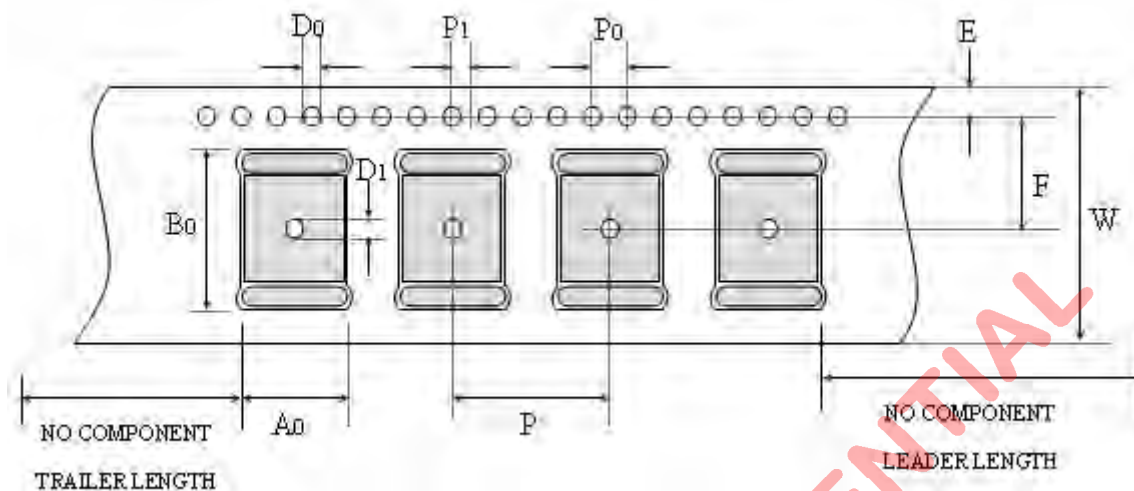


24.温度曲线(Reflow)



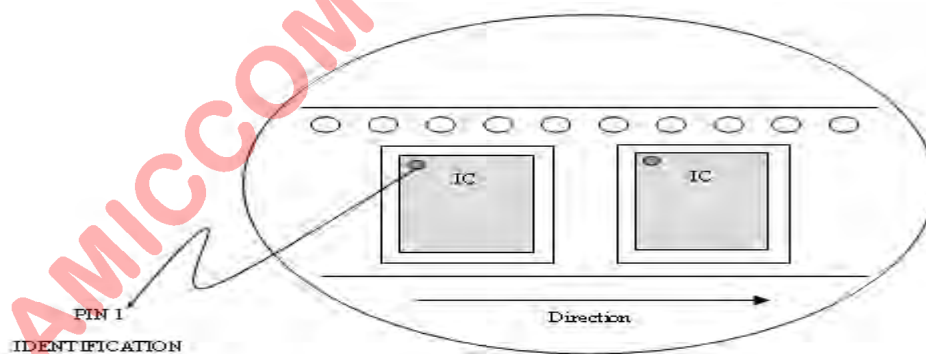
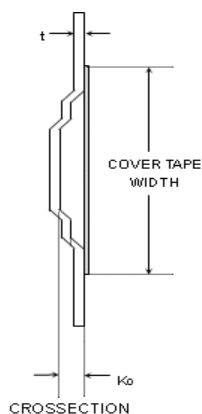
25. 卷带规格

Cover / Carrier Tape Dimension

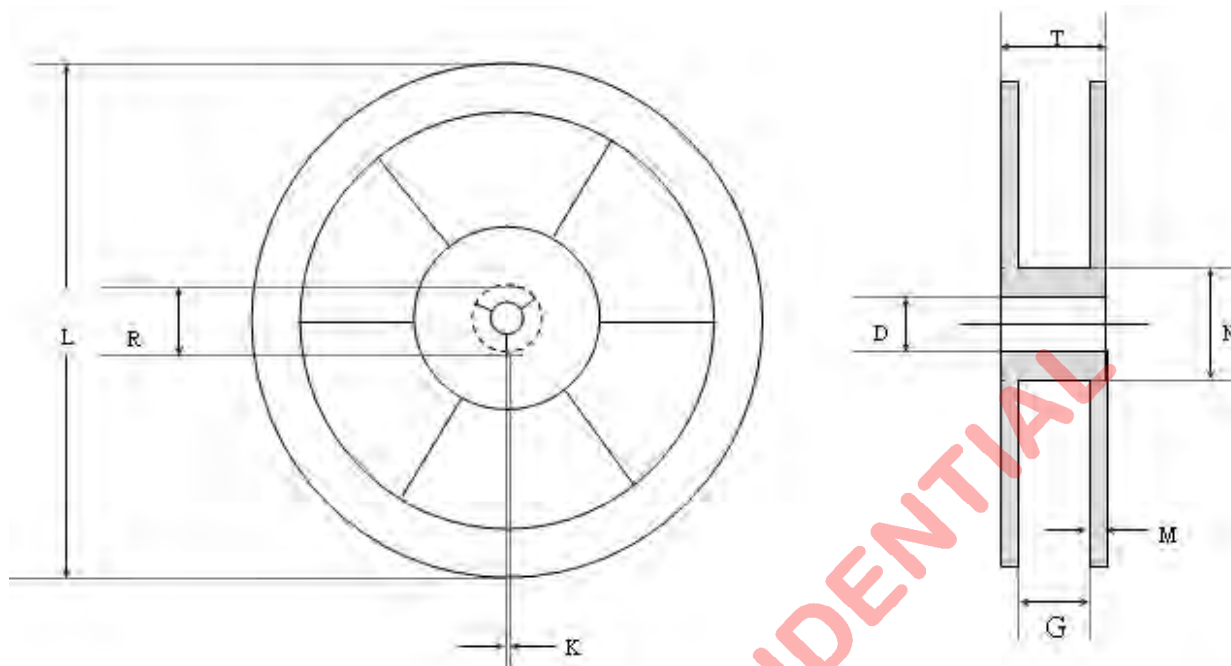


Unit: mm

TYPE	P	A0	B0	P0	P1	D0	D1	E	F	W
20 QFN 4*4	8	4.35	4.35	4.0	2.0	1.5	1.5	1.75	5.5	12
24 QFN 4*4	8	4.4	4.4	4.0	2.0	1.5	1.5	1.75	5.5	12
32 QFN 5*5	8	5.25	5.25	4.0	2.0	1.5	1.5	1.75	5.5	12
QFN3*3 / DFN-10	4	3.2	3.2	4.0	2.0	1.5	-	1.75	1.9	8
20 SSOP	12	8.2	7.5	4.0	2.0	1.5	1.5	1.75	7.5	16
24 SSOP	12	8.2	8.8	4.0	2.0	1.5	1.5	1.75	7.5	16



TYPE	K0	t	COVER TAPE WIDTH
20 QFN (4X4)	1.1	0.3	9.2
24 QFN (4X4)	1.4	0.3	9.2
32 QFN (5X5)	1.1	0.3	9.2
QFN3*3 / DFN-10	0.75	0.25	8
20 SSOP	2.5	0.3	13.3
24 SSOP	2.1	0.3	13.3

REEL DIMENSIONS


Unit: mm

TYPE	G	N	T	M	D	K	L	R
20 QFN(4X4) 24 QFN(4X4) 32 QFN(5X5) QFN(3X3) / DFN-10	12.8+0.6/-0.4	100 REF	18.2(MAX)	1.75±0.25	13.0+0.5/-0.2	2.0±0.5	330+0.00/-1.0	20.2
20 SSOP 24 SSOP	16.4+2.0/-0.0	100 REF	22.4(MAX)	1.75±0.25	13.0+0.2/-0.2	1.9±0.4	330+0.00/-1.0	20.2

26 Product Status

Data Sheet Identification	Product Status	Definition
Objective	Planned or Under Development	This data sheet contains the design specifications for product development. Specifications may change in any manner without notice.
Preliminary	Engineering Samples and First Production	This data sheet contains preliminary data, and supplementary data will be published at a later date. AMICCOM reserves the right to make changes at any time without notice in order to improve design and supply the best possible product.
No Identification	Noted Full Production	This data sheet contains the final specifications. AMICCOM reserves the right to make changes at any time without notice in order to improve design and supply the best possible product.
Obsolete	Not In Production	This data sheet contains specifications on a product that has been discontinued by AMICCOM. The data sheet is printed for reference information only.

RF ICs AMICCOM



总公司

30078 新竹科学工业园区力行一路一号一楼 A3

Tel: 886-3-5785818

Fax: 886-3-5785819

深圳办公室

518031 深圳市福田区深南中路2010号东风大厦2003室

Web Site

<http://www.amiccom.com.tw>

